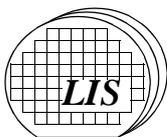


# Prognose von Leitungskapazitäten zur Verlustleistungsanalyse auf Logikebene

ARMIN WINDSCHIEGL



**LEHRSTUHL FÜR INTEGRIERTE SYSTEME**  
**TECHNISCHE UNIVERSITÄT MÜNCHEN**  
Prof. Dr. sc.techn. Andreas Herkersdorf





**Technische Universität München  
Lehrstuhl für Integrierte Systeme**

# **Prognose von Leitungskapazitäten zur Verlustleistungsanalyse auf Logikebene**

**Armin Windschiegl**

Vollständiger Abdruck der von der Fakultät für Elektrotechnik und Informationstechnik der Technischen Universität München zur Erlangung des akademischen Grades eines

**Doktor-Ingenieurs**

genehmigten Dissertation.

Vorsitzender: Univ.-Prof. Dr.-Ing. Ulf Schlichtmann

Prüfer der Dissertation:

1. Priv.-Doz. Dr.-Ing. habil. Walter Stechele
2. Univ.-Prof. Dr. rer. nat. Doris Schmitt-Landsiedel

Diese Dissertation wurde am 29.11.2004 bei der Technischen Universität München eingereicht und durch die Fakultät für Elektrotechnik und Informationstechnik am 20.04.2005 angenommen.



# Danksagung

Danken möchte ich ...

... meinem Doktorvater, Herrn PD Dr.-Ing. Walter Stechele, für die konstruktiven Anregungen, die Motivation zur Anmeldung eines Patentes und die Freiheiten bei der Auswahl und Durchführung dieser Doktorarbeit.

... Herrn Prof. Dr.-Ing. Ingolf Ruge, der mir als damaliger Lehrstuhlinhaber die vorliegende Arbeit ermöglichte und mir einen, auch über technische Details hinausgehenden Einblick in die Welt der Mikroelektronik und Halbleitertechnologie gab.

... Frau Prof. Dr. rer. nat. Doris Schmitt-Landsiedel für die Übernahme des Koreferates und ihr großes Interesse an der Dissertation.

... Herrn Prof.-Dr.-Ing. Ulf Schlichtmann für die Übernahme des Prüfungsvorsitzes.

... Herrn Prof. Dr. sc.techn. Andreas Herkersdorf für das Interesse an der Low-Power-Thematik und für den ungehinderten Zugang zur Infrastruktur des Lehrstuhls, den er mir als neuer Lehrstuhlinhaber weiterhin ermöglichte.

... meinen Kollegen Dipl.-Ing. Michael Eiermann, Dr.-Ing. Torsten Mahnke und Dipl.-Ing. Paul Zuber, für fruchtbare Diskussionen und Anregungen. Insbesondere hat Paul Zuber während seiner Zeit als Werkstudent äußerst produktiv an einzelnen Teilen dieser Arbeit mitgewirkt.

... Herrn Dr.-Ing. Thomas Wild, der weite Teile der Arbeit kritisch gelesen hat und wertvolle Hinweise und Anregungen gab.

... auch besonders Herrn Dr.-Ing. Stephan Herrmann und Herrn Dipl.-Ing. Wolfgang Kohtz für deren freundliche Hilfe bei Problemen mit dem Arbeitsplatzrechner und dem Rechnernetz.

... allen Mitarbeiterinnen und Mitarbeitern des Lehrstuhls und den Damen des Sekretariats für die gute Zusammenarbeit.

... Herrn Dipl.-Ing. Rainer Bonitz von ST Microelectronics für die freundliche Bereitstellung der verwendeten ASIC-Bibliothek.

... Herrn Dipl.-Ing. Reinhard Fobbe von Cadence Design Systems für die wertvollen Tipps und Hilfe bei heiklen Fragen der Layout-Synthese.

... meiner Frau Ulrike sowie meinen Kindern Julia und Daniel, die in den letzten Jahren öfter auf mich verzichten mußten. Diese Arbeit ist ihnen gewidmet.



# Kurzfassung

Der wachsende Bedarf an mobilen elektronischen Geräten sowie thermische Probleme in integrierten Schaltungen haben die Verringerung der Leistungsaufnahme zu einem der wichtigsten Entwurfsziele werden lassen. Um jedoch die Effektivität der ergriffenen Maßnahmen zur Reduzierung der Verlustleistung beurteilen zu können, sind gleichzeitig auch Methoden zur Analyse der Leistungsaufnahme erforderlich. Die Verlustleistungsanalyse auf Logikebene zeichnet sich dadurch aus, daß Schaltungen großer Komplexität mit akzeptablem Zeitaufwand analysiert werden können.

Auf Logikebene müssen allerdings die Kapazitäten der Leiterbahnen einer integrierten Schaltung mit Hilfe von Verdrahtungslastmodellen (wire load models) abgeschätzt werden, da die Layout-Synthese erst zu einem späteren Zeitpunkt im Entwurfsablauf erfolgt. Dadurch entstehen Fehler bei der Verlustleistungsanalyse, die allein durch die unzureichende Prognose der Leitungskapazitäten hervorgerufen werden.

Während bei den Verdrahtungslastmodellen auf Logikebene derzeit keine Weiterentwicklung zu beobachten ist, werden mittlerweile kommerzielle Werkzeuge zur gleichzeitigen Logiksynthese und Standardzellplatzierung angeboten. Damit kann zwar die Genauigkeit der Leitungslängenabschätzung erhöht werden, weil die Zellplatzierung als zusätzliche Information ausgewertet wird. Die Leitungskapazität hängt jedoch auch stark davon ab, auf welcher Verdrahtungsebene eine Leiterbahn verläuft. Weil dies von Werkzeugen zur gleichzeitigen Logiksynthese und Standardzellplatzierung nicht berücksichtigt wird, verbleiben Fehler bei der Prognose der Leitungskapazitäten. Wegen der Tool-Laufzeit für die zusätzliche Zellplatzierung steigt zudem der Zeitaufwand an, um zu einer Prognose der Leitungskapazitäten zu kommen.

Ziel der Arbeit ist es deshalb, jene Verdrahtungslastmodelle zu untersuchen und zu verbessern, die rein auf Informationen basieren, die auf Logikebene zur Verfügung stehen, als auch die Erhöhung der Genauigkeit der Prognose der Leitungskapazitäten nach erfolgter Standardzellplatzierung. Während ersteres zu einem eigenständigen Verdrahtungslastmodell führt, zielt letzteres darauf ab, einen Beitrag zur weiteren Verbesserung der Qualität und einen Zusatz zu den Werkzeugen für die gleichzeitige Logiksynthese und Standardzellplatzierung zu liefern.

Bei den Verdrahtungslastmodellen auf Logikebene nach dem Stand der Technik hat sich vor allem die Leitungslängenabschätzung als zu ungenau erwiesen. Zur Prognose der Leitungslängen werden in der vorliegenden Arbeit deshalb neben der Anzahl der Abzweigungen an einem Netzknoten zusätzlich die in der weiteren Nachbarschaft des Netzes befindlichen Standardzellen berücksichtigt. Die Fläche einer möglichen Verdrahtungszone wird dabei als *nichtlinear wachsend* mit der Anzahl der Zellen in der Nachbarschaft eines Netzes modelliert, weil bei großer Zellenanzahl eine lineare Zunahme einen überproportionalen Einfluß gewinnt und damit zu einer Überschätzung der Leitungslänge führen würde. Die Leitungslänge wird dann mit Hilfe eines rechtwinkligen Steinerbaumes innerhalb einer Verdrahtungszone ermittelt. Zusätzlich wird eine Klassifizierung nach schaltungsinternen sowie Ein-/ Ausgangsnetzen vorgenommen. Ein-/ Ausgangsnetze sind in der Regel deutlich länger als schaltungsinterne Netze. Als Grund

hierfür ist zu sehen, daß die mit dieser Netzklasse verbundenen Ein-/ Ausgangszellen in der Regel am Rand einer Layout-Partition platziert werden und somit nicht der selben Platzierungsoptimierung unterliegen, wie gewöhnliche Standardzellen. Dennoch findet in dieser Arbeit auch jene Layout-Methodik Beachtung, bei der Ein-/ Ausgangszellen über die gesamte Chip-Fläche verteilt werden, auch wenn dies von vielen Werkzeugen für die Layout-Synthese derzeit noch nicht realisiert werden kann.

Zur Erhöhung der Genauigkeit der abgeschätzten Leitungskapazitäten nach erfolgter Standardzellplatzierung wurde bei dem zweiten Ansatz eine verdrahtungsebenenspezifische Kapazität pro Längeneinheit berücksichtigt. Um diese Zusatzinformation verwerten zu können, wurde eine neuartige Entwurfsmethodik entwickelt. Hierbei werden Leiterbahnen bereits auf Logikebene gezielt konkreten Verdrahtungsebenen zugeordnet; nach dem Stand der Technik wäre dies erst die Aufgabe eines Final Routers. Die ebenenspezifische Kapazität pro Längeneinheit steht auf diese Weise früher im Entwurfsablauf zur Verfügung und wird zur Berechnung der Leitungskapazitäten herangezogen. Da die Zuordnung der Leiterbahnen zu den Ebenen bei der später erfolgenden Verdrahtung des Layouts als Vorgabe (constraint) eingehalten wird, kann Konsistenz zwischen den prognostizierten Leitungskapazitäten und dem Layout erzielt werden.

Die in der vorliegenden Arbeit entwickelten Verfahren wurden auf eine Reihe von Benchmark-Schaltungen sowie auf Designs angewendet, die am Lehrstuhl für Integrierte Systeme der Technischen Universität München im Rahmen eines Industrieprojektes entworfen wurden. Dadurch wurde die Anwendbarkeit auch auf große, industrienähe Schaltungen demonstriert. Bei der Leitungslängenabschätzung für Verdrahtungslastmodelle auf Logikebene konnte der Längenfehler gegenüber den Synopsys Wire Load Models (Industriestandard) sowohl bei kombinatorischen als auch bei sequentiellen Schaltungen um den Faktor 12 reduziert werden. Bei Schaltungen mit zeitoptimierten Layouts konnte der Längenfehler um den Faktor 18 verringert werden. Die Prognose der Leitungskapazitäten nach erfolgter Standardzellplatzierung konnte durch die Berücksichtigung der verdrahtungsebenenspezifischen Kapazität pro Längeneinheit im Durchschnitt um 7,4% verbessert werden. Hierbei zeigte sich, daß die vorgeschlagene Entwurfsmethodik mit einem kommerziellen Werkzeug zur Layout-Verdrahtung prinzipiell durchgeführt werden kann, sich jedoch bei einigen Schaltungen als problematisch erweist. Da das Werkzeug für eine derartige Vorgehensweise nicht vorgesehen ist, nimmt die gesamte Leitungslänge der Schaltung unter Umständen zu. Bei einer Fortführung der Arbeiten könnte ein Router entwickelt werden, der besser auf die Bedürfnisse der vorgeschlagenen Verdrahtungsmethodik eingehen kann. Mit dem in der vorliegenden Arbeit entwickelten Verdrahtungslastmodell konnten allerdings gute Ergebnisse bei der Verlustleistungsanalyse auf Logikebene erzielt werden. Mit geringem zeitlichem Mehraufwand im Bereich von wenigen Sekunden bis einigen Minuten gegenüber Synopsys Wire Load Models konnte die vorgeschlagene Methodik zur Berechnung eines Verdrahtungslastmodelles auf alle untersuchten Schaltungstypen angewendet werden. Die Genauigkeit bei der Verlustleistungsanalyse konnte im Durchschnitt um 8% bei kombinatorischen und um 23% bei sequentiellen Schaltungen erhöht werden.

# Inhaltsverzeichnis

<b>Danksagung</b> .....	<b>I</b>
<b>Kurzfassung</b> .....	<b>III</b>
<b>Inhaltsverzeichnis</b> .....	<b>V</b>
<b>Abbildungsverzeichnis</b> .....	<b>IX</b>
<b>Tabellenverzeichnis</b> .....	<b>XI</b>
<b>1 Einleitung</b> .....	<b>1</b>
1.1 Verlustleistung digitaler CMOS-Schaltungen.....	<b>2</b>
1.1.1 Statische Verlustleistung.....	<b>2</b>
<i>Leckströme durch parasitäre Dioden</i> .....	<b>3</b>
<i>Subschwelligströme</i> .....	<b>4</b>
<i>Tunnelströme durch das Gate-Oxid</i> .....	<b>6</b>
1.1.2 Dynamische Verlustleistung.....	<b>7</b>
<i>Querstromverlustleistung</i> .....	<b>8</b>
<i>Kapazitive dynamische Verlustleistung</i> .....	<b>10</b>
1.2 Beitrag der Leiterbahnen zur Lastkapazität.....	<b>11</b>
1.3 Ziele.....	<b>14</b>
1.4 Aufbau der Arbeit .....	<b>15</b>
<b>2 Prädiktion der Verlustleistung auf verschiedenen Entwurfsebenen</b> .....	<b>19</b>
2.1 Verlustleistungsanalyse auf höheren Entwurfsebenen .....	<b>21</b>
2.2 Verlustleistungsanalyse auf Transistorebene .....	<b>23</b>
2.3 Verlustleistungsanalyse auf Logikebene.....	<b>26</b>
2.4 Problematik der Verdrahtungslasten bei der Verlustleistungsanalyse .....	<b>31</b>
2.5 Zusammenfassung und Motivation.....	<b>33</b>

<b>3</b>	<b>Bekannte Verfahren zur Ermittlung der Verdrahtungslasten.....</b>	<b>35</b>
3.1	Modellierung einzelner Leitungen .....	37
3.2	Prognostische Verdrahtungslastmodelle.....	39
3.2.1	Bekannte Verfahren zur Netzlängenabschätzung.....	40
3.2.2	Verdrahtungslastmodelle für Logiksynthesewerkzeuge.....	43
3.2.3	Kundenspezifische Verdrahtungslastmodelle (Custom Wire Load Models).....	45
3.3	Layout-Extraktionsverfahren .....	46
3.3.1	Verdrahtungslasten nach erfolgter Zellplatzierung sowie bei Werkzeugen für gleichzeitige Synthese und Platzierung .....	46
3.3.2	Extraktion der Leitungsparasitäten nach der Layout-Verdrahtung ....	48
3.4	Technische Einordnung der Arbeit.....	50
3.5	Zusammenfassung und Schlußfolgerungen .....	52
<b>4</b>	<b>Netzklassenspezifische Leitungslängenabschätzung.....</b>	<b>55</b>
4.1	Das grundlegende Modell der Net Neighbourhood Populations .....	55
4.2	Netzlängenabschätzung bei Deep-Sub-Micron-Technologien.....	57
4.3	Abstraktion des Schaltungs-Layouts als Gitter.....	61
4.4	Wahrscheinlichkeitsbasierte Netzlängenabschätzung.....	64
4.4.1	Längenanteil eines Netzes in horizontaler Richtung .....	64
4.4.2	Längenanteil eines Netzes in vertikaler Richtung .....	69
4.5	Ausdehnung eines Netzes innerhalb begrenzter Verdrahtungszonen.....	71
4.6	Klassifizierung der Netze und Ableitung von Verdrahtungszonen .....	73
4.6.1	Längenabschätzung von schaltungsinternen Netzen .....	75
	<i>Verdrahtungszonen von schaltungsinternen Netzen mit zwei Pins. ....</i>	<i>75</i>
	<i>Verdrahtungszonen von internen Netzen mit mehr als zwei Pins. ....</i>	<i>78</i>
4.6.2	Eingeschränkte Platzierungsoptimierung von IO-Zellen: Sonderfall der Längenabschätzung von Ein-/ Ausgangsnetzen .....	81
	<i>Ein-/ Ausgangsnetze mit mehr als sechs Pins. ....</i>	<i>82</i>
	<i>Ein-/ Ausgangsnetze mit bis zu sechs Pins .....</i>	<i>83</i>
	<i>Pad-Limited Layout-Partitionen. ....</i>	<i>87</i>
4.7	Schaltungen mit spezieller Layout-Synthese .....	88
4.7.1	Schaltungen mit zeit- oder verlustleistungsoptimierter Zellplatzierung .	88
4.7.2	Verteilung der Ein-/ Ausgangszellen über den gesamten Kernbereich .	90

---

<b>5</b>	<b>Verdrahtungsebenenspezifische Kapazität pro Längeneinheit</b> .....	<b>91</b>
5.1	Verdrahtungslasten und Lage der Leiterbahnen im Layout .....	92
5.1.1	Kapazitive Kopplung zwischen den Verdrahtungsebenen .....	94
5.1.2	Kapazitive Kopplung innerhalb einer Verdrahtungsebene .....	95
	<i>Intralagenkopplung auf verschiedenen Verdrahtungsebenen</i> .....	96
	<i>Benachbarte Leiterbahnen auf der selben Verdrahtungsebene</i> .....	99
5.1.3	Kapazitive Kopplung zu allen benachbarten Leiterbahnen .....	100
5.2	Kapazität pro Längeneinheit der verschiedenen Verdrahtungsebenen .....	104
5.3	Vorschlag eines neuen Entwurfsablaufes .....	105
5.4	Berücksichtigung der verdrahtungsebenenspezifischen Kapazitäten .....	109
<b>6</b>	<b>Berücksichtigung des Taktbaumes bei der Verlustleistungsanalyse</b> .....	<b>113</b>
6.1	Taktnetz und Taktbaum in einer Gatternetzliste .....	113
6.2	Probleme durch das Taktnetz bei der Verlustleistungsanalyse .....	116
6.3	Generierung einer Taktbaumstruktur vor der Layout-Synthese .....	116
<b>7</b>	<b>Ergebnisse</b> .....	<b>121</b>
7.1	Ergebnisse der Netzlängenabschätzung .....	124
7.2	Berücksichtigung der verdrahtungsebenenspezifischen Kapazitäten pro Längeneinheit .....	128
7.3	Ergebnisse bei der Verlustleistungsanalyse auf Logikebene .....	130
	<i>Folgerungen und Beurteilung</i> .....	133
<b>8</b>	<b>Zusammenfassung und Ausblick</b> .....	<b>137</b>
8.1	Zusammenfassung und Diskussion .....	137
8.2	Ausblick und Anwendungsbeispiel .....	141
<b>Anhang A</b>	<b>Parasitäre Leitungselemente R, C, L und Verlustleistung</b> .....	<b>143</b>
A.1	Leitungsinduktivität .....	144
A.2	Leitungswiderstand .....	145
A.3	Leitungskapazität und Leitungswiderstand .....	146
	<b>Verzeichnis der verwendeten Symbole</b> .....	<b>151</b>
	<b>Abkürzungsverzeichnis</b> .....	<b>159</b>
	<b>Literaturverzeichnis</b> .....	<b>161</b>



# Abbildungsverzeichnis

Abbildung 1.1	Leckströme in CMOS-Schaltungen am Beispiel eines Inverters. a) Schaltbild b) Realisierung . . . . .	3
Abbildung 1.2	Komponenten des Tunnelstromes durch das Gate-Oxid . . . . .	6
Abbildung 1.3	Dynamische Querstromverlustleistung eines Inverters . . . . .	9
Abbildung 1.4	CMOS-Inverter mit kapazitiver Last am Ausgang. . . . .	10
Abbildung 2.1	Hierarchischer Ablauf beim halbkundenspezifischen Entwurf. . . . .	20
Abbildung 2.2	Verlustleistungsanalyse auf höheren Entwurfsebenen. . . . .	22
Abbildung 2.3	Kleinsignalersatzschaltbild eines MOS-Transistors, der um den Arbeitspunkt angesteuert wird. . . . .	23
Abbildung 2.4	Verlustleistungsanalyse auf Schaltungsebene. . . . .	25
Abbildung 2.5	Verlustleistungsanalyse Logikebene. . . . .	29
Abbildung 3.1	Inverter mit verschiedenen Leitungsmodellen. . . . .	38
Abbildung 3.2	Kommerzielle Verdrahtungslastmodelle (wire load models). . . . .	44
Abbildung 3.3	Querschnitt zweier paralleler Leiterbahnen über Substrat. . . . .	49
Abbildung 3.4	Einordnung der Verfahren zur Ermittlung der Verdrahtungslasten. .52	
Abbildung 4.1	Net Neighbourhood Populations. . . . .	56
Abbildung 4.2	a) Reales Layout mit platzierten Standardzellen. b) Abstraktion eines Schaltungs-Layouts als Gitter. . . . .	63

---

Abbildung 4.3	Reihenanordnungen und Pin-Verteilungen.....	67
Abbildung 4.4	Beispiele für rechtwinkelige Steinerbäume. ....	70
Abbildung 4.5	Mögliche Abmessungen der Untergitter.....	73
Abbildung 4.6	Maßstabsgetreues Standardzellen-Layout. ....	77
Abbildung 4.7	Empirische Untersuchung mit Benchmark-Schaltungen. ....	81
Abbildung 4.8	Beispiele für Konstellationen von Ein-/ Ausgangsnetzen. ....	85
Abbildung 4.9	Beispiele für pad limited und core limited Layout-Partitionen. ....	87
Abbildung 5.1	Leiterbahngeometrie auf drei Verdrahtungsebenen. ....	94
Abbildung 5.2	Schematische Darstellung der Leiterbahnen.....	98
Abbildung 5.3	Drei Fälle der kapazitiven Kopplung. ....	99
Abbildung 5.4	Vergleich der Kapazitäten pro Längeneinheit. ....	104
Abbildung 5.5	Entwurfsablauf zur kontrollierten Zuordnung von Leiterbahnen zu Verdrahtungsebenen.....	107
Abbildung 6.1	Netzliste mit Taktnetz und Taktbaum.....	114
Abbildung 6.2	Pseudo-Code zur Ermittlung der Anzahl der Takttreiberzellen. ....	117
Abbildung 6.3	Aufbau eines kaskadierten Taktbaumes. ....	118
Abbildung 7.1	Verringerung des relativen Fehlers der Leitungskapazität. ....	128
Abbildung A.1	Vereinfachtes CMOS-Invertermodell.....	147

# Tabellenverzeichnis

Tabelle 2.1	Signalwechselabhängige Verlustenergie eines UND-Gatters. . . . .	27
Tabelle 2.2	Vor- und Nachteile der Verlustleistungsanalysen auf den verschiedenen Abstraktionsebenen. . . . .	31
Tabelle 2.3	Relativer Fehler bei der Verlustleistungsanalyse. . . . .	32
Tabelle 4.1	Mittelwert des relativen Fehlers von schaltungsinternen Zwei-Pin-Netzen. . . . .	76
Tabelle 4.2	Mittelwert des relativen Fehlers von schaltungsinternen Netzen mit mehr als zwei Pins. . . . .	80
Tabelle 4.3	Mittelwert des relativen Fehlers von Ein-/ Ausgangsnetzen mit mehr als sechs Pins. . . . .	83
Tabelle 4.4	Mittelwert des relativen Fehlers von Ein-/ Ausgangsnetzen mit zwei bis sechs Pins. . . . .	86
Tabelle 4.5	Mittelwert des relativen Fehlers der Netzlängenabschätzung von Schaltungen mit zeitoptimiertem Layout. . . . .	89
Tabelle 5.1	Leiterbahnbreite und minimal einzuhaltender Leiterbahnabstand. .	93
Tabelle 5.2	Geometrische Kenngrößen einer Standardzellentechnologie. . . . .	97
Tabelle 5.3	Vergleich der Kapazitätskomponenten. . . . .	101
Tabelle 5.4	Quotienten der Kapazitätskomponenten. . . . .	102
Tabelle 7.1	Eigenschaften der verwendeten Schaltungen. . . . .	123
Tabelle 7.2	Kombinatorische Schaltungen. . . . .	124

Tabelle 7.3	Sequentielle Schaltungen. . . . .	126
Tabelle 7.4	Sequentielle Schaltungen mit zeitoptimiertem Layout. . . . .	127
Tabelle 7.5	Kombinatorische Schaltungen: Relativer Fehler bei der Verlustleistungsanalyse.. . . . .	131
Tabelle 7.6	Sequentielle Schaltungen: Relativer Fehler bei der Verlustleistungsanalyse.. . . . .	132

# Kapitel 1

## Einleitung

In der Vergangenheit waren vor allem die Erhöhung der Schaltungsgeschwindigkeit und die Minimierung der Fläche die wichtigsten Optimierungskriterien beim Entwurf von hochintegrierten digitalen Schaltungen. Die zunehmende Verbreitung von mobilen elektronischen Geräten, wie z.B. Mobiltelefonen und portablen Computern, hat jedoch die Leistungsaufnahme von integrierten Schaltungen stark in das Bewußtsein von Forschern und Entwicklern rücken lassen. Einerseits sind eine möglichst lange Bereitschaftszeit (standby) und Betriebsdauer für den Anwender wünschenswert. Da sich dies andererseits aber in dem Gewicht und dem Volumen der Akkumulatoren niederschlagen würde, mit denen die mobilen Geräte betrieben werden, versucht man die Energieaufnahme von vorne herein möglichst gering zu halten.

Die Berücksichtigung der Verlustleistung bereits beim Entwurf integrierter Schaltungen hat jedoch aus einem weiteren Grund erheblich an Bedeutung gewonnen: Die auf dem Chip auftretende Energie pro Fläche führt zu einer beträchtlichen thermischen Belastung der integrierten Schaltung. Immer höhere Integrationsdichten, zunehmende Komplexität der Schaltungen bzw. Systeme auf einem Chip sowie stetig steigende Takt- und Datenraten haben zu immer höherer Verlustleistung geführt. In den Fällen, in denen die entstehende Wärme durch Kunststoffgehäuse nicht mehr abgeführt werden kann, müssen die wesentlich teureren Keramikgehäuse eingesetzt werden. In noch kritischeren Fällen werden zusätzlich Kühlkörper und Lüfter auf dem Gehäuse der integrierten Schaltung aufgebracht. Solche Zusatzkosten sind bei Massenprodukten, die zu äußerst niedrigen Preisen angeboten werden sollen, nicht hinnehmbar. Die Strategie, höhere Kosten beim Entwurf der Schaltungen zur Reduktion der Verlustleistung in Kauf zu nehmen, amortisiert sich bei Massenprodukten sehr schnell. Da durch die verringerte Leistungsaufnahme die benötigte Fläche für Stromversorgungsleitungen kleiner wird und damit auch die Gesamtfläche der integrierten Schaltung, verringern sich die Produktionskosten. Desweiteren kann durch die Begrenzung der Verlustleistung der Einsatz von preiswerten Kunststoffgehäusen gegenüber den teuren Keramikgehäusen ermöglicht werden, was ebenfalls aus ökonomischer Sicht sinnvoll ist [62].

Maßnahmen zur Reduzierung der Verlustleistung integrierter Schaltungen und Systeme können in der Literatur unter dem Begriff "verlustleistungsarmer Entwurf" bzw. "Low-Power Design" gefunden werden. Um die Wirksamkeit der angewendeten Methoden zur Reduzierung der Verlustleistung bewerten zu können, ist jedoch auch eine Verlustleistungsanalyse (power analysis, power estimation) zwingend erforderlich.

Da statische CMOS-Logik für komplexe digitale Schaltungen mit relativ preisgünstigen Herstellungsprozessen realisiert werden kann, und bei vielen Anwendungen der Hauptanteil der Verlustleistung während der Umschaltvorgänge aus der Quelle entnommen wird, hat sich diese Schaltungstechnik für verlustleistungskritische Anwendungen als das Mittel der Wahl herauskristallisiert. Deshalb wurde für die in dieser Arbeit vorgestellten Methodiken und Untersuchungen eine CMOS-Technologie zugrunde gelegt.

## 1.1 Verlustleistung digitaler CMOS-Schaltungen

In der Literatur hat sich nicht nur für die *unerwünschten Energieverluste* sondern auch für die *Nutzenergie* in CMOS-Schaltungen der Begriff *Verlustleistung* etabliert. Auch wenn die aus einer Quelle entnommene Energie der Verarbeitung der Nutzdaten dient, so ist diese ebenso "verloren" wie die Leistung, welche aufgrund schaltungsfamilien-spezifischer oder technologischer Gründe unwillkürlich entnommen wird. Die Begriffe *Verlustleistung*, *Leistungsverbrauch* und *Leistungsaufnahme* sind in diesem Zusammenhang also als gleichbedeutend anzusehen.

Die Leistungsaufnahme von Schaltungen oder Systemen kann allgemein in zwei Arten unterteilt werden: In statische und dynamische Verlustleistung. Die statische Verlustleistung kann bei Systemen oder Geräten, die sich aufgrund ihrer speziellen Anwendung lange im Standby-Modus befinden, als limitierender Faktor auftreten. Bei älteren Technologiegenerationen konnte die statische Verlustleistung häufig vernachlässigt werden und lag unter einem Prozent der gesamten Verlustleistung [5]. Bei moderneren Technologien mit einer gezeichneten Gate-Länge der MOS-Transistoren kleiner  $0,18\ \mu\text{m}$  kann jedoch beobachtet werden, daß die statische Verlustleistung durchaus nennenswerte Größenordnungen erreicht. Bei der Mehrheit der Schaltungen wird jedoch die dynamische Verlustleistung den Hauptanteil darstellen, da für viele Schaltungen die Verarbeitung hoher Datenraten charakteristisch ist und als deren Folge häufige Umschaltvorgänge der CMOS-Gatter auftreten [62].

### 1.1.1 Statische Verlustleistung

Statische Verlustleistung tritt auch dann auf, wenn die Schaltung keinerlei Aktionen ausführt und ist in jedem Fall unerwünscht. Als Anteile statischer Verlustleistung sind in CMOS-Schaltungen drei Ursachen zu lokalisieren. Einerseits sind an parasitären, in Sperrichtung gepolten Dioden Leckströme zu beobachten, und andererseits treten an MOS-Transistoren ungewollte Subschwelleströme auf. Als dritte Ursache für statische

Verlustleistung sind noch Tunnelströme durch das Gate-Oxid zu nennen, die erst bei neueren Technologien (sub-quarter micron technologies) nennenswerte Ausmaße erreichen. Alle drei Faktoren sind vorwiegend durch die Prozeßtechnologie bestimmt.

### Leckströme durch parasitäre Dioden

Zur Realisierung eines n-Kanal-MOS-Transistors werden Source- und Drain-Gebiete mit  $n^+$ -Dotierung in ein p-Substrat eingebracht. Im Falle eines p-Kanal-MOS-Transistors werden die  $p^+$ -Source- und Drain-Gebiete in eine n-Wanne dotiert. Durch die unterschiedlich dotierten Zonen treten pn-Übergänge auf, welche parasitäre Dioden bilden.

In Abbildung 1.1 a) ist das Schaltbild eines CMOS-Inverters angegeben. Die technologische Realisierung des Inverters mit den entsprechend dotierten Zonen im Halbleiter ist in Abbildung 1.1 b) dargestellt. An den eingezeichneten, sperrgepolten Dioden zwischen dem Drain bzw. Source eines MOS-Transistors und dem Substrat bzw. der Transistorwanne werden parasitäre Leckströme beobachtet. Diese liefern einen Beitrag zur statischen Verlustleistung einer integrierten Schaltung.

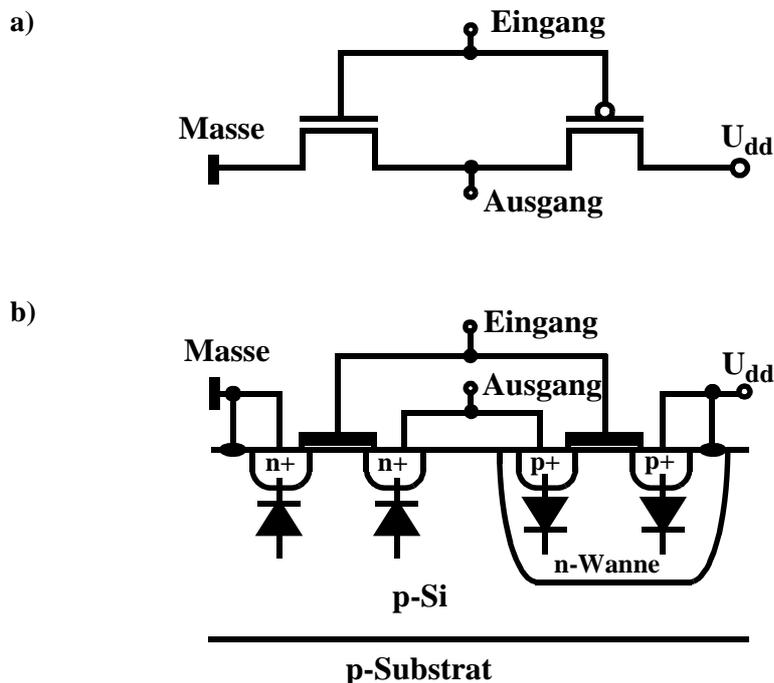


Abbildung 1.1 Leckströme in CMOS-Schaltungen am Beispiel eines Inverters.

- a) Schaltbild  
b) Realisierung

Der Strom durch eine Diode ist allgemein abhängig vom Sperrsättigungsstrom  $I_S$ , der an der Diode anliegenden Spannung  $U$  und der Temperaturspannung  $U_T = kT/e$ . Im Falle einer sperrgepolten Diode ( $U \leq 0$ ) gilt für den Diodensperrstrom  $I_{Dsperr}$

$$I_{Dsperr} = I_S \cdot \left( e^{\frac{U}{U_T}} - 1 \right) \quad \Rightarrow \quad I_{Dsperr} \cong -I_S \quad . \quad (\text{Gl. 1.1})$$

Die Größe dieser Sperrströme liegt unter 1 fA pro pn-Übergang [5].

### Subschwelleströme

Die zweite Ursache für statische Verlustleistung stellen die Subschwelleströme dar, welche durch Ladungsträgerdiffusion zwischen Source und Drain hervorgerufen werden. Dieser Effekt ist zu beobachten, da der Kanalwiderstand eines selbstsperrenden MOS-Transistors im Aus-Zustand keinen unendlich hohen Wert darstellt, und die Gate-Source-Spannung in einer Schaltung auch unterhalb der Schwellenspannung nie völlig 0 V erreicht. Der Subschwellestrom  $I_{Sub}$  ist gegeben durch

$$I_{sub} = I_{Sub0} \cdot e^{\left( \frac{U_{GS} - U_{th}}{nU_T} \right)} \cdot \left( 1 - e^{-\frac{U_{DS}}{U_T}} \right) \quad . \quad (\text{Gl. 1.2})$$

In Gl. 1.2 ist  $I_{Sub0}$  der Subschwellestrom an der Stelle  $U_{GS} = U_{th}$ , wobei  $U_{GS}$  die Gate-Source-Spannung und  $U_{th}$  die Schwellenspannung darstellt. Der Faktor  $n$  ist ein Prozeßparameter und  $U_T$  ist die Temperaturspannung  $kT/e$  [19], [108]. Für den Fall, daß  $U_{DS} \gg U_T$  ergibt sich für den Term  $(1 - e^{-U_{DS}/U_T}) \approx 1$  und der Drain-Source-Leckstrom wird unabhängig von der Drain-Source-Spannung  $U_{DS}$ . Weiterhin ist in Gl. 1.2 zu erkennen, daß der Subschwellestrom  $I_{Sub}$  exponentiell von der Schwellenspannung  $U_{th}$  abhängt.

Daraus ergibt sich für den Schaltungsentwurf ein Konflikt. Eine hohe Schwellenspannung wäre einerseits vorteilhaft in bezug auf niedrige Subschwelleströme. Sie kann jedoch nicht beliebig hoch gehalten werden. Denn andererseits wirkt sich eine hohe Schwellenspannung negativ auf die Schaltungsgeschwindigkeit aus. Dies soll anhand folgender Ausführungen gezeigt werden.

In Gl. 1.3 ist die Eingangs- zu Ausgangsverzögerungszeit  $t_D$  eines Inverters angegeben, an dem am Ausgang die Lastkapazität  $C_{Last}$  angeschlossen ist [91]:

$$t_D = \left( \frac{1}{2} - \frac{1 - \frac{U_{th}}{U_{dd}}}{1 + \alpha} \right) \cdot t_T + \frac{C_{Last} \cdot U_{dd}}{2I_{D0}} \quad . \quad (\text{Gl. 1.3})$$

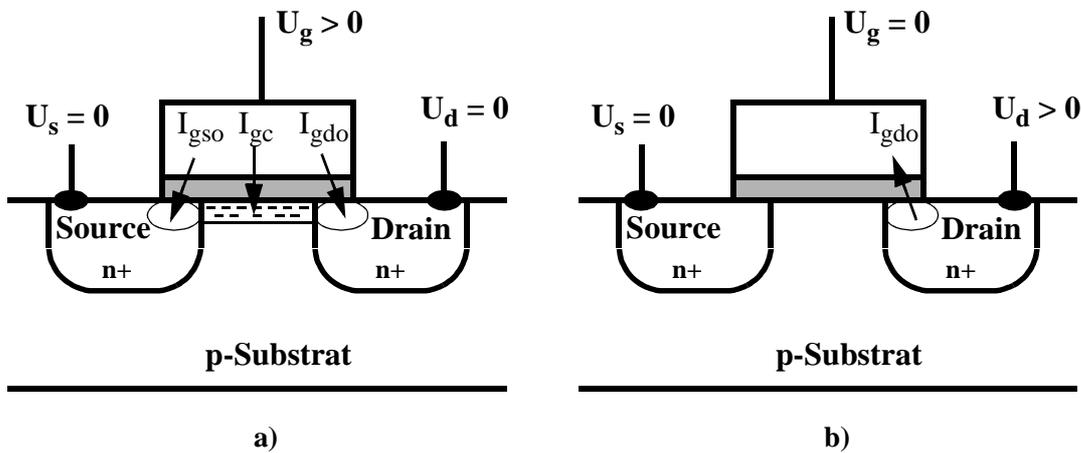
Die Verzögerungszeit  $t_D$  eines Inverters ist dabei die Zeitdauer, die vergeht zwischen dem Zeitpunkt, zu dem am Eingang  $U_{dd}/2$  anliegt und dem Zeitpunkt zu dem der Ausgang  $U_{dd}/2$  erreicht hat. Dabei ist  $\alpha$  ein Prozeßparameter, wird als Sättigungsgeschwindigkeitsindex (velocity saturation index) bezeichnet und kann Werte zwischen eins und zwei annehmen. Für den Fall, daß sich alle Ladungsträger im Kanal mit der Sättigungsgeschwindigkeit bewegen ist  $\alpha = 1$  und für den Fall daß sich keiner der Ladungsträger mit Sättigungsgeschwindigkeit bewegt ist  $\alpha = 2$ . Der Drain-Sättigungsstrom  $I_{D0}$  ist gegeben, wenn gilt  $U_{GS} = U_{DS} = U_{dd}$ . Die Verzögerungszeit  $t_D$  ist eine Linearkombination zweier Terme, wobei der erste Term eine Abhängigkeit von der Eingangsflankensteilheit  $t_T$  (input transition time) beschreibt und der zweite Term von der Lastkapazität am Ausgang abhängt. In Gl. 1.3 ist erkennbar, daß die Verzögerungszeit eines CMOS-Inverters von der Schwellenspannung  $U_{th}$  abhängt und mit kleiner werdender Schwellenspannung abnimmt, was sich wiederum nachteilig auf die Verlustleistung durch Subschwelleströme auswirkt.

Wegen der Skalierung der Schwellenspannung aus Gründen der Schaltungsgeschwindigkeit sowie der exponentiellen Abhängigkeit des Subschwellestromes von der Schwellenspannung, hat die statische Verlustleistung durch Subschwelleströme bei modernen Technologien in den letzten Jahren an Bedeutung gewonnen. Einige Halbleiterhersteller begegnen diesem Problem mit zwei Prozeßvarianten - einer im Hinblick auf Verlustleistung optimierten Technologie mit höherer Schwellenspannung und einer für Hochgeschwindigkeitsschaltungen geeigneten Technologie mit niedrigerer Schwellenspannung und höherer Versorgungsspannung aber auch größerer statischer Verlustleistung. Darüber hinaus existiert die Möglichkeit integrierte Schaltungen mit mehreren Schwellenspannungen herzustellen. In diesem Fall wird eine Prozeßtechnologie verwendet, die unterschiedliche Kanaldotierungen der MOS-Transistoren zur Verfügung stellt. Beim Schaltungsentwurf werden dann zeitkritische Schaltungsblöcke mit Transistoren mit niedriger Schwellenspannung und die weniger zeitkritischen Blöcke mit höherer Schwellenspannung realisiert. Wegen des zusätzlichen technologischen Aufwandes wird die Anzahl der zur Verfügung stehenden Schwellenspannungen limitiert. Ein Verfahren zur Verlustleistungsoptimierung unter Verwendung von zwei Schwellenspannungen ist in [118] beschrieben.

### Tunnelströme durch das Gate-Oxid

Ein weiterer Typus statischer Verlustleistung wird durch Tunnelströme durch das Gate-Oxid der MOS-Transistoren hervorgerufen. Während Tunnelströme dieser Art bei bisherigen CMOS-Technologien, aufgrund ausreichender Dicke des Gate-Oxids kaum auftraten, können diese bei Technologien mit einer gezeichneten Gate-Länge kleiner  $0,18\text{-}\mu\text{m}$  nicht mehr vernachlässigt werden.

Im Folgenden sind die dominanten Komponenten des Tunnelstromes durch das Gate-Oxid eines n-Kanal MOS-Transistors angegeben. Bei statischer CMOS-Logik befinden sich die Transistoren entweder im linearen Betriebsbereich oder im Subschwelligbereich. Im ersten Fall tritt ein ortsunabhängiger Inversionskanal auf. Der Tunnelstrom ist deshalb unter dem ganzen Gate konstant.



**Abbildung 1.2** Komponenten des Tunnelstromes durch das Gate-Oxid.

a) Tunnelströme in den Kanal sowie in das Source- bzw. Drain-Gebiet.

b) Tunnelstrom aus dem Drain-Gebiet; nichtleitender Zustand des Transistors.

Im leitenden Zustand des n-MOS-Transistors gilt für Source- und Drain-Spannung  $U_s = U_d = 0$  (Abbildung 1.2 a)). Am Gate liegt die positive Spannung  $U_g > 0$  an. Der Tunnelstrom durch das Gate-Oxid in den leitenden n-Kanal  $I_{gc}$  stellt den Hauptanteil dar.

Weitere Tunnelströme ergeben sich aus dem Überlapp zwischen dem Gate und dem Source- bzw. dem Drain-Gebiet, die mit den Tunnelstromkomponenten  $I_{gso}$  und  $I_{gdo}$  angegeben sind [38]. Die Überlappungsgebiete sind in Abbildung 1.2 durch elliptische Umrandungen gekennzeichnet.

Die Tunnelströme, die an den Überlappungsgebieten zu Drain und Source auftreten, sind kleiner als der Tunnelstrom, der durch das Gate-Oxid direkt zum Kanal hin auftritt. Da jedoch das *Verhältnis* aus Kanaltunnelströmen zu Tunnelströmen an den Überlappungsgebieten konstant bleibt, kann ein effektiver Tunnelstrom  $I_T$  angegeben werden:

$$I_T = \int_A j(x, y) dx dy \quad . \quad (\text{Gl. 1.4})$$

Dabei ist  $A$  die Fläche unter dem Gate und  $j(x, y)$  die ortsabhängige Tunnelstromdichte.

Die effektive Linienstromdichte  $j_T$  entlang der gezeichneten Gate-Länge  $L$  eines MOS-Transistors ( $0 < y \leq W$ ) ergibt sich aus

$$j_T = \frac{\partial I_T}{\partial y} = \int_x j(x, y) dx \quad , \quad (\text{Gl. 1.5})$$

wobei für die Integrationsgrenzen in x-Richtung  $0 < x \leq L$  gilt.

Der Spannungsabfall durch das Gate-Oxid, der bei statischer CMOS-Logik durch  $U = U_{dd}$  gegeben ist, stellt einen weiteren Einflußfaktor für die Höhe des Tunnelstromes dar. Je größer der Spannungsabfall ist, desto höher ist der Tunnelstrom. Die Ursachen hierfür sind einerseits in dem stärker verzerrten Bandkantenverlauf des Gate-Oxids zu sehen und andererseits nimmt die Ladungsträgerdichte in der Inversionslage, dem Kanal, zu. Beide Faktoren erhöhen die Tunnelwahrscheinlichkeit, wobei der letztere dominant wirkt [49].

In Abbildung 1.2 b) ist der nichtleitende Zustand des Transistors dargestellt. In diesem Fall liegt an Drain eine positive Spannung gegenüber Gate an ( $U_d > 0$ ;  $U_g = 0$ ). Es dominiert der Strom  $I_{gdo}$  vom Drain in das Gate. Wegen der kleinen überlappenden Fläche ist dieser Strom relativ gering gegenüber dem gesamten Tunnelstrom im leitenden Zustand des Transistors. Eine detaillierte Beschreibung der Tunneleffekte durch das Gate-Oxid ist in [67] gegeben.

### 1.1.2 Dynamische Verlustleistung

Die dynamische Verlustleistung läßt sich in zwei Komponenten aufteilen: Die Querstromverlustleistung und die kapazitive Verlustleistung. Beide Komponenten treten im Moment des Umschaltens eines CMOS-Gatters auf, d.h. wenn der Gatterausgang seinen Zustand ändert.

## Querstromverlustleistung

Querstromverlustleistung, welche auch als Kurzschlußverlustleistung bezeichnet wird, tritt für einen begrenzten Zeitraum auf einem Kurzschlußpfad zwischen der Versorgungsspannung  $U_{dd}$  und Masse auf. Dabei befindet sich sowohl mindestens ein p- als auch ein n-MOS-Transistor eines CMOS-Gatters im leitenden Zustand. Dieser Zustand ist genau dann gegeben, wenn die Spannung  $U$  am Gattereingang die Schwellenspannung des n-MOS-Transistors  $U_{thn}$  bereits überschritten hat und der p-MOS-Transistor immer noch leitet.

Es gilt die Bedingung [85]:

$$U_{thn} < U < U_{dd} - |U_{thp}| \quad . \quad (\text{Gl. 1.6})$$

In den Kanalwiderständen der Transistoren wird dabei elektrische Energie in Wärme umgesetzt. Die Querstromverlustleistung ist im allgemeinen analytisch nicht einfach herzuleiten, da der Kurzschlußstrom von folgenden Einflußfaktoren abhängig ist:

1. Der Flankensteilheit  $t_T$  des Eingangssignals (transition time).
2. Den  $I$ - $U$ -Kennlinien der p- und n-MOS-Transistoren, welche wiederum von den Abmessungen der Transistoren, der Prozeßtechnologie, der Temperatur und anderen Größen abhängen.
3. Der Schwellenspannung  $U_{th}$ .
4. Der Versorgungsspannung  $U_{dd}$ .
5. Der Lastkapazität  $C_{Last}$  am Ausgang des Inverters.

In [115] ist die Querstromverlustleistung für einen unbelasteten CMOS-Inverter mit

$$P_{Quer} = \frac{\beta}{12} \cdot (U_{dd} - 2U_{th})^3 \cdot t_T \cdot f_S \quad (\text{Gl. 1.7})$$

angegeben, wobei  $\beta$  die Steilheit der Transistoren,  $U_{dd}$  die Versorgungsspannung und  $U_{th}$  die Schwellenspannung darstellt. In obigem Fall ist angenommen, daß der Inverter symmetrisch aufgebaut ist, d.h.  $\beta = \beta_n = \beta_p$  und  $U_{th} = U_{thn} = -U_{thp}$ . Ferner ist die Anstiegs- bzw. Abfallzeit des Eingangssignals mit  $t_T$  und die Schaltfrequenz mit  $f_S = 2 \alpha_{01} f_{Takt}$  angegeben.

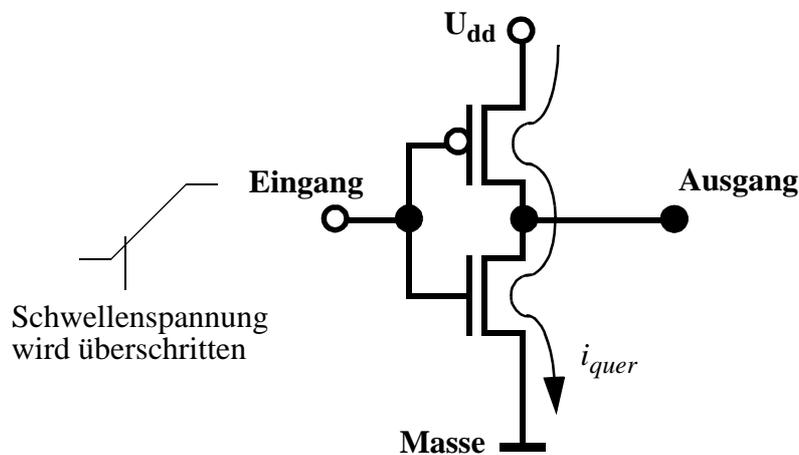
Der Einfluß der Flankensteilheit  $t_T$  auf die dynamische Querstromverlustleistung kann direkt an Gl. 1.7 erkannt werden. Die oben angegebene Aussage Nr. 5 bezüglich der Auswirkungen der Lastkapazität ist hingegen eher qualitativer Art. Nach [125] sind vor allem folgende Erkenntnisse relevant:

Die dynamische Querstromverlustleistung ist umso kleiner,

- je steiler die Flanke des Eingangssignals ist
- je größer die Lastkapazität am Ausgang ist.

Eine detaillierte Darstellung dazu ist in [125] zu finden.

In [115] ist der Anteil der Querstromverlustleistung als deutlich kleiner als die kapazitive dynamische Verlustleistung angegeben ( $< 20\%$ ). Neuere Quellen hingegen differenzieren nach der Art der Schaltung [34], berücksichtigen Kurzkanaleffekte der MOS-Transistoren [116] oder machen prognostische Aussagen für zukünftige CMOS-Technologiegenerationen [81]. Als Beispiel seien an dieser Stelle SRAM-Speicher genannt, bei denen lange Leitungen zwischen den Speicherzellen und den Leseverstärkern sehr große Kapazitäten darstellen. In diesen Fällen kann ein Netzknoten innerhalb einer Taktperiode nie voll auf  $U_{dd}$  geladen oder auf Masse entladen werden, was eine extrem flache Eingangsflanke für die an diesen Netzen liegenden Transistor-Gates darstellt. Es fließt ein permanenter Querstrom über die sowohl im n- als auch im p-Block leitenden Transistoren. In diesem Fall kann die Querstromverlustleistung durchaus Werte von über 50% annehmen [34].



**Abbildung 1.3** Dynamische Querstromverlustleistung eines Inverters. Im Moment des Umschaltens eines CMOS-Gatters entsteht für einen begrenzten Zeitraum ein Kurzschlußpfad zwischen der Versorgungsspannung und Masse.

## Kapazitive dynamische Verlustleistung

Für die meisten Anwendungen stellt die kapazitive Verlustleistung den Hauptanteil dar. Dieser Anteil ist insbesondere für Schaltungen mit hoher Taktfrequenz und hoher Schaltaktivität dominant sowie in Fällen, bei denen beim Schaltungsentwurf steile Eingangsflanken gewährleistet werden können (im Gegensatz zu SRAMs, die hohe Querstromverlustleistung aufweisen können). Kapazitive dynamische Verlustleistung resultiert aus dem Auf- und Entladen von Kondensatoren am Ausgang eines CMOS-Gatters. In Abbildung 1.4 ist ein Inverter mit kapazitiver Ausgangslast dargestellt. Der Kondensator symbolisiert die Summe der Gate-Eingangskapazitäten der von diesem Inverter-Ausgang getriebenen Gatter und die Kapazität der Verbindungsleitungen dieses Netzknotens (lumped capacitance).

Betrachtet werde zunächst ein Signalwechsel am Eingang von logisch Eins auf logisch Null. In diesem Fall schaltet der n-MOS-Transistor ab und die Kapazität am Ausgang des Inverters wird über den leitenden p-MOS-Transistor aufgeladen. Dabei wird der Quelle die Energie

$$W = C_{Last} U_{dd}^2 \quad (\text{Gl. 1.8})$$

entnommen. Die Hälfte dieser Energie wird im p-MOS-Transistor in Wärme umgesetzt, und die andere Hälfte wird in der Kapazität gespeichert. Findet am Eingang dann ein Signalwechsel von logisch Null auf logisch Eins statt, so sperrt der p-MOS-Transistor und die Kapazität wird über den n-MOS-Transistor entladen. In diesem Fall wird die vorher in dem Kondensator gespeicherte Energie  $W_{el} = 1/2 C_{Last} U_{dd}^2$  im n-MOS-Transistor in Wärme umgesetzt.

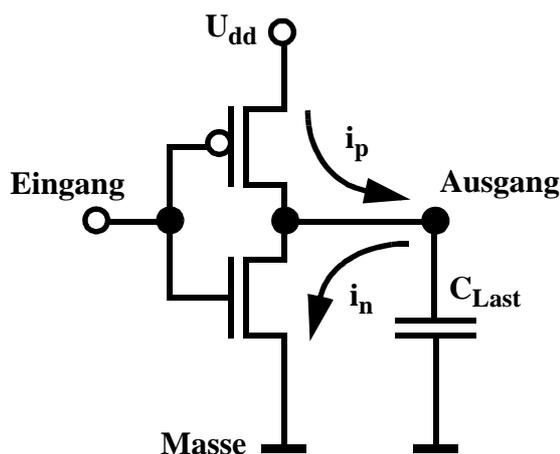


Abbildung 1.4 CMOS-Inverter mit kapazitiver Last am Ausgang. Der Kondensator stellt die Gate-Eingangskapazitäten der diesem Inverter nachgeschalteten Gatter und die Kapazität der Verbindungsleitungen dieses Netzknotens dar.

Für jeden Signalwechsel von logisch Eins nach logisch Null und wieder zurück auf logisch Eins ergibt sich nach obigen Ausführungen, daß die Energie nach Gl. 1.8 dissipiert wird. Darüberhinaus hängt die kapazitive Verlustleistung von der Schaltaktivität  $\alpha_{01}$  ab. Die Schaltaktivität  $\alpha_{01}$  ist definiert als die durchschnittliche Anzahl von Signalwechseln von 0 nach 1 innerhalb eines Datenzyklus [77].

Setzt man voraus, daß in synchronen Schaltungen nur ein Signalwechsel innerhalb der Periodendauer  $T$  eines Taktzyklus möglich ist, so ergibt sich für die kapazitive Verlustleistung

$$P_{kap} = \alpha_{01} \cdot C_{Last} \cdot U_{dd}^2 \cdot f_{Takt} \quad (\text{Gl. 1.9})$$

mit  $f_{Takt} = 1/T_{Takt}$ . In der Regel gilt für die Schaltaktivität  $0 \leq \alpha_{01} \leq 0,5$ .

Eine Ausnahme obiger Voraussetzung bezüglich der Signalwechsel in synchronen Schaltungen stellen sogenannte Glitches dar. Darunter sind ungewollte Schaltvorgänge zu verstehen, die auftreten, bevor ein Netzknoten den endgültigen stabilen Signalwert am Ende eines Umschaltvorganges einnimmt. Diese Erscheinung ist zu beobachten, wenn Pfade mit unterschiedlichen Laufzeiten an einem Punkt in der Schaltung, z.B. einem Gatter, aufeinander treffen. Da in synchronen Schaltungen dann innerhalb einer Taktperiode mehrere anstatt einem Signalwechsel statt finden können, kann die Schaltaktivität  $\alpha_{01}$  für diese Spezialfälle auch Werte größer 0,5 annehmen [20].

## 1.2 Beitrag der Leiterbahnen zur Lastkapazität

Die in Abbildung 1.4 dargestellte Lastkapazität am Ausgang eines CMOS-Gatters läßt sich aufspalten in die zellinternen Eingangskapazitäten der vom betrachteten Gatter (hier: Inverter) getriebenen Gatter  $G$  und die Kapazitäten der verbindenden Leiterbahnen  $L$ :

$$C_{Last} = \sum_{i=1}^G C_{Gatter} + \sum_{j=1}^L C_{Leiterbahnen} \quad (\text{Gl. 1.10})$$

Während die zellinternen Kapazitäten der Gatter im Entwurfsstadium "Gatternetzlistenebene" bereits bekannt sind, liegen genauere Kenntnisse zu den Leitungskapazitäten erst nach dem darauf folgenden Entwurfsschritt, also nach einer vollständigen Layout-Synthese vor. Daraus ergeben sich sowohl für die Optimierung als auch für die Verifikation einer Schaltung folgende Informationslücken bzw. Probleme: Während der Logik-Syn-

these dient die Information über die Größe der Lastkapazitäten zur Dimensionierung und Optimierung der Treiberstärke eines Gatters. Bei der Timing- und Verlustleistungsanalyse hingegen ergibt sich die Laufzeit der Pfade und die dynamische Verlustleistung unter anderem aus der Größe der Lastkapazitäten. Die Kapazitäten der Leiterbahnen wiederum sind abhängig von der Leitungslänge. In [33] ist eine Abschätzung angegeben, daß Leitungen innerhalb von Layout-Partitionen (local interconnects) 68% der dynamischen Verlustleistung ausmachen und globale Leitungen einen Beitrag von 32% liefern. Obwohl lokale Leitungen erheblich kürzer sind als globale Leitungen, ist deren Gesamtanteil an der totalen Leitungslänge einer Schaltung höher als die Summe aller langen, globalen Leitungen. Die individuelle Länge der Vielzahl der lokalen Leitungen und folglich deren Kapazität ist jedoch nur schwierig zu prognostizieren.

Der Einfluß der Leitungskapazitäten wird bei zukünftigen Technologie- und Schaltungsgenerationen noch weiter zunehmen, wie die folgenden Ausführungen zeigen werden.

Wird eine Schaltung bei gleichbleibender Platzierung der Standardzellen einem Shrink-Prozeß unterzogen, d.h. in eine neue Technologiegeneration überführt, so skalieren neben der Gate-Länge der MOS-Transistoren und der mittleren Breite der Standardzellen auch die Leiterbahnbreite, der Leiterbahn-Space (Abstand zwischen den Leiterbahnen) und die Leiterbahnlänge. Sylvester und Keutzer gehen davon aus, daß die durchschnittliche Leitungslänge einen festen Anteil der Seitenlänge eines Layout-Blocks darstellt [104]. Umgekehrt nimmt die Schaltungskomplexität ständig zu, getrieben von der Notwendigkeit nach immer höherer Integration sowohl aus ökonomischer Sicht als auch aus Gründen der Schaltungsgeschwindigkeit und Verlustleistung. Desweiteren ermöglichen sowohl Logiksynthese- als auch Layout-Tools die Bearbeitung von Schaltungen stetig steigender Komplexität, und die Entwicklung der Halbleiterprozeßtechnologie ermöglicht die Fertigung immer größerer Schaltungen mit rentabler Ausbeute. Betrachtet werde nun im Gegensatz zu obigem Fall nicht mehr eine gegebene Schaltung, die in eine Technologie mit kleineren Abmessungen überführt wird, sondern die Tatsache, daß die von den Tools handhabbare *Komplexität von Layout-Blöcken stetig zunimmt*. Das bedeutet, daß die Anzahl der Gatteräquivalente eines Layout-Blocks zunimmt und damit auch die Seitenlänge des Layout-Blocks relativ zur mittleren Breite einer Standardzelle. Nach Sylvester und Keutzer nimmt demnach auch die durchschnittliche Leitungslänge in einer Schaltung zu. Dies hat zur Folge, daß der Anteil der Leitungskapazitäten gegenüber dem Anteil der Gatterkapazitäten an einem Netzknoten zunimmt.

Eine weitere Quelle dieser Projektion auf zukünftige Technologien stellt die SIA Roadmap dar. In [99] wird prognostiziert, daß die Chip-Größe steigt, aufgrund der durch verbesserte *Lithographie möglichen prozessierbaren Fläche*. Eine integrierte Schaltung ohne hierarchische Blöcke ist durch einen einzigen Layout-Block gekennzeichnet, der den Chip vollständig einnimmt. Legt man auch hier die Argumentation aus [104] zugrunde, daß die durchschnittliche Leitungslänge einen festen Anteil der Länge eines

Layout-Blocks darstellt, so nimmt auch für dieses Fallbeispiel die durchschnittliche Leitungslänge zu.

Obige Prognosen werden weiterhin dadurch untermauert, daß sich die *Konflikte eines Platzierungs-Tools*, miteinander verschaltete Zellen nahe zueinander zu platzieren, mit zunehmender Anzahl von Standardzellen verschärfen [82]. Als Grund hierfür ist die Verschaltung der Zellen untereinander und die gegenseitige Abhängigkeit bei der Platzierung zu sehen.

Als Folge obiger Beispiele kann also eine Zunahme der durchschnittlichen Leitungslänge und damit der Leitungskapazität abgeleitet werden. In [71] ist zudem dargestellt, daß das Verhältnis aus Leitungskapazitäten zu Gate-Eingangskapazitäten  $C_{\text{Leiterbahnen}}/C_{\text{Gatter}}$  an einem Netzknoten mit neueren Technologiegenerationen ansteigen wird. Damit nimmt schließlich der Anteil der Leitungskapazitäten in Gl. 1.9 bzw. Gl. 1.10 gegenüber den Gate-Kapazitäten zu, und damit steigt die Verlustleistung, die durch Leiterbahnen hervorgerufen wird, bei neueren Technologiegenerationen an.

Mit der vorliegenden Dissertation wurde versucht, der wachsenden Bedeutung des Einflusses von Leiterbahnen auf die Verlustleistung und insbesondere bei der Verlustleistungsanalyse vor der Layout-Synthese, Rechnung zu tragen.

Für den Schaltungsentwickler wäre eine möglichst frühzeitige Verlustleistungsanalyse, also noch vor der Layout-Synthese wünschenswert, um ggf. weiteren Optimierungsbedarf einer Schaltung zu erkennen. Vor der Layout-Synthese liegen allerdings keine genauen Aussagen bezüglich der Länge der Leiterbahnen vor. Die Leitungslänge beeinflußt allerdings unmittelbar die Lastkapazität einer Leiterbahn.

Desweiteren hängt die Größe der Kapazität einer Verbindungsleitung davon ab, auf welcher Verdrahtungsebene sie verläuft [97]. Leitungskapazitäten werden vor der Layout-Synthese durch Verdrahtungslastmodelle prognostiziert. Die Leitungslängenabschätzung, welche in Verdrahtungslastmodellen nach dem Stand der Technik Anwendung findet, ist mit großen Fehlern behaftet. Selbst Verfahren, welche zum Zweck der genaueren Längenabschätzung auf eine Platzierungsinformation der Standardzellen im Layout zurückgreifen, vernachlässigen derzeit die verdrahtungsebenenspezifische Kapazität pro Längeneinheit, welche die späteren Gegebenheiten in einem Schaltungs-Layout besser beschreiben würde. Ungenau prognostizierte Leitungskapazitäten, einerseits durch eine ungenaue Prognose der Leitungslängen und andererseits durch die Vernachlässigung der verdrahtungsebenenspezifischen Kapazitäten, stellen deshalb eine Fehlerquelle bei der Verlustleistungsanalyse als auch der Timing-Analyse dar [22].

### 1.3 Ziele

Die Zielsetzung der vorliegenden Arbeit ist die genaue Prognose der Leitungskapazitäten vor der vollständigen Layout-Synthese. Weiterhin wird in der vorliegenden Arbeit der Einfluß der Verdrahtungslasten auf die Genauigkeit bei der Verlustleistungsanalyse untersucht. Die von einem Netz verursachte Verlustleistung hängt neben der Schaltaktivität des Netzes auch von der netzeigenen Kapazität ab. Zu diesem Zweck wird die Leitungskapazität möglichst individuell abgeschätzt.

Zur Prognose der Leitungskapazitäten werden zwei unabhängige Ansätze verfolgt:

#### 1. Leitungslängenabschätzung

- Vorstellung eines statistischen Verfahrens zur Abschätzung der Netzlängen vor der Layout-Synthese. Entwicklung dieses Verfahrens zu einem Algorithmus, der die individuelle Leitungslänge für jedes Netz mit möglichst geringem relativen Fehler ermittelt. Bei diesem Modell wird die Leitungskapazität aus dem Produkt der prognostizierten Leitungslänge und der durchschnittlichen Kapazität pro Längeneinheit, gemittelt über alle Verdrahtungsebenen (effective capacitance), berechnet [84].

#### 2. Berücksichtigung physikalischer Effekte vor der Layout-Synthese

- Modellierung der layer-spezifischen Kapazität pro Längeneinheit vor der Verdrahtung der integrierten Schaltung und Berechnung der Lastkapazität der Netze unter Berücksichtigung technologischer Einflüsse. Bei dieser Klasse von Verdrahtungslastmodellen wird die Leitungslänge nach dem halben Rechteckumfang der platzierten Standardzellen ermittelt.
- Entwicklung einer neuen Entwurfsmethodik zur Prognose der layer-spezifischen Kapazität pro Längeneinheit (kontrollierte Verdrahtung). Dabei erfolgt eine Zuordnung von Leiterbahnen zu Verdrahtungsebenen vor der eigentlichen Verdrahtung der Schaltung. Auf diese Weise wird eine Zusatzinformation gewonnen, die die Gegebenheiten im späteren Layout widerspiegelt und eine genaue Ermittlung der Leiterbahnkapazitäten ermöglicht.

Die abschließenden Ziele der Arbeit stellen sich wie folgt dar:

Untersuchung des Einflusses der Verdrahtungslasten auf die Verlustleistungsanalyse

- Verringerung des Fehlers bei der Verlustleistungsanalyse auf Logikebene durch den Einsatz genauer Verdrahtungslastmodelle.

- Vergleich der Genauigkeit, wenn der Verlustleistungsanalyse einerseits ein Verdrahtungslastmodell nach dem Stand der Technik und andererseits ein in dieser Arbeit entwickeltes Modell zugeführt wird. Diese Untersuchungen werden anhand von Benchmark-Schaltungen und anhand von Designs durchgeführt, die am Lehrstuhl für Integrierte Systeme der Technischen Universität München im Rahmen eines Industrieprojektes entwickelt wurden.

Die Rahmenbedingungen zur Lösung obiger Probleme sind dabei wie folgt anzugeben:

- Verringerung des Fehlers der Leitungslänge, die auf Logikebene abgeschätzt wird.
- Verringerung des Fehlers bei der Prognose der Leitungskapazitäten.
- Der Flächenbedarf einer Schaltung, die mit der vorgeschlagenen, neuen Entwurfsmethodik entwickelt wird, soll identisch sein mit dem Flächenbedarf, der sich bei Anwendung eines Verfahrens entsprechend dem Stand der Technik ergibt.

Aus den Punkten 1 und 2 geht hervor, daß zwei Strategien verfolgt werden, um zu einer genauen Prognose der Leitungskapazitäten zu kommen. Die beiden Verfahren können miteinander kombiniert werden, was aber nicht zwangsläufig der Fall sein muß. Insbesondere war die Verknüpfung beider Ansätze nicht das Ziel dieser Arbeit, sondern es sollen die Vor- und Nachteile beider Ansätze mit den Verfahren nach dem Stand der Technik verglichen werden.

Für alle Untersuchungen wird eine Verlustleistungsanalyse auf Logikebene verwendet, da damit Schaltungen großer Komplexität mit akzeptablem Zeitaufwand und hinreichender Genauigkeit analysiert werden können. Generell ist diese Variante der Verlustleistungsanalyse in bezug auf das Kosten-Nutzen-Verhältnis (Zeitaufwand-Genauigkeits-Verhältnis) attraktiv.

## 1.4 Aufbau der Arbeit

In **Kapitel 1** wurden zunächst die einzelnen Verlustleistungsarten statischer CMOS-Schaltungen aufgezeigt. Insbesondere wird der Bezug zu dem Einfluß der Leitungskapazitäten auf die dynamische Verlustleistung hergestellt. Ein Vorausblick auf zukünftige Technologiegenerationen und Entwurfswerkzeuge (tools) zeigt den wachsenden Einfluß von Leitungskapazitäten auf die Verlustleistung.

In dem darauf folgenden **Kapitel 2** werden Methoden zur Analyse der Verlustleistung auf den verschiedenen Entwurfsebenen vorgestellt und deren Vor- und Nachteile diskutiert. Wegen der günstigen Eigenschaften einer Verlustleistungsanalyse auf Logikebene zur Ermittlung der Leistungsaufnahme einer Schaltung noch vor der Layout-Synthese (pre-layout) wird diese Variante zur Demonstration der Ergebnisse in diesem und in den folgenden Kapiteln verwendet. Dabei wird der Einfluß der Verdrahtungslasten auf die Genauigkeit der Verlustleistungsanalyse herausgestellt. Als Testschaltungen wurden Benchmark Designs sowie zwei industrielle Schaltungen verwendet, um zu zeigen, daß die durchgeführten Untersuchungen auch für Schaltungen großer Komplexität von Bedeutung sind.

Verschiedene Methoden zur Ermittlung der Verdrahtungslastkapazitäten, sowohl vor als auch nach erfolgter Layout-Synthese werden in **Kapitel 3** gezeigt. Eine Gegenüberstellung von prognostischen Verfahren und Layout-Extraktionsverfahren verdeutlicht die Problematik der prognostischen Verfahren zur genauen Vorhersage der Leitungskapazitäten vor der Layout-Synthese. Die technische Einordnung der Arbeit wird abschließend im Kontext zu den Verfahren nach dem Stand der Technik vorgenommen.

In **Kapitel 4** wird die Weiterentwicklung eines Verfahrens zur Leitungslängenabschätzung vor der Layout-Synthese vorgestellt. Das in dieser Arbeit vorgeschlagene Verfahren basiert auf einer Methodik, die zur Ermittlung der gesamten Leitungslänge einer Schaltung (total wire length) vorgeschlagen wurde, um die im späteren Layout benötigte Verdrahtungsfläche abzuschätzen. Im Gegensatz dazu wird bei dem hier vorgeschlagenen Modell die individuelle Länge der Leitungen möglichst genau prognostiziert, mit dem Ziel einer genaueren Verlustleistungsanalyse vor der Layout-Synthese. Bei dem vorgeschlagenen Verfahren werden Informationen, die einer Gatternetzliste entnommen werden können, sowie Technologiedaten verwendet, die bereits vor dem Layout zur Verfügung stehen. Neben einer Klassifikation der Netze werden Bewertungskriterien eingeführt, mit deren Hilfe mögliche Verdrahtungsräume im späteren Layout vorhergesagt werden. Das Ergebnis ist ein nichtlinearer Zusammenhang der Fläche möglicher Verdrahtungszonen und der an ein Netz angeschlossenen Standard- sowie Ein-/ Ausgangszellen.

Die Wirksamkeit der netzklassenspezifisch entwickelten Methodiken wird abschließend für jede Netzklasse mit einer Darstellung der relativen Fehler der individuellen Leitungslängen belegt. Die relativen Fehler der abgeschätzten Leitungslängen beziehen sich dabei auf aus dem Layout extrahierte Leitungslängen.

In **Kapitel 5** wird zunächst anhand physikalisch-geometrischer Besonderheiten mehrerer Technologien, die für den halbkundenspezifischen Entwurf integrierter Schaltungen verwendet werden, gezeigt, daß die vorliegende Arbeit sowohl für aktuelle als auch zukünftige Technologiegenerationen von Bedeutung ist. Wegen der Sensibilität von Technologiedaten neuester Generationen werden exemplarisch anhand einer 0,25- $\mu\text{m}$ -Technologie die Auswirkungen geometrischer Parameter auf die physikalischen Leitungskapazitäten gezeigt.

Die zunächst aus dem Blickwinkel eines Halbleitertechnologen begonnene Diskussion

wird anschließend überführt in die Sichtweise eines Schaltungsentwicklers. Dabei wird verdeutlicht, daß bereits Vorkenntnisse des späteren Halbleiterprozesses dazu genutzt werden können, um die Verdrahtungslastkapazitäten genauer zu prognostizieren. Durch den Vorschlag eines neuen Entwurfsablaufs wird eine Zuordnung von Leiterbahnen zu Verdrahtungsebenen noch vor der eigentlichen Verdrahtung der Schaltung ermöglicht. Die Zusatzinformation der *verdrahtungsebenenspezifischen Kapazität pro Längeneinheit* einer Leiterbahn ermöglicht auf Logikebene die genauere Berechnung der Leitungskapazitäten. Eine Konsistenz der berechneten Kapazitäten mit den im späteren Layout auftretenden Werte wird dadurch erzielt, daß die spätere Layout-Verdrahtung unter Einhaltung der Zuordnung der Leitungen zu den Verdrahtungsebenen durchgeführt wird.

Nach dem Stand der Technik wird das Taktsignal bei der Verlustleistungsanalyse auf Logikebene über ein einziges, weit verzweigtes Taktnetz verteilt. Takttreiberzellen, wie diese im späteren Layout im Taktbaum enthalten sind existieren nicht. In **Kapitel 6** wird deshalb ein Verfahren zur Erzeugung eines Taktbaumes vorgeschlagen. Auf diese Weise stehen Informationen zu den verlustleistungsträchtigen Takttreiberzellen sowie den vielen kurzen Taktnetzabschnitten zwischen den Treibern bereits vor dem Layout zur Verfügung. Dabei wird konsequent die Idee verfolgt, daß alle oben genannten Erweiterungen in einen Entwurfs- bzw. Verlustleistungsanalyseablauf nach dem Stand der Technik integriert werden können.

In **Kapitel 7** sind die Ergebnisse der Arbeit zusammengefaßt. Die vorgeschlagenen Methoden bezüglich der Abschätzung der individuellen Leitungslängen und der Berechnung der Leitungskapazitäten unter Berücksichtigung der verdrahtungsebenenspezifischen Kapazität pro Längeneinheit werden unabhängig voneinander verifiziert. Sämtliche Ergebnisse werden mit den aus dem Layout extrahierten Größen wie Leitungslänge und -kapazität verglichen.

Anhand einer Reihe kombinatorischer und sequentieller Benchmark-Schaltungen und zweier industrieller Schaltungen werden schließlich die Ergebnisse einer Verlustleistungsanalyse auf Logikebenen vorgestellt. Der Verlustleistungsanalyse wurde einerseits ein Verdrahtungslastmodell nach dem Stand der Technik zugeführt (Synopsys Wire Load Model) als auch das in dieser Arbeit entwickelte Verdrahtungslastmodell. Zur Ermittlung der relativen Fehler beider Modelle wurden weiterhin die aus dem Layout extrahierten Leitungskapazitäten einer dritten Verlustleistungsanalyse als Referenzwerte zugeführt. Die mit beiden Modellen erzielten Ergebnisse werden abschließend miteinander verglichen.

Eine Zusammenfassung und ein Ausblick auf zukünftige Arbeiten sind abschließend in **Kapitel 8** dargestellt.



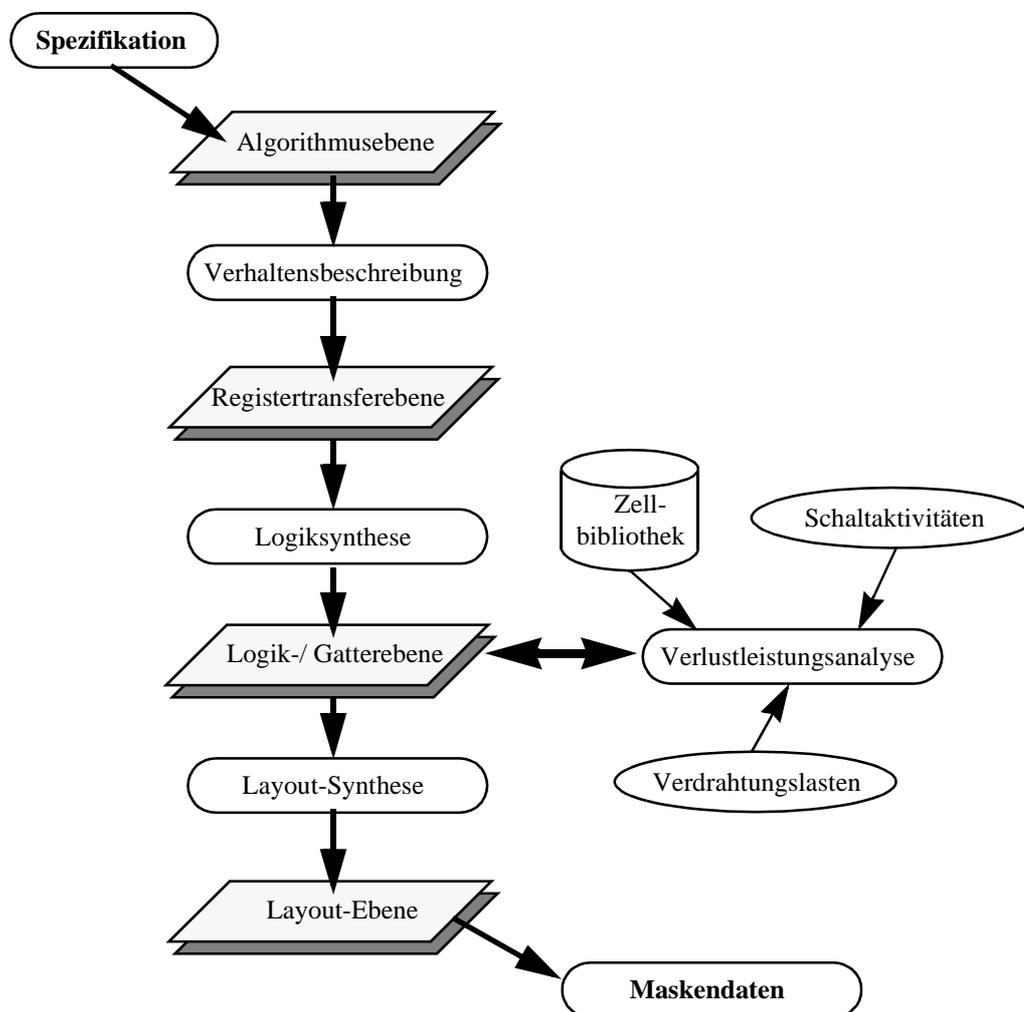
## Kapitel 2

# Prädiktion der Verlustleistung auf verschiedenen Entwurfsebenen

Neben der Entwicklung von Verfahren zur Reduzierung der Verlustleistung stellt die Verlustleistungsanalyse das zweite große Forschungsgebiet im Bereich Low-Power dar. Um Aufschluß über den Erfolg und die Qualität einer Schaltungsentwurfsmethodik zur Verlustleistungsreduktion zu erhalten, ist eine Abschätzung der Leistungsaufnahme noch während der Entwurfsphase unabdingbar. Wie in Kapitel 1 bereits erläutert, ist die von CMOS-Schaltungen aufgenommene Leistung stark von der Schaltaktivität abhängig. Werden die Daten verändert, die von einer Schaltung verarbeitet werden, so ändert sich auch die Verlustleistung, da sich die Schaltaktivität verändert hat. Diese Tatsache erschwert das Problem der Vorhersage der Verlustleistung einer Schaltung, da die Leistungsaufnahme stark von der Art der verarbeiteten Daten bzw. Datenrate am Eingang der Schaltung abhängt.

Der Begriff Verlustleistungsanalyse beschreibt in der Literatur häufig die Aufgabe, die *durchschnittliche Leistungsaufnahme* einer Schaltung zu ermitteln. Daneben existieren Verfahren zur Ermittlung der kurzzeitigen *Spitzenleistungsaufnahme*. Leistungsspitzen können einerseits zu einer Beschädigung oder Zerstörung von z.B. Leiterbahnen auf dem Chip führen, und andererseits kann kurzzeitig auch ein starker Spannungsabfall entlang von Stromversorgungsleitungen auftreten, der sich negativ auf die Funktion der Schaltung auswirken kann (voltage drop problem) [24], [63]. Da die Temperatur einer integrierten Schaltung sowie die Betriebsdauer und die Standby-Zeit eines Gerätes hauptsächlich von der durchschnittlich aufgenommenen Leistung abhängen, wird im folgenden diese Art der Leistungsaufnahme und die damit verbundene Verlustleistungsanalyse diskutiert. Verfahren zur software-abhängigen Verlustleistungsanalyse, d.h. Verlustleistungsanalyse auf Algorithmus-Ebene und auf Booleschen Funktionen basierende Power-Modelle werden in dieser Arbeit nicht betrachtet. Weiterführende Literatur zu diesem Thema stellt beispielsweise [44], [78], [79] und [86] dar. Im Folgenden sollen die schaltungsnahen Analysemethoden, also die Verlustleistungsanalyse auf Makro-

modell- bzw. Registertransferebene (RT-Ebene; register transfer level, RTL), auf Gatternetzlistenebene (Logikebene; logic level, gate level) und auf Transistornetzlistenebene (Schaltkreisebene; circuit level) diskutiert werden. Auch wenn die Logikebene im Entwurfsablauf zwischen der Registertransferebene und der Transistornetzlistenebene angesiedelt ist, so wird die Verlustleistungsanalyse auf Gatternetzlistenebene (Logikebene) als letzter Punkt behandelt, da die in dieser Dissertation vorgestellten Verdrahtungslastmodelle (Wire Load Models) hauptsächlich auf eine Analyse vor dem Layout abzielen (siehe auch Abbildung 2.1). Es wird jedoch ausdrücklich darauf hingewiesen, daß die in dieser Arbeit vorgestellten Verdrahtungslastmodelle auch für eine Power-Analyse auf Transistornetzlistenebene verwendet werden können.



**Abbildung 2.1** Hierarchischer Ablauf beim Entwurf von halbkundenspezifischen, digitalen integrierten Schaltungen mit den verschiedenen Abstraktionsebenen.

## 2.1 Verlustleistungsanalyse auf höheren Entwurfsebenen

Bei der Verlustleistungsanalyse auf höheren Entwurfsebenen (high level power estimation) wird die gesamte Schaltung (höchste Hierarchie, top level module) entweder als aus Funktionsblöcken (Untermodule wie z.B. ALUs, Dekodierer, Controller) zusammengesetzt betrachtet oder als Verschaltung von RT-Blöcken (arithmetische Komponenten wie z.B. Addierer, Multiplizierer oder auch Register). Beiden Sichtweisen ist gemeinsam, daß für jedes in der Schaltung vorkommende Untermodul bzw. jeden RT-Block eine Power-Charakterisierung durchgeführt werden muß und in einer Makromodulbibliothek abgelegt wird (Abbildung 2.2). Die Charakterisierung der Untermodule zur Gewinnung eines Power-Makromodells erfolgt immer auf den darunter liegenden Entwurfsebenen, d.h. der Logikebene oder der Transistorebene. Dabei wird für eine ausgewählte Menge von Schaltaktivitäten an den Eingängen der Module die zugehörige Verlustleistung ermittelt. Anschließend werden daraus Tabellen (look-up tables) abgeleitet, welche die Verlustleistung eines Untermoduls in Abhängigkeit von verschiedenen Parametern beschreiben [86]. Da die verwendeten Parameter von dem entsprechenden Makromodell abhängen, seien an dieser Stelle exemplarisch nur die *Eingangssignalstatistiken* genannt [6], [46], [60], [65], [70].

Der Verlustleistungsanalyse auf höheren Entwurfsebenen liegt die Idee zu Grunde, daß eine Schaltung mit Hilfe von mehrfach verwendbaren Modulen beschrieben werden kann, deren Modelle in einer Makromodulbibliothek vorhanden sind. Ihr Vorteil besteht vor allem darin, daß Schaltungen großer Komplexität analysiert werden können. Zudem ist der Zeitaufwand relativ gering, um zu einem Abschätzungsergebnis zu kommen. Eine Verlustleistungsanalyse auf höheren Entwurfsebenen kann der Auswahl von geeigneten arithmetischen Komponenten dienen, die die Timing- und Flächenanforderungen noch erfüllen und unter deren Verwendung die Leistungsaufnahme der Schaltung möglichst gering gehalten werden kann. Eine weitere Anwendung dieser Verfahren besteht darin, mehrere Architekturvarianten zu analysieren und zu vergleichen. Da Schaltungen auf höheren Ebenen noch relativ abstrakt und deshalb mit geringerem Zeitaufwand als auf niedrigeren Entwurfsebenen beschrieben werden können, ist die Entwicklung einiger Entwurfsalternativen in akzeptabler Zeit noch möglich. Häufig reicht es schon aus zu erkennen, ob die eine oder die andere Architekturvariante verlustleistungsärmer ist, um eine Entscheidung zu treffen [66].

Dem steht gegenüber, daß oben genannte Module vor allem den Datenpfad beschreiben; die Steuerlogik (control logic) wird häufig vernachlässigt. Zu diesem frühen Entwurfszeitpunkt stehen zudem keine Informationen zu Verdrahtungslasten zur Verfügung. Dem wachsenden Einfluß von Leitungskapazitäten auf die Verlustleistung wurde in [13] als einem der ersten Ansätze bei High Level Power Estimation Rechnung getragen.

In der Literatur wird für die mit dem jeweiligen Ansatz abgeleiteten Makromodelle der Fehler bei der Power-Analyse häufig im Vergleich zur Power-Analyse mit einem Schaltungssimulator wie z.B. SPICE angegeben. In [6] sind die durchschnittlichen rela-

tiven Fehler bei der Verlustleistungsanalyse auf höheren Entwurfsebenen bei zehn untersuchten Benchmark-Schaltungen mit Werten zwischen 0,8%-1,8% angegeben und die maximalen relativen Fehler liegen zwischen 5,2%-12,8%. Diese zunächst sehr gering erscheinenden Fehler beziehen sich jedoch ausschließlich auf die Charakterisierung der Makromodule selbst. Der Fehler, der sich bei einer Power-Analyse einer *aus den Makromodulen zusammengesetzten Top Level Schaltung* bzw. der *Registertransferbeschreibung* der Schaltung ergeben würde, wird in der Literatur verschwiegen. Auch der Ansatz in [13] bezieht sich ausschließlich auf die Verdrahtungslasten innerhalb der Makromodule. Die kapazitive Verlustleistung der Netze, welche die Makromodule in der höchsten Schaltungshierarchie (top level module) verbinden, bleibt gänzlich unberücksichtigt.

Der Einsatz einer Verlustleistungsanalyse auf höheren Entwurfsebenen ist meist auf bestimmte Anwendungsfälle beschränkt oder bei Schaltungen mit häufig wiederkehrenden Modulen sinnvoll [73]. Dies ist z.B. bei digitalen Filtern oder Prozessoren mit regulären Strukturen der Fall, da sich bei Schaltungstypen mit array-ähnlichem Aufbau der Charakterisierungsaufwand für die mehrfach verwendeten Untermodule lohnt. Bei Schaltungen mit unregelmäßiger Struktur muß auf den Entwurf mit RT-Blöcken und damit eine weitere Abstraktionsebene nach unten gegangen werden.

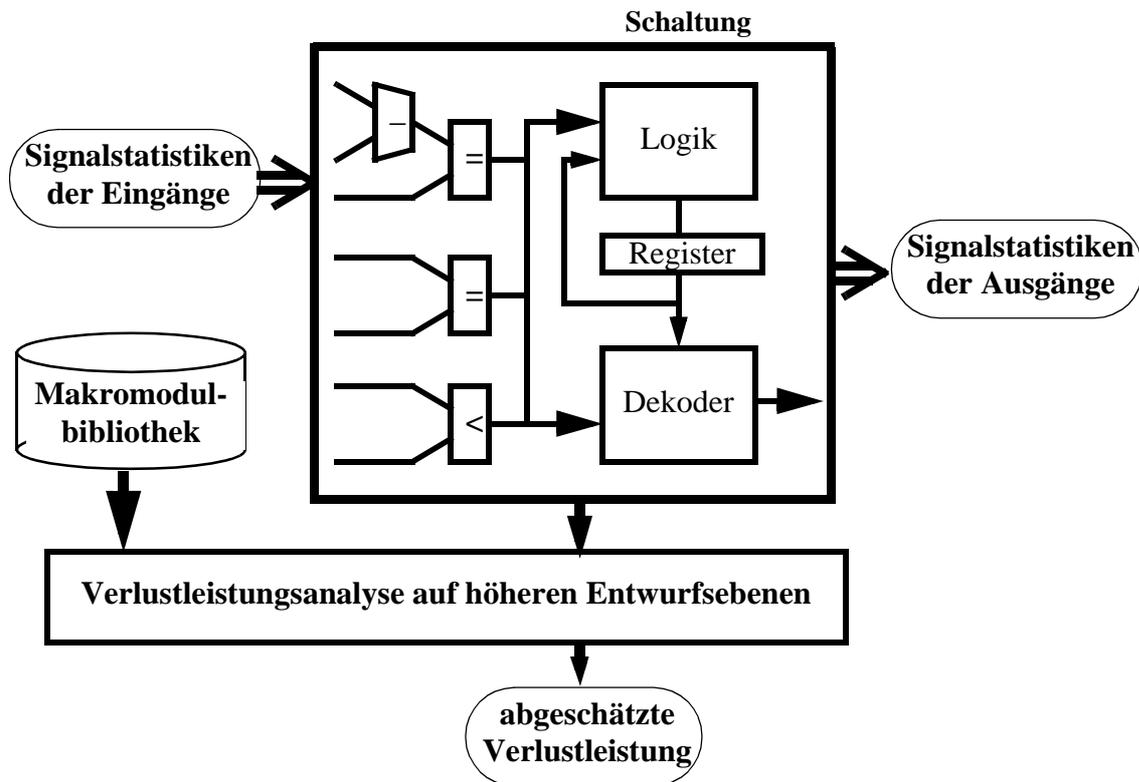


Abbildung 2.2 Verlustleistungsanalyse auf höheren Entwurfsebenen (high level power estimation).

## 2.2 Verlustleistungsanalyse auf Transistorebene

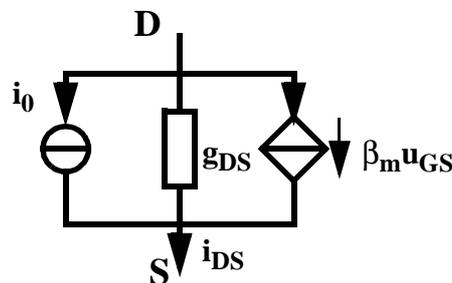
Als Eingangsdaten für eine Verlustleistungsanalyse auf Schaltungsebene dienen eine Netzliste aus verschalteten Transistoren, die Schaltaktivitäten an den Eingängen der Schaltung, in einer Bibliothek abgelegte Transistormodelle und ein Verdrahtungslastmodell oder aus dem Layout extrahierte parasitäre Kapazitäten und Widerstände der Leiterbahnen (wire parasitics). Die von Halbleiterherstellern gelieferten Transistormodelle, gehen auf die grundlegenden physikalischen Beziehungen zur Beschreibung von Halbleiterbauelementen und Technologieparametern zurück. In Gl. 2.1 ist eine Berechnungsvorschrift für die Linearisierung des Drain-Source-Stromes eines MOS-Transistors um den Arbeitspunkt gegeben. Schaltungssimulatoren wie beispielsweise SPICE verwenden dieses Modell, um den Drain-Source-Strom  $I_{DS}$  als Funktion der Gate-Source-Spannung  $U_{GS}$  und der Drain-Source-Spannung  $U_{DS}$  zu berechnen.

$$\begin{aligned}
 I_{DS} &= f(U_{GS}, U_{DS}) && \text{(Gl. 2.1)} \\
 &\approx f(U_{GS0}, U_{DS0}) + \frac{\partial}{\partial U_{GS}} f(U_{GS0}, U_{DS0})(U_{GS} - U_{GS0}) \\
 &\quad + \frac{\partial}{\partial U_{DS}} f(U_{GS0}, U_{DS0})(U_{DS} - U_{DS0})
 \end{aligned}$$

Obiges Modell stellt eine Näherung erster Ordnung der nichtlinearen Bauelementgleichung an dem Betriebspunkt  $U_{GS0}$  und  $U_{DS0}$  dar, um eine lineare Gleichung zu approximieren:

$$i_{DS} \approx i_0 + \beta_m u_{GS} + g_{DS} u_{DS} \quad . \quad \text{(Gl. 2.2)}$$

Gl. 2.2 basiert auf dem Kleinsignalersatzschaltbild in Abbildung 2.3. Dabei wird der Strom  $i_0$  im Arbeitspunkt mit einer idealen Stromquelle modelliert.



**Abbildung 2.3** Kleinsignalersatzschaltbild eines MOS-Transistors, der um den Arbeitspunkt bei dem Strom  $i_0$  mit dem Steuerstrom  $\beta_m u_{GS}$  angesteuert wird.

Mit der Steilheit  $\beta_m$  des Transistors und der Spannung  $u_{GS}$  wird die spannungsgesteuerte Stromquelle mit dem Strom  $\beta_m u_{GS}$  um den Arbeitspunkt angesteuert (Abbildung 2.3 und Gl. 2.2). Der Leitwert  $g_{DS}$  berücksichtigt den Einfluß der Drain-Source-Spannung  $U_{DS}$  auf den Drain-Strom [76], [125]. Der Schaltkreissimulator analysiert dann für jede Änderung des Betriebspunktes bei  $U_{GS0}$  und  $U_{DS0}$  das lineare Kleinsignalmodell, was zu äußerst aufwendigen Berechnungen führen kann.

Zur Ermittlung der Leistungsaufnahme einer Schaltung wird der Strom-Spannungsverlauf mit Hilfe der Transientenanalyse simuliert, und der von den Bauelementen aufgenommene Strom wird über den gesamten Simulationszeitraum integriert. Die Verlustleistung der Schaltung  $P_{Schaltung}$  ist äquivalent mit der der Quelle entnommenen Leistung  $P_{Quelle}$  und berechnet sich wie folgt:

$$P_{Schaltung} = P_{Quelle} = \bar{i}_{Quelle} \cdot U_{dd} \quad . \quad (\text{Gl. 2.3})$$

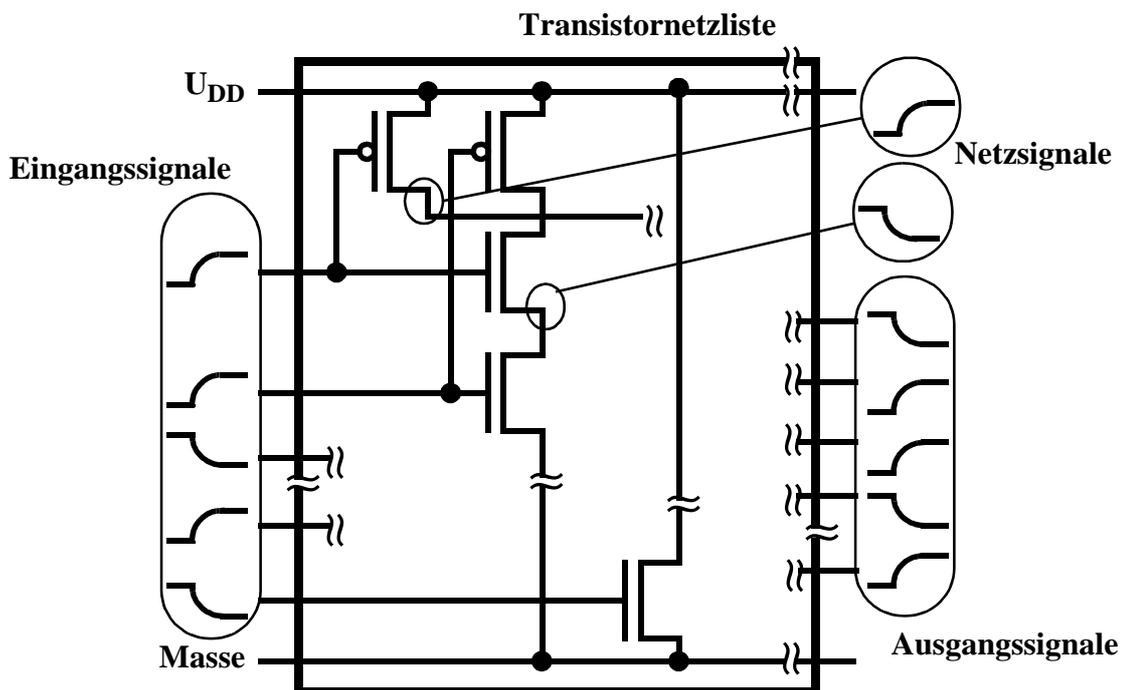
Der Mittelwert des aus der Quelle entnommenen Stromes ist in (Gl. 2.3) mit  $\bar{i}_{Quelle}$  gegeben und die Versorgungsspannung mit  $U_{dd}$ .

Als kommerzielle Tools stehen zur Power-Analyse auf Transistorebene beispielsweise die Werkzeuge SPICE und PowerMill zur Verfügung. Die Genauigkeit des Schaltkreissimulators SPICE bei der Power-Analyse wird mit einem Fehler von +/-5% im Vergleich zu Messungen an der realen Schaltung angegeben [12]. Für jedes Bauelement in der Schaltung wird die Strom-Spannungsbeziehung berechnet, indem Differentialgleichungssysteme gelöst werden, die im Falle von MOS-Transistoren durch die  $I_D$ - $U_{GS}$ -Kennlinien und die  $I_D$ - $U_{DS}$ -Kennlinienfelder wiedergegeben werden (siehe auch Gl. 2.1).

Für das Analyse-Tool PowerMill wird in [34] angegeben, daß es eine Verlustleistungsanalyse mit einem um zwei bis drei Größenordnungen geringeren Zeitaufwand ermöglicht als bei Verwendung von SPICE. Im Gegensatz zu SPICE wird bei PowerMill für jedes Bauelement auf Tabellen zurück gegriffen, die ausgewählte Punkte aus den  $I_D$ - $U_{GS}$ -Kennlinien und den  $I_D$ - $U_{DS}$ -Kennlinienfeldern enthalten. Eine weitere Zeitersparnis auf Kosten der Genauigkeit wird erreicht, indem die Komplexität der zu analysierenden Schaltung reduziert wird. Dies wird dadurch ermöglicht, indem die Schaltung in Partitionen unterteilt wird und die Verlustleistung einer Partition nur dann neu berechnet wird, wenn sich der Signalpegel an den Partitions Grenzen verändert. Die Genauigkeit von PowerMill wird in [34] und [53] mit einem Fehler  $< 10\%$  angegeben.

Im Gegensatz zu High-Level Power-Analysemethoden, die Signalstatistiken an den Eingängen der Makromodelle verwenden, werden auf Schaltungsebene die Schaltaktivitäten an jedem einzelnen Eingang angegeben. Die Schaltaktivitäten beinhalten den Zustand (log. 0 oder log. 1) der Eingänge sowie die Umschaltzeitpunkte, zu denen die Zustände wechseln. In der Praxis werden diese Informationen einer VCD-Datei (value

change dump) entnommen. Die Signalwechsel der Eingänge können bei SPICE und PowerMill eine ideale Signalform (Rechteck) haben oder mit einer Flankensteilheit (ideale Rampe) modelliert werden. Im Falle von SPICE ist zur Erhöhung der Genauigkeit im Prinzip eine beliebige Eingangssignalform modellierbar. Zusätzlich zu den Schaltaktivitäten der Eingänge werden auch die Signalverläufe auf den Netzen während einer Simulation zur Ermittlung der Verlustleistung herangezogen.



**Abbildung 2.4** Bei der Verlustleistungsanalyse auf Schaltkreisebene wird eine Transistornetzliste mit (analogen) Signalen an den Eingängen beaufschlagt. Im Falle von SPICE wird zur Berechnung der Leistungsaufnahme einer Schaltung auf die Bauelementgleichungen zurückgegriffen; PowerMill bedient sich spezieller Tabellen (look-up tables).

Darüber hinaus werden die Leitungskapazitäten in Form von Layout-Parasitäten oder Verdrahtungslastmodellen (wire load models) berücksichtigt. Die *Leitungskapazitäten der kurzen Netze innerhalb der Gatter*, welche die einzelnen Transistoren verbinden, sind in den SPICE-Netzlisten der Gatter (auf die auch PowerMill zurückgreift) enthalten. Die *Leitungskapazitäten der die Gatter verbindenden Netze* werden hingegen in der Regel aus dem Layout der Schaltung extrahiert. Dies ist deshalb sinnvoll, da eine Verlustleistungsanalyse auf Schaltkreisebene sehr genaue Ergebnisse ermöglicht, die nicht

durch den Einfluß eines mangelhaften Verdrahtungslastmodelles verfälscht werden sollten. Andererseits stellt eine Layout-Synthese einen zusätzlichen Zeitaufwand dar. Dies ist wiederum negativ in bezug auf den Gesamtzeitaufwand zu bewerten, um zu einer Prädiktion der Leistungsaufnahme einer Schaltung zu kommen.

Zusammenfassend kann man feststellen, daß Schaltungen aller Art, unabhängig davon, ob sie eine reguläre oder irreguläre Struktur aufweisen, analysiert werden können. Alle erforderlichen Informationen, wie eine detaillierte Netzliste sowie aus dem Layout extrahierte Leitungsparasitäten, liegen auf dieser Entwurfsebene vor, und die Signalverläufe an den Eingängen können präzise vorgegeben werden. Der Vorteil einer Verlustleistungsanalyse auf Transistornetzlistenebene liegt vor allem in der hohen Genauigkeit. Dieser Aspekt ist insbesondere dann wichtig, wenn man präzise quantitative Informationen zur tatsächlichen Leistungsaufnahme einer Schaltung benötigt, und nicht wie bei High Level Power-Analysen bereits eine qualitative Information zur Auswahl einer Architekturalternative ausreicht. Präzise Informationen zur Leistungsaufnahme einer Schaltung oder eines Gerätes wären beispielsweise sinnvoll, um Aufschluß über die erzielbare Standby und Betriebsdauer eines Gerätes zu bekommen. Die Analyse ganzer Geräte wie z.B. Handies oder Laptops ist jedoch mit einem Schaltkreissimulator aufgrund der Schaltungskomplexität und des damit verbundenen Zeitaufwandes praktisch nicht möglich.

### 2.3 Verlustleistungsanalyse auf Logikebene

Als Kompromiß in bezug auf die handhabbare Schaltungskomplexität, den Zeitaufwand und die Genauigkeit kann die Verlustleistungsanalyse auf Logikebene betrachtet werden. Als Eingangsinformationen dienen auf dieser Entwurfsebene eine aus der Logiksynthese gewonnene Gatternetzliste, eine verlustleistungscharakterisierte Standardzellbibliothek, die Schaltaktivitäten der Ein-/ Ausgänge und der Netze sowie ein Verdrahtungslastmodell oder aus dem Layout extrahierte Leitungsparasitäten [57].

Die Verlustleistungscharakterisierung der Bibliothek erfolgt durch Simulation der Zellen auf Schaltkreisebene. Aufgrund der internen Struktur der Standardzellen (zellinterne Verdrahtungslängen, unsymmetrische Komplexgatter) ist die Verlustleistung davon abhängig, an welchem Eingang ein Signalwechsel auftritt und welche Signalzustände an den Eingängen bereits vorliegen. Diese Eigenschaft der Zellen wird als Pfad- und Zustandsabhängigkeit bezeichnet. Die Anstiegszeit hat dabei Einfluß auf die Querstromverlustleistung einer Zelle, und die Lastkapazität am Ausgang der Zelle beeinflusst sowohl die Querstrom- als auch die dynamische kapazitive Verlustleistung (siehe Abschnitt 1.1.2). Die Charakterisierung der Bibliothek mündet schließlich für jede Standardzelle in einer Tabelle (look-up tables), welche für einen Satz vordefinierter Signalwechsel die zu jedem Signalwechsel gehörende Verlustenergie beinhaltet. Diese *zellinterne Verlustenergie*  $W_{intern, Zelle}$  wird verursacht durch die Querströme (vgl. Gl. 1.7) und die Auf- und Entladung zellinterner Knoten [125].

Die gesamte interne Verlustleistung, die eine Standardzelle innerhalb des Simulationszeitraumes  $t_{sim}$  verursacht ist in Gl. 2.4 mit  $P_{intern, Zelle}$  gegeben:

$$P_{intern, Zelle} = \frac{1}{t_{sim}} \sum_{i=1}^m \sum_{s_i=1}^{S_i} W_{intern, Zelle}(s_i) \quad . \quad (\text{Gl. 2.4})$$

$m$ : Anzahl der verschiedenen Signalwechselltypen

$S_i$ : Anzahl der Signalwechsel vom Typ  $i$

Die Signalwechsel  $s_i$  sind gekennzeichnet durch unterschiedliche Pfad- und Zustandsabhängigkeit und der für einen bestimmten Signalwechsel typischen aufgenommenen Energie  $W_{intern, Zelle}(s_i)$ . Die Zustands- bzw. Signalwechselabhängigkeit wird durch den Index  $i$  ausgedrückt. Zur Verdeutlichung sind in Tabelle 2.1 einige Energien eines CMOS-UND-Gatters mit zwei Eingängen angegeben, das in einer 0,25- $\mu\text{m}$ -Standardzellentechnologie gefertigt wird. Man beachte in der letzten Spalte die prozentualen Unterschiede der aufgenommenen Energie des UND-Gatters bei den verschiedenen Signalwechselltypen. Die Angaben sind dabei relativ zu dem Signalwechsel vom Typ  $i = 2$  angegeben, bei dem die niedrigste Energieaufnahme statt findet [68].

i	Eingänge		Ausgang	$W_{intern, Zelle}(s_i)$ / pJ	prozentuale Differenz d. signalabh. Energien
	A	B	Z		
1	s	1	s	0,061	+ 24,5%
2	f	1	f	0,049	0
3	1	s	s	0.057	+ 16,3%
4	1	f	f	0.063	+ 28,6%
<b>s: steigende Signalflanke</b> <b>f: fallende Signalflanke</b> <b>1: konstanter Signalzustand log. 1</b>					

**Tabelle 2.1 Signalwechselabhängige Verlustenergie eines UND-Gatters mit zwei Eingängen.**

Die gesamte zellinterne Verlustleistung der Schaltung  $P_{intern, Schaltung}$  ergibt sich nun gemäß Gl. 2.5 aus der Summe der internen Verlustleistungen  $P_{intern, Zelle}$  aller Standardzellen  $z$  zu

$$P_{intern, Schaltung} = \sum_{z=1}^Z P_{intern, Zelle}(z) \quad . \quad (\text{Gl. 2.5})$$

$Z$ : Anzahl der Standardzellen  $z$

Die kapazitive dynamische Verlustleistung kann relativ einfach berechnet werden. Jedem Netz  $n_i$  der Schaltung wird eine Kapazität  $C_i$  zugeordnet. Die Kapazität  $C_i$  setzt sich zusammen aus den Pin-Kapazitäten der Gatter an dem Netzknoten  $i$  und der Leitungskapazität des Netzes. Während des Simulationszeitraumes  $t_{sim}$  wird die Anzahl der Umschaltvorgänge (toggle count)  $s$  gezählt. Am Ende der Simulationsdauer steht die Umschaltfrequenz  $f_s$  jedes Netzes fest:

$$f_s = \frac{s}{t_{sim}} \quad . \quad (\text{Gl. 2.6})$$

Die Umschaltfrequenz, die in Gl. 2.6 von der Anzahl der Umschaltvorgänge  $s$  abhängig ist, kann mit dem Zusammenhang  $t_{sim} = x T_{Takt}$  ausgedrückt werden:

$$f_s = \frac{s}{x \cdot T_{Takt}} \quad . \quad (\text{Gl. 2.7})$$

Dabei ist in Gl. 2.7 die Anzahl der Taktperioden  $T_{Takt}$  innerhalb des Simulationszeitraumes  $t_{sim}$  mit  $x$  gegeben. Mit Hilfe der Schaltaktivität  $\alpha = s/x$  und der Taktfrequenz  $f_{Takt} = 1/T_{Takt}$  ergibt sich die Schaltfrequenz  $f_s$  zu

$$f_s = \alpha \cdot f_{Takt} \quad . \quad (\text{Gl. 2.8})$$

Die gesamte kapazitive Verlustleistung der Schaltung  $P_{kap}$  kann nun in Abhängigkeit der Schaltfrequenz  $f_s$  bzw. in Abhängigkeit der bekannten Größen  $\alpha_{01} = 1/2 \alpha$  und  $f_{Takt}$  berechnet werden:

$$P_{kap} = \frac{1}{2} \cdot \sum_{n=1}^N C_n \cdot U_{dd}^2 \cdot f_s = \sum_{n=1}^N C_n \cdot U_{dd}^2 \cdot \alpha_{01} \cdot f_{Takt} \quad \text{. (Gl. 2.9)}$$

$N$ : Anzahl der Netze

Dabei werden die einzelnen kapazitiven Verlustleistungen aller Netze  $n$  bei der Versorgungsspannung  $U_{dd}$  aufsummiert. Man beachte, daß die Schaltaktivität  $\alpha_{01}$  nur Signalwechsel von logisch Null nach logisch Eins berücksichtigt, weshalb der Faktor 2 bei der Umrechnung von  $\alpha$  in  $\alpha_{01}$  verwendet wird.

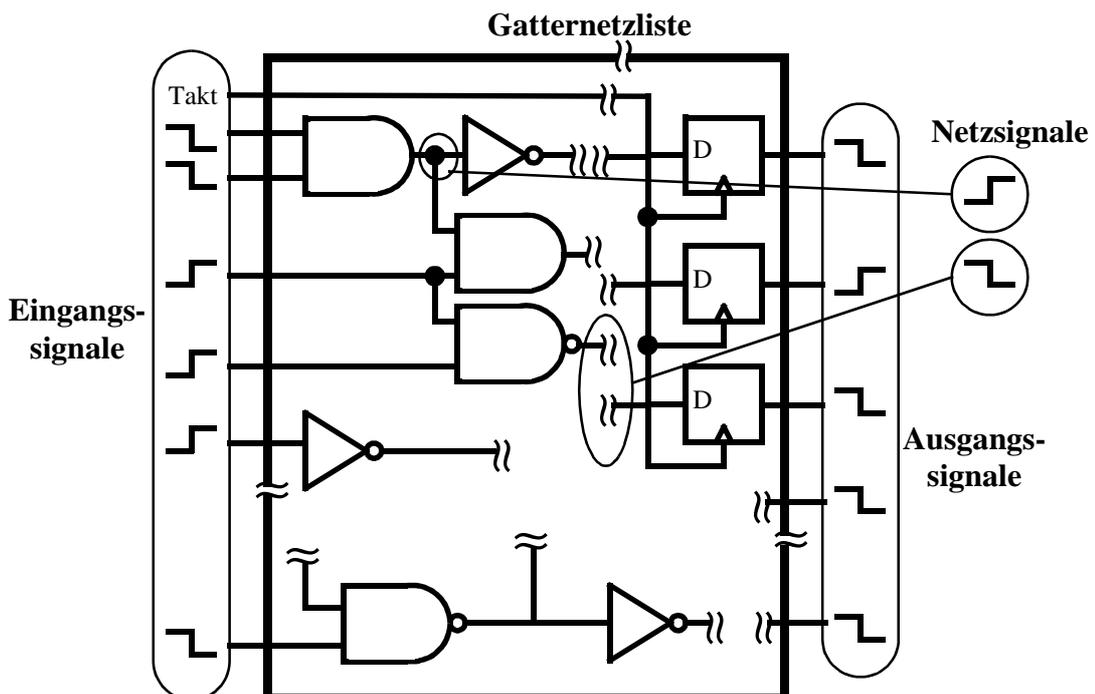


Abbildung 2.5 Auf Logikebene wird eine Gatternetzliste mit (idealen) digitalen Signalen an den Eingängen beaufschlagt. Während einer Gattersimulation werden die Schaltaktivitäten der Netze und der Ausgänge ermittelt. Die Netzliste, die Schaltaktivitäten und typischerweise ein Verdrahtungslastmodell werden anschließend dem Verlustleistungsanalysewerkzeug zugeführt, um aus diesen Informationen die Leistungsaufnahme der Schaltung zu ermitteln.

Bei dieser Variante der Power-Analyse wird in der Regel in zwei Schritten vorgegangen [10], [11]:

1. Die Gatternetzliste der Schaltung wird einer Simulation unterzogen, indem die Eingänge der Schaltung mit idealen, digitalen Rechtecksignalen beaufschlagt werden. Während der Simulation werden die Schaltaktivitäten aller in der Schaltung vorkommenden Netze sowie der Ein- und Ausgänge protokolliert.
2. Anschließend werden der eigentlichen Verlustleistungsabschätzung die Netzliste und die aus 1. erhaltenen Schaltaktivitäten zugeführt. Zur Berücksichtigung der Einflüsse der Netze auf die Verlustleistung werden zusätzlich entweder aus dem Layout extrahierte Leitungsparasitäten oder ein Verdrahtungslastmodell verwendet (siehe auch Abschnitt 1.2).

Typischerweise werden für eine Verlustleistungsanalyse auf Gatternetzlistenebene Verdrahtungslastmodelle verwendet, da diese häufig bereits vor der Layout-Synthese angewendet wird. Aber auch nach der Layout-Synthese unter Berücksichtigung der Layout-Parasitäten kann diese Art der Power-Analyse eingesetzt werden.

Da Schaltungen mit einer Größe von bis zu 500.000 Gatteräquivalenten in vertretbarer Zeit noch gehandhabt werden können, ergibt sich für eine Verlustleistungsanalyse auf Gatterebene eine interessante Anwendung: Die *Dimensionierung der Stromversorgungsleitungen* stellt einen der ersten Schritte bei der Layout-Synthese dar. Um diese Leiterbahnbreiten jedoch dimensionieren zu können, ist die Kenntnis der erwarteten Leistungsaufnahme des Layout-Blocks erforderlich. Aufgrund der hinreichenden Genauigkeit und der handhabbaren Schaltungskomplexität, welche in der Größenordnung von ganzen Layout-Partitionen liegt, stellt die Verlustleistungsanalyse auf Gatterebene die beste Möglichkeit dar, dieser Anforderung gerecht zu werden. Implizit kann man daraus jedoch ableiten, daß dazu ein Pre-Layout-Verdrahtungslastmodell erforderlich ist, und die Verwendung von aus dem Layout extrahierten parasitären Leitungskapazitäten ausscheidet.

Die Genauigkeit einer Verlustleistungsanalyse auf Gatterebene im Vergleich zur Transistornetzlistensimulation wird in [11] mit einem durchschnittlichen Fehler von 4,5%, in [12] mit einem durchschnittlichen Fehler von 15% und in [107] mit einem Fehler zwischen 10% und 25% angegeben (siehe auch Tabelle 2.2). Bei obigen Fehlerangaben sind jeweils gleiche Rahmenbedingungen berücksichtigt, d.h. eine Schaltung wurde sowohl auf Gatter- als auch auf Transistorebene mit den selben Eingangsschaltaktivitäten, und den selben Verdrahtungslasten analysiert. Es bleibt die Frage, wie groß der Fehler bei der Verlustleistungsanalyse ist, der durch die Verwendung eines Verdrahtungslastmodelles hervorgerufen wird, im Vergleich zur Verwendung von aus dem Layout extrahierten Leitungskapazitäten. Dies soll in dem nun folgenden Abschnitt erläutert werden.

**Entwurfsebene/ Abstraktion**



	Zeitaufwand	Schaltungskomplexität	Genauigkeit
Block- bzw. RT-Ebene	<b>gering</b>	<b>sehr hoch</b>	<b>--(*)</b>
Gatternetzliste	<b>mittel</b>	<b>derzeit bis zu 500.000 Gatter- äquivalente</b>	<b>15%..25%</b>
Transistornetzliste	<b>hoch</b>	<b>bis zu 10.000 Bauelemente</b>	<b>1%..10%</b>

**Tabelle 2.2 Vor- und Nachteile der Verlustleistungsanalysen auf den verschiedenen Abstraktionsebenen.**

## 2.4 Problematik der Verdrahtungslasten bei der Verlustleistungsanalyse

Im Folgenden sind exemplarisch für eine Reihe von Schaltungen die relativen Fehler einer Verlustleistungsanalyse auf Gatterebene dargestellt. Für alle Schaltungen wurde ein Layout erstellt, um anschließend die parasitären Leitungskapazitäten zu extrahieren. Die Verlustleistungsanalyse wurde dann sowohl mit dem Verdrahtungslastmodell durchgeführt, welches als Bestandteil der Standardzellbibliothek vom Halbleiterhersteller geliefert wird, als auch mit den aus dem Layout extrahierten Leitungskapazitäten. In beiden Fällen wurden die selben Schaltaktivitäten an den Eingängen der Schaltung angelegt. In Tabelle 2.3 sind in den Spalten zwei und drei der Name und die Größe der Schaltung angegeben. Um die Schaltungsgröße unabhängig von der Strukturgröße bzw. der Technologie angeben zu können, wurde die bei Schaltungsentwicklern etablierte Einheit "Gatteräquivalente" gewählt. Ein Gatteräquivalent entspricht dabei dem Flächenbedarf eines NAND-Gatters mit zwei Eingängen und mittlerer Treiberstärke.

(\*) Die Genauigkeit einer Verlustleistungsanalyse einer aus Makromodulen zusammengesetzten Top-Level-Schaltung ist in der Literatur nicht angegeben. Es werden lediglich die Genauigkeiten der einzelnen Makromodelle genannt, die quasi eine Bibliothek für eine High-Level-Power-Analyse darstellen. Aufgrund der Erkenntnisse der Einflüsse von Verdrahtungslasten, Signalverläufen sowie die häufige Vernachlässigung der Steuerlogik gegenüber dem Datenpfad sind durchschnittliche relative Fehler von mehreren hundert Prozent nicht ausgeschlossen.

Die Fläche der Schaltung wird dabei durch die Fläche eines NAND-Gatters dividiert und als Anzahl von Gatteräquivalenten angegeben. Die vierte Spalte gibt einen Überblick über die Anzahl der Ein- und Ausgänge der Schaltung. Die relativen Fehler, die durch das ungenaue Verdrahtungslastmodell bei der Power-Analyse hervorgerufen werden, sind schließlich in der letzten Spalte angegeben. Als Referenzwert der Genauigkeit wurde dazu die Analyse mit Leitungsparasitäten verwendet.

Nr.	Schaltung	Anzahl der Gatter-äquivalente	Anzahl der Ein- und Ausgänge	Relativer Fehler bei der Power-Analyse
1	<b>C432</b>	359	43	16%
2	<b>C880</b>	645	86	10%
3	<b>C1355</b>	946	73	21%
4	<b>C2670</b>	1275	297	14%
5	<b>dalv</b>	3886	91	21%
6	<b>s510</b>	447	426	42%
7	<b>s1196</b>	1121	64	5%
8	<b>mm30a</b>	3479	28	31%
9	<b>dsip</b>	5820	29	9%
10	<b>ProcA8</b>	22087	547	13%
11	<b>ProcA16Reg</b>	89708	493	21%

**Tabelle 2.3 Relativer Fehler bei der Verlustleistungsanalyse auf Gatternetzlistenebene unter Verwendung von Verdrahtungslastmodellen [120].**

Während die Schaltungen Nr. 1-5 rein kombinatorischer Art sind, handelt es sich bei den Designs 6-11 um sequentielle Schaltungen. Die Schaltungen 1-9 sind MCNC-Benchmark-Schaltungen. Benchmarks wurden ursprünglich auf dem *International Symposium on Circuits and Systems 1985* für Testzwecke vorgeschlagen. Die Anzahl der zur Verfügung stehenden Schaltungen wurde laufend erweitert und zuletzt auf dem *International Workshop on Logic Synthesis 1993* in der neuesten Auflage herausgegeben. Das Benchmark-Set wird nun vom Microelectronics Center of North Carolina (MCNC) zur Verfügung gestellt [27]. Da mit diesen Benchmark-Schaltungen auch geeignete Schaltaktivitäten zum Aufbau einer Testumgebung geliefert werden, sind diese Schaltungstypen zur Durchführung und Beurteilung einer objektiven Verlustleistungsanalyse prädestiniert.

Bei den Schaltungen ProcA8 und ProcA16Reg hingegen handelt es sich um Module, die Bestandteil eines MPEG<sup>\*</sup>-4-Bewegungsschätzers für die digitale Bildverarbeitung sind. Diese wurden am Lehrstuhl für Integrierte Systeme der Technischen Universität München im Rahmen eines Industrieprojektes entworfen. Die Schaltaktivitäten für die Verlustleistungsanalyse dieser Schaltungen sind Bestandteil der Testumgebung, die im Rahmen des Schaltungsentwurfsprozesses erstellt wurde.

Der durchschnittliche Fehler bei der Verlustleistungsanalyse mit den untersuchten Schaltungen liegt bei 19%. Der bei der größten, der Schaltung Nr. 11, auftretende Fehler von 21% liegt nahe an obigem, durchschnittlichen Wert. Die Ergebnisse in Tabelle 2.3 zeigen somit, daß Fehler diesen Ausmaßes nicht nur bei Benchmark-Schaltungen auftreten, sondern auch für große industrielle Schaltungen realistisch sind. Insbesondere die Schaltungsgröße von knapp 90.000 Gatteräquivalenten der Schaltung Nr. 11 wird von keiner der MCNC-Benchmarks erreicht. Die Verwendung einer Schaltung dieser Größe unterstreicht damit eindrucksvoll die Notwendigkeit nach präziseren Verdrahtungslastmodellen für eine Verlustleistungsanalyse vor der Layout-Synthese. Insgesamt liegt bei den hier exemplarisch dargestellten Schaltungen der Fehler, der durch das Verdrahtungslastmodell hervorgerufen wird, zwischen 5% und 42%.

## 2.5 Zusammenfassung und Motivation

Eine Verlustleistungsanalyse auf Registertransferebene oder noch höheren Entwurfs-ebenen ist mit großen Fehlern verbunden. Zudem existiert derzeit kein Verfahren, das Top-Level-Modul einer Schaltung zu analysieren; in der Literatur wird lediglich gezeigt, wie die Charakterisierung von Untermodulen einer Schaltung durchgeführt und mit diesen Modellen eine Verlustleistungsanalyse erzielt werden kann.

Auf Schaltkreisebene kann zwar eine hohe Genauigkeit bei der Verlustleistungsanalyse erzielt werden, jedoch ist der Rechenzeitaufwand enorm. Große Schaltungen können praktisch nicht analysiert werden. Die Leitungskapazitäten werden üblicherweise aus dem Layout extrahiert, wobei diese Vorgehensweise eine zeitaufwendige Layout-Synthese voraussetzt.

Einen guten Kompromiß in bezug auf die Genauigkeit und den erforderlichen Rechenzeitaufwand stellt die Verlustleistungsanalyse auf Logikebene dar [75]. Auf Logikebene werden die Kapazitäten der Leiterbahnen prognostiziert, die im später zu erstellenden Layout auftreten werden. Die Verdrahtungslastmodelle nach dem Stand der Technik sind allerdings mit so großen Fehlern behaftet, daß das Ergebnis einer Verlustleistungsanalyse verfälscht wird.

---

(\*) Moving Pictures Experts Group (MPEG): Internationales Gremium zur Festlegung von Standards für die digitale Bildverarbeitung.

Die Rahmenbedingungen für die in den folgenden Kapiteln durchgeführten Untersuchungen stellen sich wie folgt dar: Untersucht werden kombinatorische und sequentielle Benchmark-Schaltungen. Zusätzlich werden eigene, industrienähe Schaltungen untersucht, um anhand dieser großen Designs die Anwendbarkeit und die Vorteile der in dieser Arbeit entwickelten Verfahren und Methoden zu demonstrieren. Bei der Verifikation wird eine zu untersuchende Schaltung mit identischen Schaltaktivitäten beaufschlagt, wobei mehrere Varianten von Verdrahtungslastmodellen der Verlustleistungsanalyse zugeführt werden.

Die beträchtlichen Fehler bei der Verlustleistungsanalyse, die allein durch ungenaue Verdrahtungslastmodelle hervorgerufen werden, stellen schließlich die Motivation für die in dieser Arbeit durchgeführten Untersuchungen und die in den folgenden Kapiteln vorgeschlagenen Lösungsansätze zur Prognose der Verdrahtungslastkapazitäten dar. Zur genaueren Prognose der Verdrahtungslastkapazitäten muß einerseits die Leitungslängenabschätzung verbessert werden und andererseits müssen die unterschiedlichen Eigenschaften der Verdrahtungsebenen besser berücksichtigt werden, die ebenfalls Einfluß auf die Leitungskapazität haben [9].

## Kapitel 3

# Bekannte Verfahren zur Ermittlung der Verdrahtungslasten

Die Lastkapazität  $C_{Last}$  in Gl. 1.10, welche sich aus den Pin-Kapazitäten der an einem Netzknoten angeschlossenen Gatter  $C_{Gatter}$  und aus den Leitungskapazitäten der die Gatter verbindenden Netzabschnitte  $C_{Leiterbahnen}$  zusammensetzt, stellt eine fundamental wichtige Größe dar. Sie beeinflusst sowohl die Verlustleistung als auch die Signallaufzeiten. Die Leitungskapazität ist zunächst direkt proportional zur Länge einer Leiterbahn. Wie später noch gezeigt wird, sind die Leitungskapazitäten jedoch auch stark davon abhängig, auf welcher Verdrahtungsebene eine Leiterbahn verläuft (siehe Kapitel 5 und [121]).

In diesem Kapitel werden zunächst Möglichkeiten der Modellierung *einzelner Leitungen* diskutiert. Da die Verlustleistung integrierter Schaltungen erst in den letzten Jahren an Bedeutung gewann, und bis dahin vor allem die Schaltungsgeschwindigkeit im Vordergrund stand, zielen viele Leitungsmodelle in erster Linie auf die Modellierung der Laufzeit ab. Die Abwägung der Vor- und Nachteile der vorgestellten *Leitungsmodelle* und die Berücksichtigung der speziellen Anforderungen für eine Verlustleistungsanalyse auf Logikebene führt zur Auswahl eines Modells, das die vorgegebenen Bedürfnisse am besten erfüllt.

Anschließend wird von obigem Modell für eine einzelne Leitung bzw. ein einzelnes Netz der Übergang zu *Verdrahtungslastmodellen* vollzogen. Im Gegensatz zu Leitungsmodellen werden bei Verdrahtungslastmodellen *alle Netze einer Schaltung* betrachtet. Verdrahtungslastmodelle können mit Hilfe von *Layout-Extraktionsverfahren* und *prognostischen Verfahren* (Wire Load Models) ermittelt werden. Wie der Name schon andeutet, muß zur Anwendung eines Layout-Extraktionsverfahrens eine Layout-Synthese zumindest in Teilschritten (Flurplanung, grobe Zellplatzierung oder endgültige Zellplatzierung ohne/ mit Verdrahtung) bereits erfolgt sein, um daraus anschließend Leitungsparasitäten zu extrahieren. Prognostische Verfahren finden dagegen vor der Lay-

out-Synthese Anwendung, und die Leitungslängen und -parasitäten müssen abgeschätzt werden [17]. Als Leitungsparasitäten oder parasitäre Leitungselemente (parasitics, wire parasitics) werden die physikalischen Größen Leitungskapazität, -widerstand sowie Leitungsinduktivität bezeichnet, die einer Leitung zugeordnet werden. Da Signalleitungen in integrierten CMOS-Schaltungen aufgrund ihres Leiterbahnquerschnittes und des spezifischen Widerstandes (Aluminium, Kupfer, Silber) stark verlustbehaftet sind, werden diese für Signallaufzeitabschätzungen als reine RC-Glieder modelliert. Die Leitungsinduktivität kann für derartige Leitungen ( $R \gg |j\omega L|$ ) sowohl bei Verlustleistungs- als auch Timing-Analysen vernachlässigt werden [35], [36], [74], [84]. Der Zusammenhang zwischen Leitungswiderstand, Leitungskapazität und Verlustleistung wird in Anhang A dieser Arbeit diskutiert und es wird gezeigt, daß der Einfluß des Leitungswiderstandes auf die dynamische Verlustleistung ebenfalls vernachlässigt werden kann. Da Widerstände und Induktivitäten der kurzen Signalleitungen innerhalb von Layout-Blöcken auf die dynamische Verlustleistung einer Schaltung bei derzeitigen Halbleitertechnologien kaum Einfluß haben, werden diese folglich bei den in dieser Arbeit vorgeschlagenen Verdrahtungslastmodellen nicht weiter modelliert.

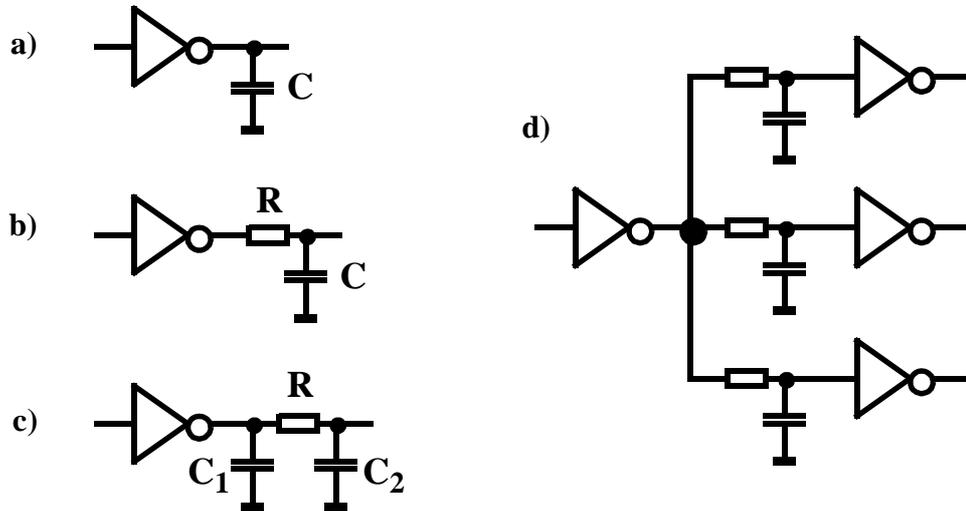
Neben den drei oben genannten physikalischen Größen, mit deren Hilfe die Eigenschaften einer Leitung beschrieben werden können, ist vor allem die Leitungslänge als wichtige Kenngröße zu nennen. Bei Verdrahtungslastmodellen nach dem Stand der Technik, die vor der Layout-Synthese angewendet werden, steht zunächst die Prognose der Leitungslänge im Vordergrund aus der anschließend die Leitungskapazität abgeleitet wird. Bei den prognostischen Verfahren zur Ermittlung der Leitungslänge können wiederum drei Kategorien unterschieden werden: Empirische, theoretische und verfahrensorientierte Modelle. *Empirische Modelle* basieren auf Daten, die aus einer begrenzten Menge von Testschaltungs-Layouts extrahiert wurden, und mit deren Hilfe beispielsweise auf die Leitungslänge und die -kapazität anderer, noch zu erstellender Layouts geschlossen wird. Bei *theoretischen Modellen* werden wahrscheinlichkeitsbasierte mathematische Ansätze zur Längenabschätzung verwendet, wobei vereinfachende Annahmen zur Schaltungsstruktur gemacht werden. *Verfahrensorientierte Modelle* (procedural models) berücksichtigen zusätzlich die Charakteristiken des Entwurfsablaufes, der gewählten Technologie und der Struktur der zu entwerfenden Schaltung. Wie später noch gezeigt wird, ist die in der vorliegenden Arbeit entwickelte Methodik zur Leitungslängenabschätzung der Kategorie der verfahrensorientierten Modelle zuzuordnen. Die drei Kategorien sind jedoch nicht scharf voneinander abgegrenzt. Vielmehr sind die Übergänge fließend, da beispielsweise bei einigen Verfahren auf eine Schaltung mathematisch-statistische Ansätze zur Längenabschätzung angewendet werden, wobei einer der verwendeten Parameter wiederum aus empirischen Untersuchungen gewonnen wird (siehe auch Rent's Rule in Abschnitt 3.2.1).

### 3.1 Modellierung einzelner Leitungen

Von Elmore wurde 1948 erstmals ein Verfahren vorgeschlagen, die Laufzeit eines Signales von einer Quelle (heute z.B. Gatterausgang) zu einem Knoten eines  $RC$ -Baumes (Knoten in einem Netzwerk aus Widerständen und Kondensatoren) zu modellieren [40]. Dabei wurde die Verzögerungszeit modelliert, die zwischen dem anlegen einer Sprungfunktion am Eingang bis zum Erreichen von 50% des Signalpegels am Ausgang verstreicht. Aus diesen Überlegungen haben sich mehrere Varianten zur Berücksichtigung der Einflüsse von Leiterbahnen auf die Signallaufzeiten entwickelt.

Die einfachste Modellierung einer Leiterbahn kann mit Hilfe einer einzelnen Kapazität vorgenommen werden, die zwischen einem Netzknoten und Masse liegt (Abbildung 3.1 a). Dieses in der englischen Literatur als *Lumped Capacitance Model* bezeichnete Ersatzschaltbild hat den Vorteil, daß es sehr schnell für jedes Netz einer Schaltung ermittelt werden kann. Dies ist insbesondere bei komplexen Schaltungen vorteilhaft, da einzig die Leitungskapazität als physikalische Größe abgeschätzt werden muß, die häufig als linear abhängig von der Leitungslänge angenommen wird. Als Widerstand an dem Netzknoten wird lediglich die Resistanz des Treibertransistors berücksichtigt und ist deshalb nicht dem Leitungsmodell zuzurechnen. Zur Ermittlung der Signallaufzeiten war dieses Modell für Technologien mit einer gezeichneten Gate-Länge der MOS-Transistoren von größer oder gleich  $1,0 \mu\text{m}$  hinreichend genau, da der Widerstand der Leitung gegenüber dem Widerstand des Treibers (Transistor im Gatter) vernachlässigt werden konnte [2].

In [55] ist angegeben, daß ab einer gezeichneten Gate-Länge von etwa  $0,6 \mu\text{m}$  die Leitungslaufzeiten gegenüber den Gatterlaufzeiten dominieren. Seit der Einführung von Technologien mit kleineren Strukturgrößen als  $0,6 \mu\text{m}$  werden deshalb häufiger Leitungsmodelle gewählt, die aus einem  $RC$ -Glied bestehen (Abbildung 3.1 b). Der Widerstand  $R$  ist der ohmsche Widerstand der Leiterbahn, welcher durch den Querschnitt, die Länge und das Leiterbahnmaterial definiert ist. Die Kapazität  $C$  entsteht durch die kapazitiven Kopplungen der Außenflächen der metallischen Leiterbahn gegenüber dem Halbleitermaterial und gegenüber anderen Leiterbahnen. Bei den  $RC$ -Modellen wird die gesamte Kapazität eines Netzes wie bei dem oben vorgestellten  $C$ -Modell als eine zusammenhängende Kapazität modelliert [29]. Der Unterschied zum reinen  $C$ -Modell besteht darin, daß zwischen dem Ausgangs-Pin der Treiberzelle und dem Netzknoten, von dem die Kapazität  $C$  und die Eingänge der angeschlossenen Gatter abgehen, der Widerstand  $R$  liegt. Somit wird die Auf- und Entladung der Kapazität zusätzlich zum Widerstand der Treiberzelle durch den Widerstand der Leitung verzögert. Aufgrund der Laufzeiten erreichen die Signalpegel an allen getriebenen Gattern zeitlich verzögert gegenüber dem Eingangssignal die eindeutigen Zustände logisch Null oder logisch Eins.



**Abbildung 3.1 Inverter mit verschiedenen Leitungsmoellen: a) Lumped Capacitance Model, b)  $RC$ -Glied, c)  $\pi$ -Glied und d) verteilte  $RC$ -Glieder. Der Inverter in d) treibt ein Netz dessen einzelne Äste jeweils als  $RC$ -Glied modelliert sind.**

In noch weitergehenden Modellen wird ein Netzknoten als  $\pi$ -Glied aus zwei Kapazitäten gegen Masse und einem dazwischenliegenden Widerstand dargestellt (Abbildung 3.1 c). Die Kapazität  $C_1$  modelliert, daß zu Beginn eines Umschaltvorganges auf einem Netz in relativ kurzer Zeit eine bestimmte Ladungsmenge auf die Leiterbahn fließt, während der größere Teil der Netzlastkapazität über einen längeren Zeitraum aufgeladen wird ( $RC_2$ -Glied rechts in Abbildung 3.1 c) [29].

Bei verteilten  $RC$ -Modellen hingegen wird jeder Ast eines Netzknotens als  $RC$ -Glied (ggf. auch als  $\pi$ -Glied) modelliert (Abbildung 3.1 d). Im Gegensatz zum einfachen  $RC$ -Modell wird hier berücksichtigt, daß die Signalpegel an den Eingängen der angeschlossenen Gatter zu unterschiedlichen Zeitpunkten ankommen.

Die oben abgebildeten Modelle können noch verfeinert werden, indem weitere  $RC$ -Glieder als Kettenschaltung hinzugefügt werden. Alle dargestellten Modelle wurden ursprünglich zur Vorhersage des *Laufzeitverhaltens* einer Schaltung entwickelt. Insbesondere die in Abbildung 3.1 b), c) und d) dargestellten Modelle haben jedoch den Nachteil, daß sie zeitaufwendig zu berechnen sind. Dies gilt sowohl für ein prognostisches Modell vor der Layout-Synthese als auch für den Fall, daß die Kapazitäts- und Widerstandskomponenten aus dem Layout extrahiert werden. In dieser Arbeit stehen jedoch die Einflüsse von Leiterbahnen auf die *Verlustleistung* im Vordergrund und nicht die perfekte Modellierung der Laufzeit. Vor allem war das Ziel dieser Arbeit, die kapazitive dynamische Verlustleistung bei der Verlustleistungsanalyse auf Logikebene

genauer zu berücksichtigen, da diese Verlustleistungskomponente für die meisten Anwendungen den größten Energieanteil in Anspruch nimmt. Deshalb beschränken sich die in den folgenden Kapiteln vorgeschlagenen Modelle vor allem auf die Ermittlung der Leitungskapazitäten und die durchgeführten Untersuchungen beziehen sich in erster Linie auf die Auswirkungen der Leitungskapazitäten auf die Verlustleistung. Bedenkt man, daß bei großen Schaltungen für eine Vielzahl von Netzen im Gegensatz zu einer einzigen Kapazität ein  $RC$ -Glied oder ein  $\pi$ -Glied abgeleitet werden soll, so entsteht ein signifikanter Vorteil in bezug auf den Zeitaufwand zugunsten des einfachen C-Modells. Diese Eigenschaft steht auch in Einklang mit dem Ziel der Arbeit, einer genaueren Verlustleistungsanalyse auf Logikebene. Wie bereits in Kapitel 2 diskutiert wurde, zeichnet sich eine Verlustleistungsanalyse auf Logikebene dadurch aus, daß ein hinreichend genaues Analyseergebnis mit akzeptablem Zeitaufwand auch für große Schaltungen erzielt werden kann. Ein weiterer Grund, warum der Leitungswiderstand bei den hier vorgeschlagenen Modellen nicht betrachtet wird besteht auch darin, daß das in dieser Arbeit verwendete Werkzeug zur Verlustleistungsanalyse auf Logikebene den Einfluß von Leitungswiderständen nicht berücksichtigt, sodaß eine Verifikation eines  $RC$ -Modells nicht möglich gewesen wäre.

In den folgenden Abschnitten wird nun nicht mehr eine einzige Leitung betrachtet, sondern das oben diskutierte C-Leitungsmodell wird auf jeden Netzknoten in der Schaltung bezogen, sodaß ein ganzes Verdrahtungslastmodell eines Designs entsteht. Bei den Layout-Extraktionsverfahren wird der Diskussion der Leitungswiderstände noch Raum eingeräumt, da eine isolierte Extraktion der Kapazitäten aus dem Layout zum Zweck einer Verlustleistungsanalyse von keinem Werkzeug angeboten wird. So werden bei dieser Modellklasse noch Widerstände berücksichtigt auch wenn diese nicht Gegenstand der Betrachtungen in bezug auf eine Verlustleistungsanalyse sind.

### 3.2 Prognostische Verdrahtungslastmodelle

Bei allen prognostischen Verfahren nach dem derzeitigen Stand der Technik wird die Leitungskapazität als *Produkt aus der abgeschätzten Leitungslänge und der durchschnittlichen Kapazität pro Längeneinheit, gemittelt über alle Verdrahtungsebenen*, berechnet. Das zentrale Problem der in den folgenden Unterkapiteln diskutierten Methoden nach dem Stand der Technik stellt deshalb vor allem die Leitungslängenabschätzung dar. Es soll an dieser Stelle noch einmal darauf hingewiesen werden, daß in dieser Arbeit und bei den nun folgenden Erläuterungen nur CMOS-Technologien betrachtet werden. Weiterhin liegt der Schwerpunkt der Betrachtungen auf einem halbkundenspezifischen Entwurfsablauf (semi-custom design flow), der auf einer digitalen Standardzellbibliothek basiert.

### 3.2.1 Bekannte Verfahren zur Netzlängenabschätzung

Bei vielen Schaltungen reicht die Chip-Fläche, die sich rein aus der Summe der Flächen aller Standardzellen ergibt, nicht aus, um alle Verbindungen innerhalb der Schaltung unterzubringen. Insbesondere bei älteren Technologien war eine Verdrahtung über die Zellen hinweg praktisch nicht möglich, sondern es mußten Verdrahtungskanäle zwischen den Standardzellreihen eingefügt werden. Eine Reihe von Längenabschätzungsverfahren widmen sich deshalb in erster Linie der Ermittlung der totalen Leitungslänge einer Schaltung, um daraus die zusätzlich zur reinen Zellfläche erforderliche Verdrahtungsfläche zu berechnen.

Unter den prognostischen Verfahren zur Abschätzung der Netzlänge kann allgemein unterschieden werden zwischen theoretischen, empirischen und verfahrensorientierten Modellen (procedural models).

Bei den *theoretischen Verfahren* wird die Verdrahtungslänge einer Schaltung mit Hilfe geschlossener mathematischer Formulierungen berechnet. Beispielsweise werden bei verschiedenen Modellen Verteilungsfunktionen dazu verwendet, die Häufigkeit (Anzahl der Netze in Prozent) über der Leitungslänge aufzutragen.

Um die benötigte Verdrahtungsfläche abzuschätzen, wurde in [48] zunächst die Leitungslängenverteilung ermittelt. Dazu wurden alle Netze als unabhängige Zwei-Pin-Netze aufgefaßt, die einer Poisson-Verteilung unterliegen. Weiterhin wird angenommen, daß diese Netze stochastisch verteilt von einigen Zellen ausgehen und nach einer durchschnittlichen Leitungslänge bei einer anderen Zelle enden.

Obiges Verfahren wurde in [43] dahingehend weiter entwickelt, daß die gesamte Schaltung als ein zweidimensionales Raster aus Zellen aufgefaßt wird, wobei die stochastische Verteilung des Startpunktes eines Netzes wie in [48] modelliert wird. Wie oben, ergeben sich die Netzpfade zufällig. Im Gegensatz zu [48] liegen die Endpunkte der Netze jedoch einen Manhattan-Abstand voneinander entfernt. Mit diesem Modell kann eine minimale Anzahl von Leitungssegmenten und damit die minimal benötigte Fläche zur Verdrahtung der Schaltung ermittelt werden.

Wie bei den beiden oben genannten Modellen werden auch in [94] Netze zunächst als unabhängige Zwei-Pin-Netze mit einer durchschnittlichen Länge modelliert. Dabei werden jedoch neben der Leitungslängenverteilung und der durchschnittlichen Leitungslänge auch noch die Abmessungen von Verdrahtungskanälen und die Wahrscheinlichkeit ermittelt, mit der eine Verdrahtung erfolgreich, d.h. vollständig abgeschlossen werden kann. Bei diesen Autoren wird gezeigt, daß die Leitungslängen einer Weibull-Verteilung unterliegen, im Gegensatz zu der Poisson-Verteilung, die im Falle der beiden ersten Verfahren verwendet wurde. Dabei treten in der Weibull-Verteilung Parameter auf, die aus den Netzlängen realer Layouts extrahiert werden müssen.

Im Gegensatz zu allen vorgenannten Verfahren wird in [50] der Verteilung der Leitungslängen eine logarithmische Normalverteilung zugrunde gelegt. Diese Verteilungsfunktion wurde aus extrahierten Layout-Leitungslängen abgeleitet (gefittet), indem die

prozentuale Verteilung der Anzahl der Netze über der Leitungslänge aufgetragen wurde. Bei diesem Modell werden die benötigte Verdrahtungsfläche und die Längen der Netze zwischen Layout-Partitionen ermittelt. Wie in [94] zeigt auch diese Methodik, daß statistisch-theoretische Betrachtungen mit empirischen Untersuchungen kombiniert wurden und deshalb die Grenzen zwischen den Kategorien "theoretische" und "empirische" Modelle der Netzlängenabschätzungen nicht scharf zu ziehen sind.

Auf Rent's Rule basierende Leitungslängenabschätzungen werden in der Literatur häufig den *empirischen Modellen* zugeordnet. Allerdings wird auch bei diesen Verfahren auf umfangreiche mathematische Modelle zurückgegriffen.

Bereits 1960 wurde von E. F. Rent in den IBM Forschungslaboratorien an einer Reihe von Schaltungen untersucht, ob es eine gemeinsame Gesetzmäßigkeit in bezug auf die durchschnittliche Anzahl von Ein-/ Ausgängen und der durchschnittlichen Anzahl von Unterblöcken einer Schaltung gibt. Obwohl Rent zu diesen empirischen Untersuchungen nie eine Gleichung angab, zeigte eine Analyse der Daten-Plots einen Zusammenhang zwischen der durchschnittlichen Anzahl der Ein-/ Ausgangs-Pins eines betrachteten Schaltungsblocks, der durchschnittlichen Anzahl der Pins der Unterblöcke, der Anzahl der Unterblöcke und dem sogenannten Rent'schen Exponenten [64]. In modernen Technologien kann ein Schaltungsblock als eine Layout-Partition und ein Unterblock z.B. als eine Standardzelle interpretiert werden. Der Rent'sche Exponent  $r$  repräsentiert dabei den Grad der Platzierungsoptimierung innerhalb einer statistisch homogenen Schaltung. Für  $r = 1$  besteht keine Platzierungsoptimierung und die Schaltung wird als zufallsplaziert betrachtet. Je kleiner  $r$  wird, um so näher sind die Unterblöcke bzw. Standardzellen zueinander plaziert [26]. Die Schwierigkeit Rent's Rule auf eine gegebene Schaltung Nutzen bringend anzuwenden, besteht darin, den geeigneten Rent'schen Exponenten zu finden [25]. Als Maß für die Qualität einer Platzierung wird häufig die Verdrahtungslänge heran gezogen [87]. Da der Rent'sche Exponent den Grad der Platzierungsoptimierung darstellt, und dieser wiederum mit der Verdrahtungslänge korreliert, können verschiedene Funktionen abgeleitet werden, mit denen die *durchschnittliche* Leitungslänge einer Schaltung berechnet werden kann [26], [32], [33], [37], [103].

Bei dem in [7] vorgeschlagenen Verfahren wiederum wird das typische Verhalten des später bei der Layout-Synthese verwendeten Verdrahtungswerkzeuges als "Black Box Model" beschrieben. Mit Hilfe einer Fülle von empirisch ermittelten Daten, die aus Schaltungen extrahiert werden, die mit diesem bestimmten Layout-Werkzeug erstellt wurden wird versucht, die Gegebenheiten bei der späteren Verdrahtung zu prognostizieren. Mit diesem Ansatz wird eine untere Grenze der Genauigkeit angegeben und eine Abschätzung individueller Leitungslängen erzielt. Die in [7] vorgeschlagene Methodik ist einerseits sehr stark an ein bestimmtes Verdrahtungswerkzeug gebunden und andererseits erfordern die gemachten Annahmen einen tiefen Einblick in den vom Tool verwendeten Algorithmus, wie dies nur von den Entwicklern des verwendeten Tools denkbar wäre. Die Übertragbarkeit auf andere, als auf die in [7] untersuchten Schaltungen ist fraglich.

Die hingegen in [98] vorgeschlagene Methodik kann der Kategorie der *verfahrensorientierten Modelle* zugeordnet werden. Eine Schaltung wird bei diesem Verfahren wie in [43] als ein zweidimensionales Array aufgefaßt. Ein Netz erstreckt sich innerhalb eines Rechteckes, welches die an das Netz angeschlossenen Zellen umfaßt. Die Rechteckfläche entspricht der Fläche aller Zellen, die an das Netz angeschlossen sind. Bei gleicher Fläche sind jedoch mehrere Rechteckformen mit unterschiedlichen Umfängen der Rechtecke möglich. Als begrenzte Verdrahtungszone (bounding box) wird immer jenes Rechteck ausgewählt, das den minimalen halben Rechteckumfang aufweist. Die Zellen der gesamten Schaltung gelten zwar bei diesem Modell als optimiert platziert, innerhalb der begrenzten Verdrahtungszonen werden die an das Netz angeschlossenen Zellen allerdings als zufallsplatziert angenommen. Die durchschnittliche Leitungslänge eines Netzes wird dann als Mittelwert der Längen der Verbindungsleitungen aller möglichen Zellplatzierungen berechnet. Dieses Verfahren ist zur Ermittlung der durchschnittlichen und der totalen Leitungslänge kleiner Schaltungen gut geeignet. Bei größeren Designs ergeben sich jedoch Fehler von 30% bis 40% in bezug auf die totale Leitungslänge der Schaltung [82]. Auf empirische Voruntersuchungen oder auf Annahmen statistischer Verteilungsfunktionen kann verzichtet werden, da bei dieser Methodik auf die Kenntnisse des Layout-Entwurfsablaufes, der Struktur der Schaltung auf Logikebene und die Informationen aus der Entwurfsbibliothek, z.B. den Abmessungen der Zellen zurückgegriffen wird.

Ein weiteres verfahrenorientiertes Modell für zufallsplatzierte Schaltungen ist in [23] angegebenen. Dabei wird eine Technologie mit zwei Verdrahtungsebenen zugrunde gelegt. Bei diesem Verfahren wird die Anzahl von Minikanälen (wiring tracks), d.h. die Leiterbahnbreite und der Mindestabstand zu benachbarten Leitungen abgeschätzt. Darüber hinaus wird die Anzahl von Durchkontaktierungen innerhalb von Standardzellreihen (feed-throughs) berechnet, die bei Verwendung von nur zwei Verdrahtungsebenen zwingend erforderlich sind. Daraus wiederum kann dann die benötigte Verdrahtungsfläche und damit die ganze Chip-Fläche abgeschätzt werden. Die Vorgehensweise entspricht zwar einer Analyse einer möglichen Verdrahtung, jedoch wird keine Abschätzung der einzelnen Leitungslängen durchgeführt.

Auch bei dem in [83] vorgeschlagenen Verfahren wird ein Schaltungs-Layout als ein homogenes Gitter aufgefaßt. Ebenfalls ähnlich wie bei dem Modell in [98] werden mögliche Verdrahtungszonen eingeschränkt. Die Größe der Verdrahtungszonen wird hier jedoch als Anzahl von Gittermaschen angegeben, wobei sich diese Zahl aus der Anzahl der unmittelbar an das Netz angeschlossenen Zellen zzgl. der an diese Zellen wiederum angeschlossenen Zellen berechnet. Für alle Netze mit selber Pin-Zahl wird die durchschnittliche Größe einer Verdrahtungszone als durchschnittliche Anzahl von Gittermaschen ermittelt, die als Net Neighbourhood Populations (NNPs) bezeichnet wird (siehe auch Abschnitt 4.1). Innerhalb des Gitters wird die Verteilung der Pins nicht wie in [98] als zufallsplatziert angenommen, sondern es werden alle möglichen Verteilungen ermittelt. Jeder Pin-Verteilung wird dann ein minimaler Steinerbaum zugeordnet, aus dem wiederum eine Leitungslänge abgeleitet wird. Da verschiedene Pin-Platzierungen gleiche

Längenbeiträge liefern können, kann aus den Pin-Plazierungen eine Wahrscheinlichkeit für das Auftreten einer Leitungslänge eines Netzes mit dieser Pin- bzw. NNP-Zahl abgeleitet werden. Dieses Modell liefert eine gute Abschätzung der totalen Leitungslänge und eine Abschätzung der Anzahl von Durchkontaktierungen zwischen Standardzellreihen (feed-throughs). Die Kenntnis dieser beiden Informationen ermöglicht eine gute Prognose der Fläche von Schaltungen, die in einer Technologie mit zwei Verdrahtungsebenen gefertigt werden.

### 3.2.2 Verdrahtungslastmodelle für Logiksynthesewerkzeuge

Die Verdrahtungslastmodelle, wie sie derzeit bei der Logiksynthese eingesetzt werden, können eindeutig der Kategorie der empirischen Modelle zugeordnet werden. In der Literatur werden sie häufig auch als *statistical wire load models* bezeichnet. Da diese Klasse der Verdrahtungslastmodelle eine der wenigen Möglichkeiten darstellt, die Leitungslänge immerhin individuell nach der Netz-Pin-Zahl abzuschätzen und da diese Modelle breiten industriellen Einsatz gefunden haben, werden die in dieser Arbeit erzielten Ergebnisse mit der Längen-, Kapazitäts- und Verlustleistungsanalyse verglichen, die unter Verwendung der Statistical Wire Load Models erzielt werden. Deshalb werden Wire Load Models an dieser Stelle ausführlich diskutiert.

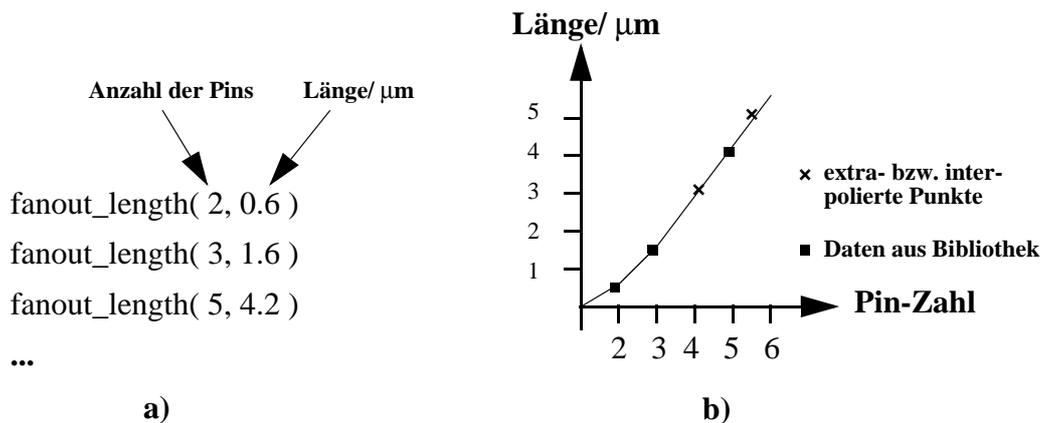
Wie bei allen empirischen Verfahren wird zur Ermittlung der Basisdaten für eine Reihe ausgewählter Schaltungen ein Layout erstellt. Aus den Ergebnissen wird dann eine Prognose auf andere Schaltungen hin vorgenommen. Da Leiterbahnwiderstände und -kapazitäten von der Platzierung und Verdrahtung einer Schaltung abhängen, ist eine präzise Ermittlung der Leitungsparasitäten erst nach der physikalischen Entwurfsphase möglich. Die Layout-Synthese stellt jedoch einen sehr zeitaufwendigen Prozeß dar. Darüber hinaus werden bereits während der Logiksynthese die Treiberstärken der Gatter festgelegt, welche wiederum abhängig von den zu treibenden Lasten, also den Kapazitäten der Verbindungsnetze und der Gattereingangskapazitäten der getriebenen Gatter sind. Weiterhin wird für eine frühe Verlustleistungsanalyse (Pre-Layout) eine möglichst genaue Prognose der Leitungskapazitäten benötigt, um genaue Ergebnisse zu erhalten (Ungenauigkeiten siehe Tabelle 2.2).

Eine Möglichkeit oben genannte Konflikte zu lösen, stellen Verdrahtungslastmodelle (wire load models) dar. Dabei wird die Länge eines Netzes in Abhängigkeit der an das Netz angeschlossenen Zell-Pins modelliert [72], [125]. Aus der Anzahl der Pins wird abgeleitet, daß ein Netz um so länger wird, je mehr Zellen an ein Netz angeschlossen sind, denn um so größer ist die Fläche, über die die Zellen im Layout verteilt sind und um so größer ist folglich die Länge des die Zellen verbindenden Netzes. Weiterhin ist nach diesem Modell die Netzlänge abhängig von der Größe der Schaltung, welche zum Zeitpunkt der Logiksynthese als Anzahl der Gatteräquivalente angegeben wird. Je höher die Anzahl der Gatteräquivalente, um so komplexer (größer) ist eine Schaltung und um so größer ist die durchschnittliche Netzlänge. Dieser Überlegung liegt die Tatsache zugrunde, daß die Konflikte eines Zellplatzierungswerkzeuges mit der Schaltungsgröße

ansteigen, miteinander verschaltete Zellen nahe zueinander zu platzieren [82]. In Folge der weiter auseinander und in einigen Fällen auch weniger optimal platzierten Zellen steigt die Leitungslänge im Durchschnitt mit der Fläche an.

Aufgrund der oben genannten Charakteristiken der statistischen Verdrahtungslastmodelle ergibt sich für alle Netze mit selber Pin-Zahl innerhalb einer Schaltung die selbe (durchschnittliche) Netzlänge. Die gemäß dem Verdrahtungslastmodell für ein Netz mit einer bestimmten Pin-Zahl angesetzte durchschnittliche Länge wird empirisch aus einer Reihe von Schaltungs-Layouts ermittelt, die in dieser Technologie verdrahtet wurden [72].

In dem Beispiel in Abbildung 3.2 a) ist links die Pin-Zahl und rechts die zugehörige Länge angegeben. Da die in der Logiksynthesbibliothek angegebenen Verdrahtungslastmodelle auf eine Pin-Zahl von z.B. 10 begrenzt ist, wird die Länge von Netzen mit höherer Pin-Zahl extrapoliert. Die empirisch gewonnene Leitungslänge (fanout length) wird mit einer durchschnittlichen Kapazität pro Längeneinheit multipliziert. Auch diese wird empirisch aus einer Reihe von Schaltungs-Layouts als *durchschnittliche Kapazität pro Längeneinheit über alle Verdrahtungsebenen* ermittelt [8], [39], [105].



**Abbildung 3.2** Netzlänge entsprechend einem Verdrahtungslastmodell, wie es von kommerziellen Logiksynthesewerkzeugen verwendet wird (Stand der Technik). Die tabellenähnliche Darstellung a) ist Bestandteil der Logiksynthesbibliothek. Für Netze mit einer Pin-Zahl, die nicht in der Bibliothek abgelegt ist, wird die Länge extra- bzw. interpoliert -> b).

Diese Art der Verdrahtungslastmodelle stellt den Stand der Technik dar. Sie werden von Logiksynthesewerkzeugen verschiedener CAD-Hersteller verwendet. Ursprünglich dienten sie dazu, Laufzeiten der Netze für die Logiksynthese und die Timing-Analyse auf Logikebene zu modellieren. Damit die Timing-Anforderungen eingehalten werden, ist es vorteilhaft, beim Schaltungsentwurf mit Worst-Case-Abschätzungen zu arbeiten. Somit modellierten die Verdrahtungslastmodelle viele Jahre lang die ungünstigsten Verdrahtungslasten, d.h. die größten Signallaufzeiten der Netze. Durch immer komplexere

Schaltungen und die damit verbundenen Probleme der Zellplatzierungswerkzeuge, konnten jedoch keine zuverlässigen Prognosen mehr erzielt werden. Bei der Verdrahtung des Schaltungs-Layouts ergaben sich für einzelne Netze unvorhersehbar große Leitungslängen, sodaß diese durch Laufzeiten auffielen, die nicht mehr durch die Worst-Case-Prognose der Verdrahtungslastmodelle abgedeckt waren.

Für eine Verlustleistungsanalyse ergeben sich dadurch ähnliche Probleme. Einerseits sind die "Ausreißer der Netzlängenvorhersage" wie bei der Timing-Analyse eine Ursache für Ungenauigkeiten bei der Verlustleistungsanalyse. Zusätzlich werden an eine Power-Analyse andere Anforderungen als an eine Timing-Analyse gestellt. Während beim Schaltungsentwurf die Timing-Anforderungen lediglich erfüllt werden müssen, was durch eine Worst-Case-Annahme der Fall ist, möchte man bei einer Power-Analyse möglichst den durchschnittlichen Leistungsverbrauch ermitteln, um auf Standby- und Betriebszeiten eines Gerätes schließen zu können. Für eine Power-Analyse ist deshalb die Simulation des typischen Betriebsfalles vorteilhafter als die Annahme des ungünstigsten Falles. Damit sind statistische Verdrahtungslastmodelle für die Analyse der durchschnittlichen Leistungsaufnahme einer Schaltung ungeeignet.

### 3.2.3 Kundenspezifische Verdrahtungslastmodelle (Custom Wire Load Models)

Der Begriff kundenspezifische Verdrahtungslastmodelle oder Custom Wire Load Models bezeichnet Verdrahtungslastmodelle, welche eine Verfeinerung der statistischen Wire Load Models darstellen. Der prinzipielle Aufbau und die zur Längen- und Kapazitätsabschätzung herangezogenen Informationen entsprechen der in Abschnitt 3.2.2 diskutierten Modellierung. Der Unterschied besteht darin, daß die Gegebenheiten der aktuell zu entwerfenden Schaltung besser berücksichtigt werden. Die Leitungslänge in Abhängigkeit von der Pin-Zahl eines Netzknotens und die durchschnittliche Kapazität pro Längeneinheit wird bei kundenspezifischen Verdrahtungslastmodellen aus einem ersten Layout (trial layout) ermittelt. Custom Wire Load Models sind dann sinnvoll, wenn folgende Voraussetzungen gegeben sind:

- Die zu entwerfende Schaltung überschreitet die Obergrenze der Schaltungsgröße, für die vom Halbleiterhersteller Verdrahtungslastmodelle zur Verfügung gestellt werden.
- Die Verdrahtungsebenen der zu entwerfenden Schaltung sind auffällig dicht gefüllt oder besitzen eine auffällig geringe Verdrahtungsdichte.
- Der Layout-Makroblock hat keine quadratische Form (\*).

---

(\*) Da die Layouts, aus denen der Halbleiterhersteller die Verdrahtungslastmodelle ableitet, in der Regel quadratisch sind, kann ein Verdrahtungslastmodell beträchtliche Abweichungen aufweisen, wenn es auf Makroblöcke mit beliebig rechteckiger Form angewendet wird.

Die drei oben genannten Charakteristiken bewirken, daß die experimentell aus den Layouts einer Reihe von Testschaltungen ermittelten Basisdaten für diese Spezialfälle nicht mehr geeignet sind. Als Basisdaten sind die *durchschnittliche Leitungslänge in Abhängigkeit der Pin-Zahl* und die *Kapazität pro Längeneinheit über alle Verdrahtungsebenen* zu nennen.

### 3.3 Layout-Extraktionsverfahren

Bei der Ermittlung der Netzlasten nach erfolgter vollständiger Verdrahtung des Layouts wird zur Berechnung der Leitungskapazitäten nicht nur die Leitungslänge ermittelt, sondern es werden auch verdrahtungsebenenspezifische Leiterbahnabmessungen sowie Koppel- und Abschirmeffekte zwischen benachbarten Leitungen berücksichtigt. Dadurch kann ein relativ detailliertes Modell der Leitungslasten entwickelt werden.

Bei den Layout-Extraktionsverfahren ist zu unterscheiden, nach welchem Layout-Schritt die Leitungsparasitäten ermittelt werden. Bereits nach dem ersten Schritt der Layout-Synthese, dem Floorplanning, also der manuellen Platzierung von Layout-Makroblöcken wie z.B. Prozessor-Cores, Speicherblöcken oder kundenspezifischen Schaltungsblöcken auf der Chip-Fläche kann eine erste Längenabschätzung der globalen Verdrahtung, also der die Makroblöcke verbindenden Netze vorgenommen werden. Im Fokus der Betrachtungen dieser Arbeit steht jedoch die makroblockinterne Verdrahtung, so daß die im Folgenden gemachten Aussagen ausschließlich auf diese Netze bezogen werden.

#### 3.3.1 Verdrahtungslasten nach erfolgter Zellplatzierung sowie bei Werkzeugen für gleichzeitige Synthese und Platzierung

Um ein Verdrahtungslängenabschätzungsverfahren, welches innerhalb eines Layout-Makroblockes angewendet wird der Klasse der Layout-Extraktionsverfahren zuordnen zu können, muß mindestens eine Platzierung der Standardzellen vorgenommen werden. Die Zellplatzierung kann dabei abhängig vom jeweils verwendeten Werkzeug eine endgültige oder eine vorläufige Platzierung darstellen.

Mit Hilfe einer endgültigen Platzierung kann die Leitungslänge genauer abgeschätzt werden, jedoch ist insbesondere die Berechnung der Feinplatzierung gegen Ende des Platzierungsvorganges unter Umständen sehr zeitaufwendig. Zeitsparender ist es, wenn bereits nach einer suboptimalen Platzierung abgebrochen wird und anhand dieser bereits die Leitungslänge ermittelt wird. Die Verdrahtungslänge wird mit Hilfe des halben Rechteckumfangs oder eines Steinerbaumes abgeschätzt. Die Methodik der Leitungslängenabschätzung nach erfolgter Zellplatzierung wird sowohl von Werkzeugen zur Lay-

out-Synthese ermöglicht [28] als auch von den erst seit wenigen Jahren etablierten Werkzeugen zur gleichzeitigen Logiksynthese und Zellplatzierung [15], [69], [93], [106].

Mit den Ende der 90er Jahre aufkommenden Tools für die gleichzeitige Synthese und Platzierung wurde den massiven Timing-Problemen begegnet, die mit Einführung von Technologien mit einer gezeichneten Gate-Länge der MOS-Transistoren von kleiner oder gleich  $0,35\text{-}\mu\text{m}$  aufgetreten sind. Bisher wurde ein Entwurfsablauf eingesetzt, der zwischen Front-End-Design (sämtliche Entwurfsebenen von der Spezifikation der Schaltung bis hinab zur Logikebene bzw. Gatternetzliste) und Back-End (von der Gatternetzliste abwärts über sämtliche Layout-Entwurfsebenen bis zu den Maskendaten) unterteilt war. Nachdem die Gatternetzliste einer Schaltung synthetisiert war, wurden die Laufzeitanforderungen, die Fläche und ggf. die Verlustleistung verifiziert. Falls die Anforderungen der Schaltungsspezifikation erfüllt wurden, wurde die Netzliste der Layout-Synthese zugeführt. Nach dem Layout wurde die Schaltung erneut mit den Leitungsparasitäten aus dem Layout verifiziert. Falls die Signallaufzeitanforderungen nicht mehr erfüllt wurden, wurde eine teilweise Resynthese durchgeführt. Diese Iteration wurde so lange wiederholt, bis die Entwurfsziele getroffen wurden. Mit Einführung oben genannter Technologien konnte mit diesem bis dahin klassischen Entwurfsablauf bei zeitkritischen Schaltungen kein Erfolg mehr erzielt werden; der Design Flow konvergierte nicht mehr.

Die getrennte Behandlung von Front-End-Design und Back-End mit einer Prognose der Leitungskapazitäten im Front-End mittels empirischer Verdrahtungslastmodelle (statistical wire load models) hatte sich als völlig unzureichend für zeitkritische Schaltungen großer Komplexität herausgestellt. Da die Verdrahtungslänge zu ungenau abgeschätzt wird, wurde der ursprünglich für sich allein stehenden Logiksynthese eine automatisch anschließende Zellplatzierung hinzugefügt, um die Leitungslängen zu ermitteln. Da bei dieser Entwurfsmethodik jedoch nur eine *globale* oder gar keine *Verdrahtung* vorgenommen wird, steht der Verlauf der Leiterbahnen noch nicht endgültig fest [15], [106]. "Globale Verdrahtung" steht in diesem Zusammenhang für die Vorarbeit beim Verlegen der Leiterbahnen während der Layout-Synthese (routing) und darf nicht mit der Verbindung der Makroblöcke auf Flurplanebene verwechselt werden (wird in der Literatur ebenfalls als *Global Routing* bezeichnet).

Bei der globalen Verdrahtung wird anhand eines Rasters der Verlauf der Netze innerhalb bestimmter Grenzen festgelegt. Entwurfswerkzeuge dieser Art ermöglichen zwar eine gute Verdrahtungslängenabschätzung, es erfolgt jedoch keine Zuordnung der Leiterbahnen zu den Verdrahtungsebenen, da dies Aufgabe eines *Final Routers* ist. Sowohl im Falle der Werkzeuge zur gleichzeitigen Logiksynthese und Platzierung als auch nach der Zellplatzierung bei der Layout-Synthese werden die parasitären Leitungskapazitäten und -widerstände berechnet, indem die abgeschätzte Verdrahtungslänge mit der typischen durchschnittlichen Kapazität bzw. dem Widerstand pro Längeneinheit der verwendeten Technologie multipliziert wird [84]. Wie später noch gezeigt wird, ist die Leitungskapazität jedoch stark von der Verdrahtungsebene abhängig, auf der eine Leiterbahn verläuft und von welchen Leiterbahnen sie umgeben ist. Diesem Defizit von

Verdrahtungslastmodellen, die zwar auf einer Leitungslängenabschätzung nach erfolgter Standardzellplatzierung basieren, jedoch die Einflüsse der Verdrahtungsebenen auf die Leitungskapazitäten vernachlässigen, wird mit Hilfe eines in Kapitel 5 vorgeschlagenen Entwurfsablaufes und Verfahrens zur Abschätzung der Leitungskapazitäten begegnet (siehe auch [121]). Das in der vorliegenden Arbeit entwickelte Verfahren zur Berücksichtigung der verdrahtungsebenenspezifischen Einflüsse auf die Leitungskapazitäten kann deshalb sowohl nach erfolgter Standardzellplatzierung bei der Layout-Synthese als auch bei Werkzeugen zur gleichzeitigen Logiksynthese und Standardzellplatzierung angewendet werden.

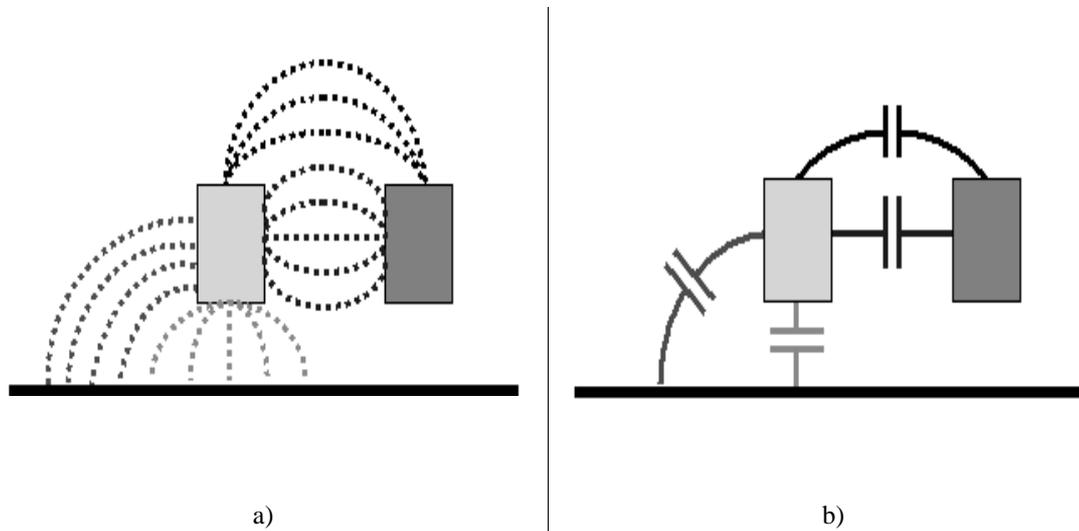
### 3.3.2 Extraktion der Leitungsparasitäten nach der Layout-Verdrahtung

Bei allen vorgenannten Verfahren zur Ermittlung der Verdrahtungslasten wird die Leitungskapazität als Produkt aus der abgeschätzten Leitungslänge und der durchschnittlichen Kapazität pro Längeneinheit berechnet. Die hierbei verwendete Kapazität pro Längeneinheit wird über die unterschiedlichen Kapazitäten pro Längeneinheit aller verfügbaren Verdrahtungsebenen gemittelt.

Die Ungenauigkeiten, welche durch die Mittelung der verdrahtungsebenenabhängigen Kapazität sowie durch die Vernachlässigung der Koppel- und Abschirmeffekte hervorgerufen werden, werden durch das hier vorgestellte Verfahren, die Extraktion der Leitungsparasitäten aus dem vollständig erstellten Layout, eliminiert. Die Länge der Leiterbahnen wird regelrecht im Layout gemessen. Da das verdrahtete Layout unmittelbar zur Erstellung der Maskendaten für den Halbleiterfertigungsprozess herangezogen wird, ist diese Methodik sehr präzise. Die Leitungslängen schwanken deshalb lediglich um die Toleranzen des Halbleiterfertigungsprozesses.

Da nach der Layout-Verdrahtung die Lage der Leiterbahnen über dem Substrat bekannt ist und von welchen benachbarten Leiterbahnen sie umgeben sind, können Koppel- und Abschirmeffekte berücksichtigt werden. Auf dieser Entwurfsebene kommen deshalb häufig Extraktionsverfahren zum Einsatz, die das elektrostatische Feld der Leiterbahnen im dreidimensionalen Raum berechnen, um die Leitungskapazitäten zu ermitteln (siehe Abbildung 3.3 a) [2], [52].

Um den Rechenzeitaufwand zu verringern, wird bei großen Schaltungen jedoch häufig ein abstrakteres Modell angewendet. Statt die elektrischen Felder der Leiterbahnen zu berechnen wird die Kapazität einer Leitung als die Superposition mehrerer Kapazitätskomponenten modelliert (Abbildung 3.3 b). Dabei stellt jede kapazitive Kopplung einer Boden-, Deck- oder Seitenfläche zum Substrat, zu den aktiven Schichten, zur Polysilizium-Schicht der Gates und zu den umgebenden Leiterbahnen eine eigene Komponente dar.



**Abbildung 3.3** Querschnitt zweier paralleler Leiterbahnen auf der selben Verdrahtungsebene über Substrat (ground plane). a) Verlauf der elektrischen Feldlinien. b) Kapazitätskomponenten zur Modellierung von Koppeleffekten.

Bei den von den Seitenflächen ausgehenden Kapazitäten ist zwischen Seitenflächen- (fringing capacitance) und Koppelkapazitäten zu unterscheiden. Während erstere von der Seitenfläche zum Substrat hin koppeln, wird mit den Koppelkapazitäten jener Anteil modelliert, der zu benachbarten Leiterbahnen hin auftritt [51], [92], [102].

$$C_{ges} = C_{Boden} + C_{Seiten} + C_{Koppel} \quad (\text{Gl. 3.1})$$

Die Ermittlung der Leitungswiderstände ist sehr viel einfacher. Im Gegensatz zur Berechnung der Kapazitäten, bei denen ein dreidimensionales Problem gelöst werden muß, kann die Ermittlung des Leitungswiderstandes als ein eindimensionales Problem betrachtet werden. Da im Layout bekannt ist, auf welchen Verdrahtungsebenen eine Leiterbahn verläuft, ist auch bekannt, welchen spezifischen Widerstand  $\rho_i$  das Leiterbahnmateriale auf der Verdrahtungsebene  $i$  hat und welche Querschnittsfläche  $A_i$  das Leitungssegment hat. Aus diesen Informationen läßt sich der Widerstand  $R_{Seg}$  eines Leitungssegments nach

$$R_{Seg} = \frac{\rho_i l_{Seg}}{A_i} \quad (\text{Gl. 3.2})$$

berechnen, wobei  $l_{seg}$  die Länge eines Leitungssegments auf der Verdrahtungsebene  $i$  darstellt. Der Gesamtwiderstand einer Leitung von einem Zell-Pin  $A$  zu einem Zell-Pin  $B$  ist schließlich die Summe der Widerstände aller Leiterbahnsegmente entlang des Abschnittes  $A-B$  zuzüglich der Widerstände aller Durchkontaktierungen (vias, plugs) zwischen den Verdrahtungsebenen. Die Widerstände der Vias sind durch die Technologie festgelegt, da die Entwurfsregeln die Höhe sowie die Abmessungen der Durchkontaktierungen fest vorgeben. Die einzige aus dem Layout zu ermittelnde Dimension ist die Leitungslänge bzw. die Segmentlängen.

Bei einer Zurückführung der aus dem Layout extrahierten Leitungskapazitäten und -widerstände (back-annotation), ergibt sich ein entscheidender Nachteil: Im Falle einer Resynthese der Schaltung, bei der sich die Struktur der Gatternetzliste ändert, werden die vorher zeitaufwendig gewonnenen Informationen wertlos. Die Anzahl der Netze, die Zellplatzierung und die Leitungslängen verändern sich. Die Leitungskapazitäten müssen erneut zeitaufwendig extrahiert werden.

### 3.4 Technische Einordnung der Arbeit

In der vorliegenden Arbeit wird die Genauigkeit von Verdrahtungslastmodellen untersucht. Es wird ein *prognostisches* Verdrahtungslastmodell entwickelt, welches rein auf Daten basiert, die einer Gatternetzliste entnommen werden können. Zur Verifikation wird dieses Modell mit Verfahren zur Leitungslängenabschätzung nach dem Stand der Technik verglichen. Außerdem wird der mittlere relative Fehler aller untersuchten Modelle ermittelt, indem mit gemessenen, tatsächlichen Leitungslängen aus dem Layout verglichen wird. Weiterhin wird der Einfluß von Verdrahtungslastkapazitäten auf die Genauigkeit bei der Verlustleistungsanalyse auf Logikebene untersucht. Zu diesem Zweck werden obige, auf Logikebene ermittelten Verdrahtungslastmodelle einer Verlustleistungsanalyse zugeführt.

Als weiteres Verdrahtungslastmodell wird in der vorliegenden Arbeit eine Methodik zur Berechnung der Leitungskapazitäten vorgeschlagen, wenn die Leitungslänge zwar nach einer Standardzellplatzierung nach dem halben Rechteckumfang ermittelt wird, jedoch eine genaue Prognose der verdrahtungsebenenspezifischen Kapazitäten berücksichtigt wird. Dennoch wird bei dieser Vorgehensweise auf eine zeitaufwendige Verdrahtung des Layouts verzichtet, sodaß ebenfalls ein Zeitvorteil gegenüber einer Extraktion der Leiterbahnen aus dem Layout erzielt wird. Zur Verifikation dieses Modelles werden die *berechneten* Leitungskapazitäten mit *aus dem Layout extrahierten* Leitungskapazitäten verglichen.

Die im Falle des prognostischen Verfahrens vorgeschlagene Methodik ist der Klasse der *verfahrensorientierten Modelle* zuzuordnen. Während bei den meisten in den vorherigen Abschnitten diskutierten Verfahren jedoch die totale Leitungslänge der Schaltung im Vordergrund steht, liegt der Fokus der vorliegenden Arbeit auf der Berechnung der

individuellen Leitungslängen. Ausgehend von den in [82] und [98] veröffentlichten Modellen zur Abschätzung der Leitungslänge einer Schaltung werden im Gegensatz dazu in dieser Arbeit die Leitungslängen für jedes einzelne Netz möglichst individuell noch vor der Layout-Synthese berechnet. Dazu werden neben den Informationen aus der Standardzell- und Technologiebibliothek, den Kenntnissen zu dem verwendeten Entwurfsablauf und der Struktur der Schaltung auf Logikebene, auch wahrscheinlichkeit-basierte Betrachtungen vorgenommen. Zur Ermittlung der Leitungskapazitäten wird dabei noch auf eine über alle Verdrahtungsebenen gemittelte Kapazität pro Längeneinheit zurückgegriffen.

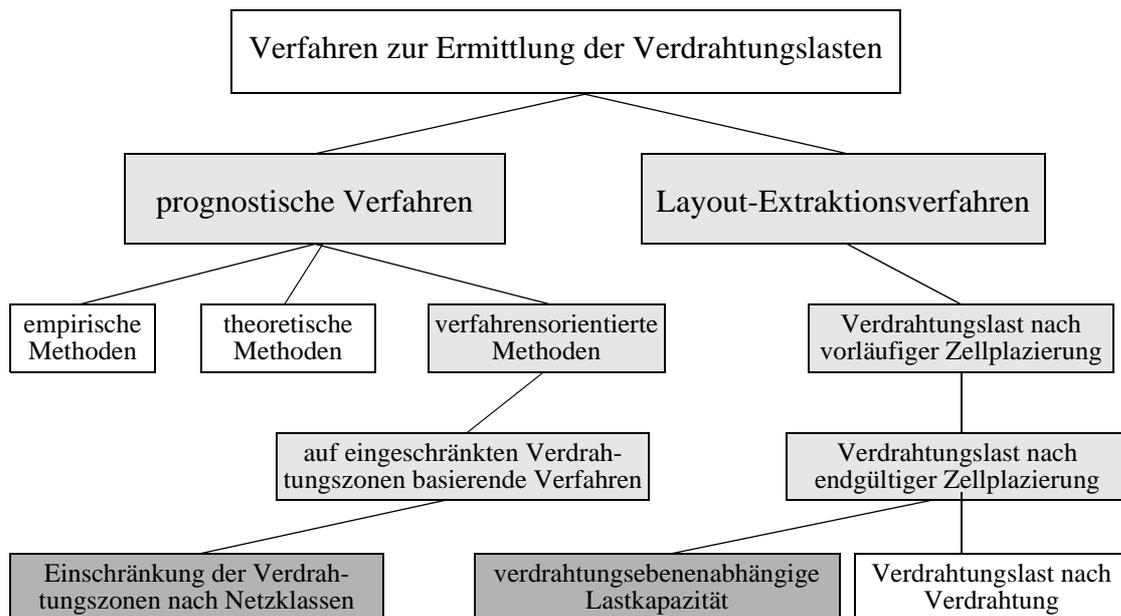
Im Falle des zweiten Verdrahtungslastmodelles steht die Berechnung und Verifikation der Leitungskapazitäten im Vordergrund. Bei dieser Methodik wird eine Platzierung der Standardzellen zugelassen. Im Unterschied zum Stand der Technik werden hier jedoch noch vor dem Routing verdrahtungsebenenspezifische Abhängigkeiten bei der Berechnung der Leitungskapazitäten berücksichtigt. Die so gewonnenen Ergebnisse sind nicht nur für eine Verlustleistungs- oder Timing-Analyse von Interesse sondern ermöglichen auch die genauere Berücksichtigung der Verdrahtungslasten bei Werkzeugen zur gleichzeitigen Logiksynthese und Standardzellplatzierung, um die Treiberstärken der Gatter zu optimieren. Darüber hinaus kann diese Art der genaueren Prognose der Leitungskapazitäten auch nach einem Global-Routing-Schritt während der Layout-Synthese angewendet werden, um ebenfalls die Treiberstärken der bereits platzierten Standardzellen anzupassen. Diese als "in-place optimisation" bekannte Vorgehensweise wird bei sehr zeitkritischen Schaltungen angewendet, um die Timing-Vorgaben der Schaltungsspezifikation zu erfüllen.

Die grau unterlegten Kästen in Abbildung 3.4 führen jeweils zu den in dieser Arbeit untersuchten bzw. entwickelten Verfahren am Ende des jeweiligen Pfades in dem abgebildeten Schema.

Der linke Zweig in Abbildung 3.4 beschreibt die prognostischen Verfahren, d.h. es wird eine Projektion auf die später im Layout vorherrschenden Gegebenheiten vorgenommen. Diese Verfahren basieren rein auf Informationen, die einer Gatternetzliste entnommen werden können. Als die drei markanten Unterscheidungsklassen sind empirische, theoretische und verfahrensorientierte Modelle zu nennen. Die in dieser Arbeit vorgeschlagene Methodik zur Leitungslängenabschätzung gehört zur Klasse der verfahrensorientierten Modelle und basiert auf eingeschränkten Verdrahtungszonen. Die Einschränkung der Verdrahtungszonen basiert unter anderem auf einer Klassifizierung der Netze, wie in Kapitel 4 noch gezeigt werden wird.

Der rechte Zweig in Abbildung 3.4 beschreibt die Layout-Extraktionsverfahren. Wie der Name bereits andeutet, werden bei diesen Verfahren einzelne Schritte oder eine vollständige Layout-Synthese zugelassen. Die in dieser Arbeit vorgeschlagene Methodik wurde nach einer endgültigen Platzierung der Standardzellen angewendet und verifiziert. Der Zweck dabei war lediglich, eine Längenabschätzung nach erfolgter Platzierung zu erhalten. Denkbar wäre auch eine Anwendung bereits nach einer *vorläufigen* Platzierung, da die gegen Ende eines Platzierungsvorganges statt findende *endgültige* bzw. *Feinpla-*

zierung zusätzliche, signifikante Rechenzeit kostet, sich jedoch nicht mehr gravierend auf die Leitungslängen auswirkt. Der letzte Schritt bei dieser Methodik ist schließlich die Berechnung der Leitungskapazitäten unter Berücksichtigung von verdrahtungsebenenabhängigen Eigenschaften der Leiterbahnen. Dies wird bisher von keinem anderen bekannten Verfahren nach dem Stand der Technik praktiziert [119].



**Abbildung 3.4** Einordnung der Verfahren zur Ermittlung der Verdrahtungslasten. Nach dem derzeitigen Stand der Technik werden verdrahtungsebenenspezifische Abhängigkeiten sowie Koppel- und Abschirmeffekte nur bei der Extraktion der Leitungskapazitäten aus dem vollständig verdrahteten Layout berücksichtigt. Bei allen prognostischen Verfahren stellt die Leitungslängenabschätzung das zentrale Problem dar.

### 3.5 Zusammenfassung und Schlußfolgerungen

Abschließend läßt sich festhalten, daß alle in Abschnitt 3.2.1 genannten *theoretischen* und *empirischen* Verfahren eine statistische Verteilung der Netzlänge ableiten. Daraus läßt sich gut eine durchschnittliche Leitungslänge und die Summe aller Leitungslängen (totale Leitungslänge - total wire length) für alle in einer Schaltung enthaltenen Netze ermitteln, jedoch keine individuelle Leitungslänge. Diese Erkenntnisse sind für eine Abschätzung der benötigten Verdrahtungsfläche vor der Layout-Synthese nützlich. Für eine Verlustleistungsanalyse, welche die Einflüsse der Verdrahtungslasten genauer

berücksichtigen soll, ist jedoch die Kenntnis der individuellen Netzkapazitäten und somit der individuellen Leitungslängen erforderlich. Die mit Hilfe der oben genannten Verfahren ermittelte *durchschnittliche* Leitungslänge ist nicht geeignet, einen Beitrag zur Erhöhung der Genauigkeit bei der Verlustleistungsanalyse auf Logikebene zu liefern.

Die beiden *verfahrensorientierten* Modelle in [23] und [98] hingegen werden entweder auf Schaltungen mit einer völligen oder zumindest teilweisen Zufallsplatzierung der Zellen angewendet. Eine Zufallsplatzierung beschreibt die tatsächlichen Verhältnisse in einem realen, also optimierten Schaltungs-Layout nur unzureichend. Die Verwendung einer Zweilagentechnologie in [23] entspricht nicht mehr dem aktuellen Stand der Technik. Das in [98] vorgestellte Verfahren zur Ermittlung der Netzlängen ist zum einen nur für kleine Schaltungen geeignet und zum anderen wird ähnlich wie bei den empirischen und theoretischen Verfahren nur eine durchschnittliche Leitungslänge der Netze ermittelt. Somit scheiden auch diese Verfahren zur Prognose der Verdrahtungslasten in modernen Technologien für eine Verlustleistungsanalyse vor dem Layout aus.

Das in [83] vorgestellte verfahrenorientierte Modell legt zwar eine optimierte Standardzellplatzierung zugrunde, allerdings ist es ebenfalls nur für eine Technologie mit zwei Verdrahtungsebenen entwickelt worden. Somit kann den speziellen Bedürfnissen einer Prognose der Leitungslängen von Schaltungen, die in modernen Mehrlagentechnologien ausgeführt sind, nicht Rechnung getragen werden. Weiterhin wurde bei diesem Verfahren zwar eine gute Abschätzung der totalen Leitungslänge erzielt, die individuellen Leitungslängen weisen jedoch sehr große relative Fehler auf, wie in Kapitel 4 noch gezeigt werden wird.

In [1] wird ein Verfahren vorgestellt, bei dem die Leitungslängen separat für jedes Netz abgeschätzt werden. Allerdings werden die Auswirkungen der mit diesem Modell erzielten Längenabschätzung auf die Qualität der Verlustleistungsanalyse nicht diskutiert.

Alle Verfahren zur Leitungslängenabschätzung außer [1], sind für Verdrahtungslastmodelle zur Verlustleistungsanalyse völlig ungeeignet, da entweder keine individuelle Längenabschätzung erzielt werden kann oder weil diese Verfahren für veraltete Zweilagentechnologien entwickelt wurden.

Verdrahtungslastmodelle für Logiksynthesewerkzeuge beschreiben vorwiegend den ungünstigsten Fall (worst case), der Leitungskapazität. Dies rührt daher, daß diese Modelle vorwiegend zur Prognose der Laufzeiten herangezogen werden. Sowohl die Längen als auch die Leitungskapazitäten sind mit inakzeptabel großen Fehlern behaftet (siehe Tabelle 7.2, Tabelle 7.3 und Tabelle 7.4). Somit ergeben sich für eine Verlustleistungsanalyse erhebliche Fehler, die allein durch eine mangelhafte Prognose der Leitungskapazitäten hervorgerufen werden (siehe Tabelle 2.3 sowie [120]).

Kundenspezifische Verdrahtungslastmodelle haben den Nachteil, daß sie auf aus dem Layout extrahierte Basisdaten zurückgehen. Entsteht jedoch aufgrund einer Resynthese oder größerer Veränderungen der Schaltung ein völlig neues Schaltungs-Layout, so wer-

den die vormals extrahierten Basisdaten wertlos. Eine erneute, zeitaufwendige Generierung der Daten muß erfolgen. In jedem Fall muß mindesten ein Trial-Layout erstellt werden. Als zeitgünstige Variante von Verdrahtungslastmodellen kommen diese für eine Verlustleistungsanalyse deshalb nicht in Frage.

Werden die Leitungslängen nach erfolgter Standardzellplatzierung abgeschätzt, wie bei Werkzeugen zur gleichzeitigen Logiksynthese und Standardzellplatzierung, so kann eine gute Längenabschätzung erzielt werden. Allerdings wird nach dem Stand der Technik nur eine mittlere Kapazität pro Längeneinheit zur Ermittlung der Leitungskapazitäten herangezogen. Tatsächlich sind die Kapazitäten pro Längeneinheit jedoch stark davon abhängig, auf welcher Verdrahtungsebene eine Leiterbahn verläuft. Hier besteht erheblicher Handlungsbedarf. Diesem Defizit der Klasse von Verdrahtungslastmodellen nach erfolgter Zellplatzierung muß dadurch begegnet werden, indem die später im Layout vorherrschenden Gegebenheiten besser berücksichtigt werden müssen.

Die nach einer vollständigen Layout-Synthese extrahierten Leitungskapazitäten weisen einen hohen Grad an Genauigkeit auf. Der Zeitaufwand ist allerdings enorm. Für die Verwendung der Leitungskapazitäten bei einer Verlustleistungsanalyse ergibt sich darüber hinaus das Problem, daß die Power-Analyse in einem möglichst frühen Entwurfsstadium erfolgen sollte. Extrahierte Leitungskapazitäten scheiden deshalb für die Evaluierung vieler Entwurfsziele aus. Schließlich verbleibt auch in diesem Fall, wie bei kundenspezifischen Verdrahtungslastmodellen sowie Verdrahtungslastmodellen nach erfolgter Zellplatzierung der erhebliche Nachteil, daß im Falle einer Resynthese der Schaltung alle zeitaufwendig extrahierten Daten wertlos werden.

## Kapitel 4

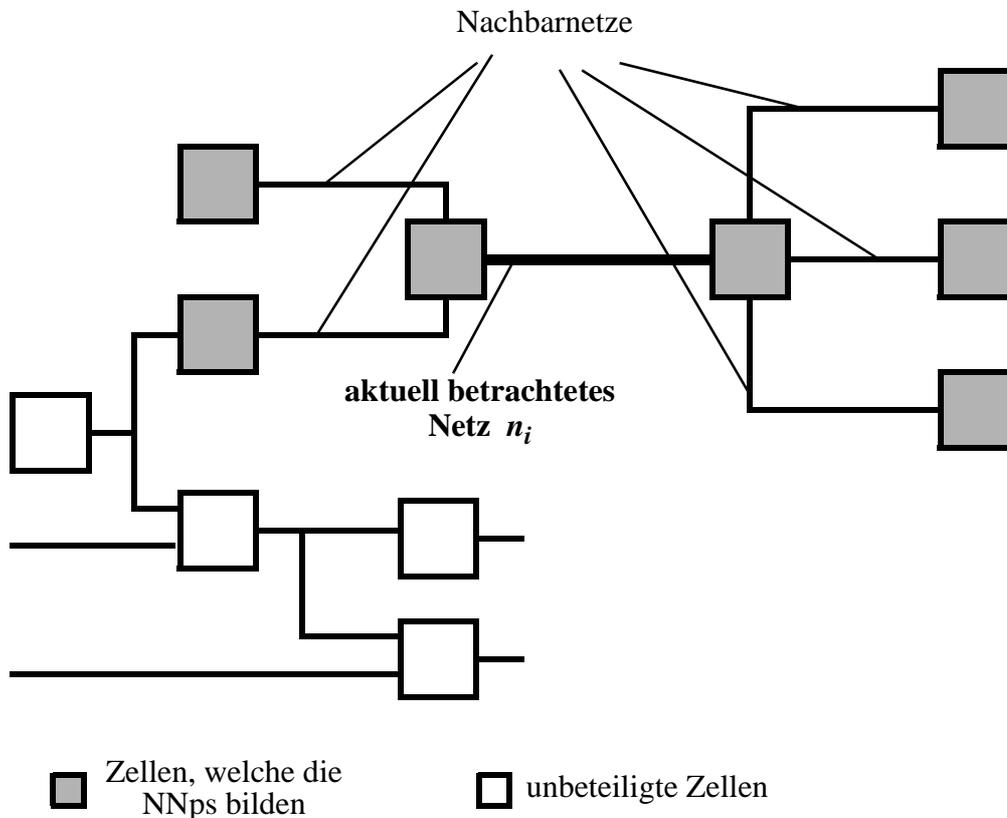
# Netzklassenspezifische Leitungslängenabschätzung

Um eine möglichst präzise Verlustleistungsanalyse vor der Layout-Synthese zu erreichen ist es erforderlich, bei der Prognose der Leiterbahnkapazitäten und damit auch bei der Vorhersage der *Leitungslängen*, einen möglichst hohen Grad an Genauigkeit zu erzielen. Diese Aufgabenstellung wird am besten durch eine Leitungslängenabschätzung bewältigt, die sich an den Verfahren zur Layout-Synthese sowie der Technologie orientiert, mit denen die integrierte Schaltung entworfen und gefertigt werden soll. Das im Folgenden vorgestellte Verfahren zur Leitungslängenabschätzung ist deshalb der Klasse der "procedural models", also den verfahrensorientierten Methoden zuzuordnen.

### 4.1 Das grundlegende Modell der Net Neighbourhood Populations

Während der Platzierungsoptimierung wird versucht, die Summe aller Netzlängen zu minimieren. Dabei wird das Ziel verfolgt, miteinander verschaltete Zellen möglichst nahe zueinander zu plazieren. Die Verbindungsnetze werden bei vielen Platzierungsverfahren wie Gummibänder modelliert, die miteinander verschaltete Zellen zueinander hin ziehen. Die optimale Platzierung ist erreicht, wenn die Zugkraft der Gummibänder im System nicht weiter verringert werden kann. In diesem Fall ist die totale Länge aller Gummibänder im System bzw. die totale Leitungslänge minimal geworden [87].

Von Pedram und Preas wurde eine rein auf Netzlisteninformationen basierende Bewertungsgröße eingeführt, mit deren Hilfe eine Pre-Layout-Leitungslängenabschätzung ermöglicht wird. Mit den als "Net Neighbourhood Populations" (*NMPs*) bezeichneten Netzlisteninformationen sollen die lokalen Einflüsse anderer Netze auf ein betrachtetes Netz berücksichtigt werden [83]. Insbesondere sollen die Konflikte eines Plazierers modelliert werden, der versucht, die über ein gemeinsames Netz miteinander verschalteten Zellen nahe zueinander zu plazieren, während die anderen an diese Zellen



**Abbildung 4.1** Zwei-Pin-Netz mit der Net Neighbourhood Population von  $NNP = 7$ .

angeschlossenen Netze (Gummibänder) in andere Richtungen ziehen.

Unter Net Neighbourhood Populations versteht man die Anzahl von unterschiedlichen Zellen in der Nachbarschaft eines Netzes. Zur Nachbarschaft eines Netzes gehören alle Standardzellen und Ein-/ Ausgangszellen (IO-Zellen bzw. IO-Pads), die an diesen Netzknoten angeschlossen sind, sowie die wiederum an diese Zellen angeschlossenen Zellen und IOs. Die Net Neighbourhood Population  $NNP$  eines Netzes  $n_i$  mit  $d$  Pins ergibt sich zu

$$NNP(d) = N_0 + N_1 \quad . \quad (\text{Gl. 4.1})$$

$N_0$  ist die Anzahl der Zellen im Abstand 0 zu dem Netz (unmittelbar an das betrachtete Netz  $n_i$  angeschlossene Zellen) und  $N_1$  ist die Anzahl der im Abstand 1 zu dem betrachteten Netz befindlichen Zellen (Nachbarzellen, die über Netze mit den Zellen  $N_0$  verbunden sind). Dem Modell liegt die Vorstellung zugrunde, daß die Länge eines Netzes mit der Anzahl der Net Neighbourhood Populations ansteigt. Je höher die  $NNP$  eines Netzes

ist, um so stärker ziehen es die angeschlossenen Zellen und deren Nachbarzellen auseinander und um so länger ist das Netz im späteren Layout. Standardzellen und Ein-/ Ausgangszellen werden dabei als gleichwertig angenommen, d.h. der Einfluß dieser unterschiedlichen Zelltypen auf die Leitungslänge wird als gleich groß angenommen.

Dieses Modell kann über weitere Abstände zum betrachteten Netz ausgedehnt werden, d.h. es können die wiederum mit den Zellen im Abstand 1 verbundenen Zellen berücksichtigt werden. Unter Inkaufnahme zusätzlicher Rechenzeit kann der Abstand zum betrachteten Netz theoretisch beliebig ausgedehnt werden. In [47] werden weitere Abstände zum betrachteten Netz, wie oben erläutert, berücksichtigt mit dem Ziel, die Leitungslängenverteilung der gesamten Schaltung genauer zu ermitteln. Da dies mit beträchtlichem Rechenzeitaufwand verbunden ist und die Genauigkeit der Leitungslängenabschätzung nur geringfügig verbessert, wird bei dem in dieser Arbeit entwickelten Ansatz darauf verzichtet.

## 4.2 Netzlängenabschätzung bei Deep-Sub-Micron-Technologien

Mit der fortschreitenden Miniaturisierung der Transistorstrukturen und den gleichzeitig immer größer werdenden Schaltungskomplexitäten ging ein stetig steigender Flächenbedarf der Chip-Verdrahtung einher. Die Erscheinung, daß eine Schaltung nur noch verdrahtet werden kann, wenn ein Flächenzuschlag gegeben wird, der größer ist als die reine Standardzellenfläche, wird gemeinhin als *Verdrahtungsflächenproblem* bezeichnet (Gesamtfläche mehr als doppelt so groß wie reine Zellfläche). Bis etwa 1995 standen für die Herstellung integrierter Digitalschaltungen in der Regel lediglich Technologien mit maximal drei Verdrahtungsebenen zur Verfügung. Gleichzeitig mit den Deep-Sub-Micron-Strukturgrößen (gezeichnete Gate-Länge der MOS-Transistoren  $< 0,5 \mu\text{m}$ ) wurden nun Technologien mit mehr als fünf Verdrahtungsebenen eingeführt, um dem Verdrahtungsflächenproblem zu begegnen. Diese standen etwa ab Ende 1996/ Anfang 1997 in zuverlässigen Fertigungsprozessen zur Verfügung.

Net Neighbourhood Populations (*NNPs*) wurden ursprünglich für die Leitungslängenabschätzung von Schaltungen in Technologien mit zwei Verdrahtungsebenen vorgeschlagen. Die Begriffsklärung und die grundsätzliche Idee der Modellierung des Verhaltens eines Standardzellplazierers mit *NNPs* wurde in Abschnitt 4.1 erläutert. In der vorliegenden Arbeit hingegen wurden mehrere Verbesserungen und Erweiterungen an der grundsätzlichen Idee der Netzlängenabschätzung mit Net Neighbourhood Populations vorgenommen. Weiterhin wurde für 2-Pin-Netze die Locally Clustering Method aus [1] angewendet. Die vorgenannten Methoden sowie grundsätzliche Überlegungen aus [98] und zu Mehrlagenverdrahtung fließen an *verschiedenen* Stellen der ursprünglichen Verfahren ein. Deshalb sollen an dieser Stelle zusammengefaßt in sieben Punkten die Unterschiede und Verbesserungen herausgestellt werden, die zwischen dem ursprünglichen Verfahren zur Netzlängenabschätzung und der in dieser Arbeit vorgeschlagenen Methodik bestehen.

## 1. Erweiterung für Mehrlagentechnologien

In [82] und [83] wurde eine Leitungslängenabschätzung für Technologien mit zwei Verdrahtungsebenen vorgeschlagen. In der vorliegenden Arbeit hingegen wurde das ursprüngliche Verfahren dahingehend weiter entwickelt, daß nun den völlig veränderten Rahmenbedingungen moderner Technologien mit Mehrlagenverdrahtung Rechnung getragen wird. Bei Zweilagentechnologien sind Verdrahtungskanäle zwischen den horizontal verlaufenden Standardzellreihen erforderlich. Dadurch werden die als Verdrahtungshindernisse wirkenden Zellanschlüsse (Zell-Pins) in horizontaler Richtung umgangen. Um Standardzellreihen wiederum in vertikaler Richtung durchdringen zu können, müssen die Zellreihen unterbrochen und etwas auseinander geschoben werden, um eine Lücke zur Durchkontaktierung zu erhalten (feed-through).

Bei modernen Mehrlagentechnologien wird auf Kanäle und Feed-Throughs verzichtet, da auf den höher liegenden Verdrahtungsebenen direkt über die Standardzellen hinweg verdrahtet werden kann (over the cells routing), ohne mit den Zellanschlüssen auf den unteren Ebenen zu kollidieren. Allerdings können die Ebenen nicht vollständig zur Verlegung von Leiterbahnen ausgenutzt werden, da Blockaden aufgrund von Durchkontaktierungen von darunter und darüber liegenden Ebenen entstehen. Die untersten Ebenen sind zudem mit den Zellanschlüssen belegt. Falls es die Schaltungstopologie erfordert, kann deshalb zusätzlich zur reinen Zellfläche Verdrahtungsfläche geschaffen werden, indem eine aufgelockerte Zellplatzierung durchgeführt wird. Die Zellen stoßen nicht an allen Stellen aneinander. Der Reihenausnutzungsfaktor (row utilization) ist dabei ein Index, der umgekehrt proportional zur zusätzlichen Verdrahtungsfläche ist

$$RowUtil = \frac{\sum b_{Zellen}}{\sum b_{Reihen}} \leq 1 \quad . \quad (Gl. 4.2)$$

In Gl. 4.2 wird die reine Zellfläche der Schaltung durch die Summe der Breiten der Standardzellen  $b_{Zellen}$  der Schaltung reflektiert. Da die Höhe der Zellen als Charakteristikum einer Standardzellentechnologie fest steht, kann aus der Zellbreite die reine Zellfläche einfach abgeleitet werden. Die Summe der Breiten der Standardzellreihen  $b_{Reihen}$  wiederum spiegelt die *effektive Fläche* wieder. Die effektive Fläche ergibt sich aus der reinen Zellfläche *zuzüglich zusätzlicher Verdrahtungsfläche*. Der Reihenausnutzungsfaktor wäre nur dann 1, wenn die Zellreihen völlig mit Standardzellen aufgefüllt wären, ansonsten  $< 1$ . Die Erweiterungen zur Modellierung von Mehrlagentechnologien sind hauptsächlich in Abschnitt 4.3 dargestellt.

## 2. Individuelle Anzahl der Zellen in der Nachbarschaft eines Netzes

In [82] und [83] wird für alle Netze mit selber Pin-Zahl  $d$  die *durchschnittliche* NNP-Zahl  $NNP(d)$  ermittelt. Bei der Anwendung von NNPs zur Ermittlung der Netzlängen, wie in obigen Veröffentlichungen vorgeschlagen ergibt sich dementsprechend für alle Netze mit selber Pin-Zahl die selbe (durchschnittliche) Netzlänge.

In der hier vorliegenden Arbeit hingegen werden die Anzahl der Zellen im Abstand 0 zu dem betrachteten Netz (= Pin-Zahl des Netzes) und die Anzahl der Zellen im Abstand 1 (siehe Gl. 4.1) als separate Informationen gewonnen und weiterverarbeitet. Weiterhin werden diese Informationen für jedes Netz individuell ausgewertet. Auf diese Weise wird eine individuelle Längenabschätzung für jedes Netz erzielt (Abschnitt 4.5).

## 3. Ermittlung individueller Netzlängen

Bei der Längenabschätzung mit Net Neighbourhood Populations wird die Netzlänge bei kurzen Netzen deutlich überschätzt und bei langen Netzen häufig unterschätzt. Da mit NNPs das Verhalten eines Zellplazierers prognostiziert werden sollte, würde dieser Modellierungsansatz einen Zellplazierer mit einem Optimierungsgrad beschreiben, der beim Entwurf von integrierten Schaltungen praktisch nicht eingesetzt wird. Bei dem oben genannten Verfahren stand die Abschätzung der totalen Leitungslänge einer Schaltung im Vordergrund, um daraus auf den Flächenbedarf im späteren Layout schließen zu können. Dabei wurde für die untersuchten Schaltungen die totale Leitungslänge mit einer Genauigkeit von etwa 10%, bezogen auf das spätere Layout, prognostiziert. Dieser hohe Grad an Genauigkeit bei der totalen Leitungslänge konnte jedoch nur erzielt werden, weil sich bei dieser Fehlerrechnung die absoluten Fehler der einzelnen Leitungslängen kompensieren, wenn die einzelnen Netzlängen zur totalen Leitungslänge aufsummiert werden. In bezug auf die individuellen Leitungslängen liegen jedoch relative Fehler im Bereich von mehreren Hundert bis zu mehreren Tausend Prozent vor. Diese Genauigkeit mit dem Ziel einer möglichst genauen Abschätzung der individuellen Netzlängen zum Zwecke einer genauen Verlustleistungsanalyse ist für ein Verdrahtungslastmodell unbefriedigend.

Im Gegensatz dazu steht in der vorliegenden Arbeit die individuelle Netzlängenabschätzung im Vordergrund. Die in den folgenden Abschnitten angegebenen Fehler in Prozent wurden wie folgt ermittelt: Für jedes Netz wird der Betrag des relativen Fehlers in Prozent ermittelt, der sich aus der berechneten, also prognostizierten Leitungslänge, bezogen auf die aus dem Layout extrahierte Leitungslänge ergibt. Aus den Beträgen der einzelnen relativen Fehler aller in einer Schaltung enthaltenen Netze wird anschließend der Mittelwert gebildet. Auf diese Weise kommt die Qualität der Längenabschätzung für das einzelne Netz stärker zum Ausdruck; insbesondere entfällt eine Kompensation von unter- und

überschätzten Netzlängen, wie dies bei der Darstellung des Fehlers der totalen Leitungslänge zu beobachten ist.

#### **4. Klassifizierung der Netze und mögliche Verdrahtungsräume**

Die Vorgehensweise in [83], mögliche Verdrahtungszonen eines Netzes mit NNPs einzuschränken, erscheint als willkürlich.

In der vorliegenden Arbeit wird ein anderer Weg beschritten. Netze werden zunächst klassifiziert, da eine Korrelation zwischen den im Folgenden vorgeschlagenen Netzklassen, ihrer Länge und der möglichen Verdrahtungsräume besteht. Verdrahtungsräume sind abhängig von der separat verarbeiteten Anzahl der IO-Zellen/ -Pads im Abstand 0, der Anzahl der Standardzellen im Abstand 0, der Anzahl der IO-Zellen/ -Pads im Abstand 1 und der Anzahl der Standardzellen im Abstand 1. Mit Hilfe der Netzklasse und den vier oben genannten Bewertungskriterien werden Funktionen zur Einschränkung der Verdrahtungszonen hergeleitet (Abschnitte 4.6.1 und 4.6.2).

Während bei allen aus der Literatur bekannten Arbeiten mit Net Neighbourhood Populations alle Netzlängen nach dem selben Modell abgeschätzt werden, wird hier folgende Klassifizierung vorgenommen:

#### **5. Schaltungsinterne Netze**

Netze innerhalb der Schaltung (die nicht mit Ein- oder Ausgängen verbunden sind):

a) Zwei-Pin-Netze: In der überwiegenden Anzahl der Fälle kommen zwei Zellen, die mit einem Zwei-Pin-Netz miteinander verbunden sind in der selben Standardzellreihe unmittelbar nebeneinander oder in zwei übereinander liegenden Standardzellreihen unmittelbar übereinander zum liegen [1]. Weil integrierte Schaltungen einen sehr hohen Anteil an Netzen mit zwei Pins haben, wird in dieser Arbeit besonderer Wert auf deren Längenabschätzung gelegt [100].

b) Netze mit mehr als zwei Pins: Die Zellen bzw. Netz-Pins kommen so zum liegen, daß sich zwischen ihnen Standardzellen oder Reihen befinden, die nicht an das betrachtete Netz angeschlossen sind.

Beiträge zu den Betrachtungen in a) und b) sind in Abschnitt 4.6.1 zu finden.

#### **6. Ein-/ Ausgangsnetze**

Netze die mit Ein- oder Ausgängen der Schaltung verbunden sind:

Bei einer konventionellen Layout-Synthese sind Ein-/ Ausgangszellen bzw. -Pads am Rande eines Layout-Makroblocks angeordnet. Sie unterliegen damit nicht der selben Platzierungsoptimierung wie Standardzellen.

a) Ein-/ Ausgangsnetze mit bis zu 6 Pins zeigen eine Abhängigkeit sowohl von der Netz-Pin-Zahl (IO-Zellen/ -Pads und Standardzellen im Abstand 0) als

auch von der Anzahl der Zellen im Abstand 1 zu einem betrachteten IO-Netz.  
b) Die Längen von IO-Netzen mit mehr als 6 Pins zeigen lediglich eine Korrelation mit der Netz-Pin-Zahl und keine Abhängigkeit von Zellen im Abstand 1 zu einem betrachteten Netz.  
Die Längenabschätzung von Ein-/ Ausgangsnetzen ist in Abschnitt 4.6.2 dargestellt.

### 7. Vertikale und horizontale Netzlängenabschnitte

Während bei den aus der Literatur bekannten Arbeiten zur Netzlängenabschätzung mit *NNPs* die Summe aller Leitungslängen in horizontaler und vertikaler Richtung betrachtet wird, werden in der vorliegenden Arbeit die individuellen Längenabschnitte eines Netzes in vertikaler und horizontaler Richtung separat ermittelt und bei Bedarf weiter verarbeitet. Von Bedeutung ist dies insbesondere, weil die bevorzugte Verdrahtungsrichtung von Leiterbahnen auf benachbarten Verdrahtungsebenen jeweils orthogonal angeordnet ist [117]. Diese Zusatzinformationen können als Eingangsdaten für die in Kapitel 5 beschriebene Zuordnung von Leiterbahnen zu Verdrahtungsebenen dienen. In Kapitel 5 wird erläutert, daß die Kapazität pro Längeneinheit einer Leiterbahn stark davon abhängt, auf welcher Verdrahtungsebene sie verlegt wird. Die Zuordnung von Leiterbahnen zu Verdrahtungsebenen wiederum ermöglicht eine genaue Prädiktion der Leiterbahnkapazitäten unter Einbeziehung der verdrahtungsebenenabhängigen Kapazitäten pro Längeneinheit (Abschnitte 4.4.1 und 4.4.2).

## 4.3 Abstraktion des Schaltungs-Layouts als Gitter

Die Länge eines Netzes hängt bekanntermaßen von der Platzierung der Zellen bzw. von der Platzierung der Zell-Pins ab, die über ein bestimmtes Netz verbunden sind. Bei den hier durchgeführten Betrachtungen wird zunächst vorausgesetzt, daß ein Platzierungsalgorithmus zum Einsatz kommt, der die Summe aller Netzlängen (totale Leitungslänge) minimiert. Diese Vorgehensweise wird sowohl von kommerziell erhältlichen, industriellen Tools als auch von akademischen Algorithmen praktiziert [14], [100]. Daneben wird in Abschnitt 4.7.1 noch auf eine zeit- oder verlustleistungsoptimierte Zellplatzierung eingegangen werden.

Als Eingangsinformationen für eine Leitungslängenabschätzung unter Anwendung der Kombinatorik auf mögliche Verdrahtungszonen dienen lediglich eine Gatternetzliste und wenige, technologieabhängige Informationen zu der verwendeten Standardzellbibliothek sowie der Technologie zur Fertigung der integrierten Halbleiterschaltung. Aus der Netzliste kann die Gesamtzahl aller verwendeten Zellen, der Typus jeder einzelnen Zelle (UND, NAND, Inverter, Multiplexer usw.) und deren Verschaltung entnommen

werden. Entsprechend der Vorgehensweise bei der Erstellung eines Schaltungs-Layouts mit einer Standardzelltechnologie werden Zellen in Reihen angeordnet.

Die Standardzellreihen befinden sich im sogenannten Kernbereich (core). Außen um den Kern herum sind die Ein-/ Ausgangszellen oder Ein-/ Ausgangs-Pads platziert. Während die Ein-/ Ausgangszellen neben den Treibertransistoren auch ESD-Dioden enthalten, handelt es sich bei den IO-Pads lediglich um rechteckige, metallisierte Flächen. Erstere sind am Rande des Layouts eines *gesamten Chips* platziert. IO-Pads hingegen sind innerhalb der *Layout-Partitionen* (Unterhierarchien des Chip-Layouts) rundherum um den Kern der jeweiligen Layout-Partition platziert. Die Platzierung von Ein-/ Ausgängen verteilt über den Kernbereich, wie dies bei Schaltungen in  $\mu$ BGA-Gehäusen möglich ist, soll hier zunächst nicht betrachtet werden sondern wird erst in Abschnitt 4.7.2 behandelt.

Bei der Flurplanung (floorplanning) wird die Strategie zur flächenmäßigen Aufteilung der gesamten integrierten Schaltung fest gelegt. Die gewählte Strategie ergibt sich aus der Spezifikation der Schaltung, aus den an die Schaltung gestellten Anforderungen bezüglich Geschwindigkeit oder Verlustleistung und nicht zuletzt aus dem Zeitplan eines Projektes. Dieser allererste Layout-Schritt erfolgt meist parallel zu anderen Entwurfsaufgaben. Die manuelle Platzierung der Makroblöcke und deren Form ist deshalb in der Regel bereits als Eingangsinformation vor der eigentlichen Layout-Synthese vorhanden [41], [87], [103].

Zu Beginn einer Layout-Synthese wird die Form einer Layout-Partition entsprechend der Vorgaben des Floorplans festgesetzt. Aus dem Verhältnis von Höhe zu Breite (aspect ratio) ergibt sich demnach, wieviele Zellreihen  $r$  übereinander angelegt werden [17]. Falls der Umfang der reinen Standardzellfläche kleiner ist als die Summe der Breiten aller Ein-/ Ausgangs-Pads zuzüglich der durch die Entwurfsregeln vorgegebene einzuhaltende Mindestabstand, liegt ein Sonderfall vor: Die Schaltung ist "pad limited". In diesem Fall muß der Abstand zwischen der reinen Zellfläche und dem IO-Ring bei der Berechnung der IO-Netzlänge zusätzlich berücksichtigt werden. Darauf wird in Abschnitt 4.6.2 noch eingegangen werden.

Da obige Informationen bereits vor dem Layout fest stehen, werden diese zur Ermittlung der Pre-Layout-Leitungslängen genutzt. Aus der Netzliste wird die durchschnittliche Standardzellbreite ermittelt. Mit Hilfe der genannten Informationen kann ein Layout-Block mit den darin platzierten Standardzellen als ein Gitter abstrahiert werden.

In horizontaler Richtung sind die äquidistanten Gitterpunkte durch die *effektive Zellbreite*  $\bar{b}_{eff}$  fest gelegt und in vertikaler Richtung durch die *Höhe der Standardzellreihen*  $h_{Zellen}$  (= Höhe der Zellen). Die effektive Zellbreite ergibt sich zu

$$\bar{b}_{eff} = \bar{b}_{Zellen} + \bar{b}_{Verdr} \quad . \quad (\text{Gl. 4.3})$$

In Gl. 4.3 entspricht die durchschnittliche Standardzellbreite  $\bar{b}_{Zellen}$  der Summe der Breiten aller in der Schaltung enthaltenen Standardzellen, dividiert durch die Anzahl der

Standardzellen. Die Fläche von Ein-/ Ausgangszellen darf an dieser Stelle nicht in die durchschnittliche Zellbreite  $\bar{b}_{Zellen}$  eingehen. Mit Hilfe der *durchschnittlichen benötigten Verdrahtungsbreite*  $\bar{b}_{Verdr}$  wird ein Flächenzuschlag modelliert, falls aufgrund der Topologie der Netzliste zusätzliche Verdrahtungsfläche erforderlich sein sollte. Auf diese Weise ergibt sich eine homogen verteilte, zusätzliche Verdrahtungsfläche [14], [117]. Bei Technologien mit mehr als drei Verdrahtungsebenen enthält das Schaltungs-Layout in der Regel keine Verdrahtungskanäle. Die Zellreihen liegen unmittelbar übereinander - ohne dazwischen liegenden Abstand. Spezielle Layouts, die trotz der Verwendung von mehr als drei Verdrahtungsebenen Verdrahtungskanäle beinhalten, waren nicht Gegenstand dieser Arbeit. Da sich jeweils am unteren und oberen Rand der Zellreihen die Stromversorgungsleitungen (power rails) befinden, wird jede zweite Zellreihe gespiegelt (row flip). Auf diese Weise werden Kurzschlüsse zwischen  $V_{DD}$  und Masse zweier aneinander stoßender Zellreihen verhindert. Zudem ergibt sich als weiterer Vorteil, daß die Breite der Stromversorgungsleitungen verdoppelt und damit deren Widerstand verringert wird. Folglich verringert sich der Spannungsabfall auf den Stromversorgungsleitungen entlang der Zellreihen. Dies ist dann von Vorteil, wenn kurzzeitige Verbrauchsspitzen auf den Stromversorgungsleitungen auftreten.

Die Maschen des zu einem Gitter abstrahierten Layouts entsprechen deshalb in vertikaler Richtung exakt der Höhe der Standardzellen  $h_{Zellen}$ . Da die Höhe der Standardzellen meist ungleich der effektiven Breite  $\bar{b}_{eff}$  ist, ergibt sich häufig ein Gitter mit rechteckigen Maschen. Die gesamte Layout-Fläche wird modelliert als ein Gitter mit der Anzahl von Reihen  $r$  in vertikaler Richtung und der durchschnittlichen Anzahl von Zellen pro Reihe  $z$  in horizontaler Richtung [17], [31].

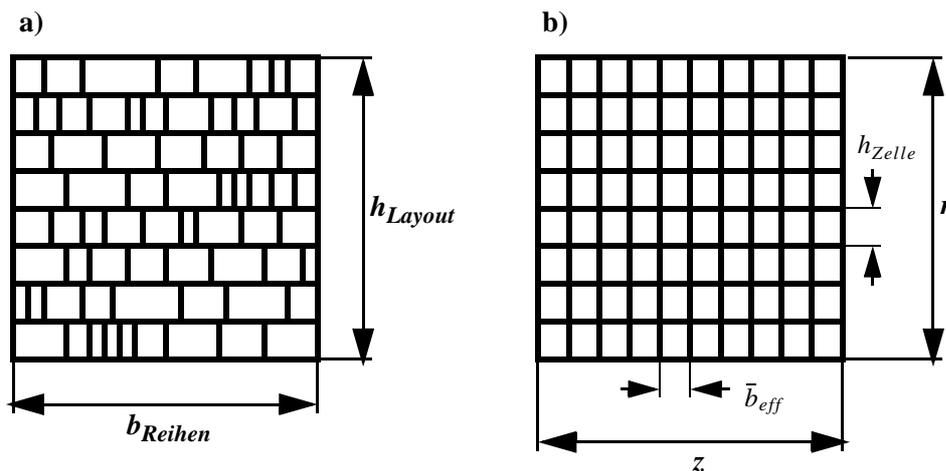


Abbildung 4.2 a) Reales Layout mit platzierten Standardzellen.  
b) Abstraktion eines Schaltungs-Layouts als Gitter.

Die in den folgenden Abschnitten dieser Arbeit ermittelten Netzlängen in horizontaler und vertikaler Richtung sind zunächst ganzzahlige Vielfache von Gittermaschen. Die Umrechnung in Mikrometer erfolgt anschließend durch Multiplikation der diskreten Werte mit den tatsächlichen Abmessungen einer Gittermasche in Mikrometern.

## 4.4 Wahrscheinlichkeitsbasierte Netzlängenabschätzung

### 4.4.1 Längenanteil eines Netzes in horizontaler Richtung

Bei allen halbkundenspezifischen Entwurfsverfahren verlaufen Leiterbahnen rechtwinklig und abschnittsweise in horizontaler und vertikaler Richtung. Betrachtet werde nun ein Netz mit  $d$  Zell-Pins, welches sich auf dem Hauptgitter der Größe  $z \cdot r$  innerhalb eines Untergitters mit den Abmessungen  $x \cdot y$  ausbreitet. Dieses Untergitter kann als Pendant zu dem Rechteck betrachtet werden, welches viele Platzierungsalgorithmen zur Abschätzung der Leitungslänge nach dem halben Rechteckumfang verwenden. Die Abmessungen eines Untergitters stellen gleichzeitig eine Obergrenze der Netzlänge dar, die jedoch noch davon abhängig ist, wie die Netz-Pins auf die Zellreihen verteilt sind und ob sich zwischen den Pins in vertikaler Richtung leere Zellreihen oder in horizontaler Richtung leere Gittermaschen befinden.

Die durchschnittliche Länge eines Netzes in horizontaler Richtung innerhalb eines Untergitters läßt sich wie folgt berechnen:

$$HorNetLen(d) = \frac{\sum_{y=k_1}^{k_2} W(x, y) \cdot HorLenInSub(d, x, y)}{\sum_{y=k_1}^{k_2} W(x, y)} \quad . \quad (\text{Gl. 4.4})$$

Im Laufe der Zellplatzierung wird der halbe Rechteckumfang minimiert und die  $d$  Pins an einem Netzknoten sind innerhalb des Rechteckes bzw. Untergitters  $x \cdot y$  verteilt. Der Grad der Platzierungsoptimierung wird deshalb in Gl. 4.4 mit dem Quotienten  $W(x, y)$  ausgedrückt:

$$W(x, y) = \frac{(z - x + 1) \cdot (r - y + 1)}{x \cdot \bar{b}_{eff} + y \cdot h_{Zellen}} \quad . \quad (\text{Gl. 4.5})$$

Der Zähler des Quotienten  $W(x, y)$  stellt die Anzahl aller möglichen Untergitter der Größe  $x \cdot y$  in dem Hauptgitter der Größe  $z \cdot r$  dar. Der Nenner hingegen gibt den halben Rechteckumfang eines Untergitters der Größe  $x \cdot y$  an. Die effektive Breite der Zellen in der Netzliste ist in Gl. 4.5 wieder mit  $\bar{b}_{eff}$  bezeichnet und die Höhe der Standardzellen mit  $h_{Zellen}$ .

Die Anzahl der möglichen Untergitter sowie die möglichen Abmessungen der Untergitter werden für jedes Netz individuell in Abhängigkeit von der Netz-Pin-Zahl, der Anzahl der Zellen im Abstand 1 und der Klasse des Netzes ermittelt. Im Detail wird dies in den Abschnitten 4.6.1 und 4.6.2 erläutert. An dieser Stelle soll zunächst nur festgehalten werden, daß mehrere mögliche Untergitter bzw. Verdrahtungszonen für ein Netz existieren und daß die Summationsgrenzen  $k_1$  und  $k_2$  in Gl. 4.4 die möglichen Abmessungen eines Untergitters in vertikaler Richtung limitieren.

In Gl. 4.4 stellt  $HorLenInSub(d, x, y)$  die Länge eines Netzes in horizontaler Richtung innerhalb des Untergitters  $x \cdot y$  dar. Im Zähler von Gl. 4.4 wird über das Produkt aus dem Quotienten  $W(x, y)$  und die horizontale Länge aller möglichen Untergitter aufsummiert. Die horizontale Länge eines Untergitters ergibt sich deshalb aus

$$HorLenInSub(d, x, y) = \sum_{i=1}^{Min(d,y)} \left(\frac{1}{y}\right)^d \cdot \binom{y}{i} \cdot A(i, d) \quad . \quad (\text{Gl. 4.6})$$

Der erste Term des Produktes stellt die Wahrscheinlichkeit dar, mit der  $d$  Netz-Pins auf  $y$  Standardzellreihen plaziert werden. Die Anzahl der Möglichkeiten,  $i$  Zellreihen aus  $y$  Zellreihen auszuwählen ist durch  $\binom{y}{i}$  gegeben. Mit  $A(i, d)$  ist schließlich noch der Längenbeitrag in horizontaler Richtung gegeben, den ein Netz mit  $d$  Pins leistet, welches sich über  $i$  Zellreihen erstreckt. Dabei wird in Gl. 4.6 über alle zulässigen Untergitter aufsummiert. Die obere Grenze für  $i$  ist maximal gleich der Anzahl der Pins  $d$  des Netzes. Falls die Anzahl der Netz-Pins  $d$  jedoch größer sein sollte als die Anzahl der Standardzellreihen  $y$  in dem Untergitter, so ist die Obergrenze für  $i = y$ .

Der Längenbeitrag in horizontaler Richtung  $A(i, d)$ , den ein Netz mit  $d$  Pins leistet, welches sich über  $i$  Zellreihen erstreckt wird nun aus

$$A(i, d) = \sum_{conf} A_1(i, d, conf) \cdot A_2(i, d, conf) \cdot ConfLen(i, x, conf) \quad (\text{Gl. 4.7})$$

berechnet.

Um  $A(i, d)$  berechnen zu können, müssen zunächst alle erlaubten Konfigurationen ermittelt werden, die  $d$  Pins einnehmen können, wenn sie auf  $i$  Standardzellreihen verteilt werden. Dazu löst man folgende Integer-Gleichung:

$$\sum_{j=1}^i x_j = d \quad \text{wobei} \quad 1 \leq x_j \leq x_{max} \quad . \quad (\text{Gl. 4.8})$$

Als Ergebnis obiger Gleichung erhält man eine Liste von unterscheidbaren Pin-Konfigurationen. Eine Pin-Konfiguration beschreibt die Anzahl von Pins, die jeweils einer Standardzellreihe innerhalb einer Gruppe von Zellreihen zugeordnet werden. Unterscheidbar bedeutet, daß von mehreren Konfigurationen, welche die selben Zuordnungen von Pins zu den Zellreihen beschreiben, nur eine berücksichtigt wird. In diesen Fällen ist nur die Reihenfolge der Zellreihen vertauscht. Zur Verdeutlichung soll folgendes Beispiel dienen: Ein betrachtetes Untergitter habe die Abmessungen  $x \cdot y$  und die Bedingungen für eine Pin-Konfiguration seien  $i = 3$ ,  $d = 6$ ,  $d < x$  und  $i < y$ . Aus der Bedingung  $i = 3$  ergibt sich, daß in vertikaler Richtung stets  $i$  Zellreihen besetzt sind, wobei aufgrund der Bedingung  $i < y$  auch nichtbesetzte Zellreihen zwischen Pins liegen können. Als mögliche Pin-Konfigurationen für sechs Pins, die sich in drei Zellreihen befinden ergeben sich  $(4, 1, 1)$ ,  $(3, 2, 1)$  und  $(2, 2, 2)$ . Wegen der oben vorausgesetzten Unterscheidbarkeit der Pin-Konfigurationen entfallen dann die Fälle  $(1, 4, 1)$  und  $(1, 1, 4)$  sowie  $(2, 3, 1)$  und  $(1, 2, 3)$ , da diese Fälle bereits durch die erstgenannten Pin-Konfigurationen abgedeckt sind. Für die im Beispiel genannten Pin-Konfigurationen gibt  $i$  die Anzahl der Stellen (getrennt durch Komma) an und der Zahlenwert einer Stelle gibt die Anzahl der in einer Reihe befindlichen Pins an. Die Summe aller Zahlenwerte ist gleich der Anzahl der Pins.

Für jede Pin-Konfiguration muß nun die Anzahl der möglichen, unterscheidbaren Zellreihenanordnungen  $A_1(i, d, conf)$  berücksichtigt werden, d.h. es werden unterscheidbare Fälle von Standardzellreihenanordnungen ermittelt:

$$A_1(i, d, conf) = \prod_{k=0}^{d-1} \left( i - \sum_{j=1}^k StdZellReihen[j] \right) = \frac{i!}{\prod_{k=1}^d (StdZellReihen[k])!} \quad (\text{Gl. 4.9})$$

In Gl. 4.9 ist mit  $StdZellReihen[k]$  die Anzahl der Standardzellreihen mit  $k$  Pins gegeben. Bei dem Beispiel oben wäre für die Pin-Konfiguration  $(4, 1, 1)$  der Wert für  $StdZellReihen[k=1] = 2$ , da zwei Zellreihen existieren, die von einem Pin besetzt sind und für  $StdZellReihen[k=4] = 1$ , da eine Zellreihe mit vier Pins besetzt ist. Innerhalb eines Untergitters der Größe  $x = 4$  und  $y = 4$  wären dann die in Abbildung 4.3 dargestellten unterscheidbaren Zellreihenanordnungen  $(4, 1, 1)$ ,  $(1, 4, 1)$  und  $(1, 1, 4)$  möglich.

Weiterhin sind für eine bestimmte Pin-Konfiguration und eine bestimmte Standardzellreihenordnung verschiedene Pin-Verteilungen möglich. Die Anzahl der unterscheidbaren Pin-Verteilungen errechnet sich aus

$$A_2(i, d, conf) = \prod_{k=0}^{i-1} \binom{d - \sum_{j=1}^k Pin[j]}{Pins[k+1]} = \frac{d!}{\prod_{k=1}^i (Pins[k])!} \quad . \quad (\text{Gl. 4.10})$$

Dabei ist mit  $Pins[k]$  die Anzahl der Pins auf der  $k$ -ten Reihe angegeben. Bei obigem Beispiel mit der Pin-Konfiguration  $(4, 1, 1)$  ist  $Pins[k=1] = 4$ ,  $Pins[k=2] = 1$  und  $Pins[k=3] = 1$ .

Für die in Abbildung 4.3 eingezeichneten Reihenordnungen sind jeweils vier Pin-Verteilungen dargestellt. Aus den Bedingungen  $i = 3 < y = 4$  folgt, daß auch Standardzellreihen ohne Pins existieren. Für jede der drei Reihenordnungen existieren nicht nur die vier abgebildeten Pin-Verteilungen. Jedes Pin eines Netzes kann grundsätzlich jede der als Punkt eingezeichneten Positionen einnehmen. Die Leitungslänge für eine Pin-Konfiguration wird mit dem halben Rechteckumfang einer Pin-Verteilung mit zugehöriger Reihenanordnung ermittelt.

Reihenanordnung 4, 1, 1				
Reihenanordnung 1, 4, 1				
Reihenanordnung 1, 1, 4				

**Abbildung 4.3** Beispiele zulässiger Reihenordnungen und Pin-Verteilungen für die Pin-Konfiguration  $(4, 1, 1)$  mit  $i = 3$  und  $d = 6$  sowie dem Untergitter mit den Abmessungen  $x = 4$  und  $y = 4$ .

In Gl. 4.7 ist mit  $ConfLen(i, x, conf)$  noch die abgeschätzte Länge eines Netzes gegeben, der die Verteilung der Netz-Pins gemäß einer bestimmten Konfiguration zu Grunde liegt.

$$ConfLen(i, x, conf) = \begin{cases} HLen(Pins[1], x) & \text{fuer } i = 1 \\ \sum_{k=2}^i HLen(Pins[k] + 1, x) & \text{fuer } Pins[1] = 1 \\ HLen(Pins[1], x) + \sum_{k=2}^i HLen(Pins[k] + 1, x) & \text{sonst} \end{cases} \quad (\text{Gl. 4.11})$$

Die möglichen Pin-Konfigurationen wurden bereits mit Hilfe von Gl. 4.8 ermittelt. In obiger Gleichung ist  $Pins[k]$  die Anzahl jener Netz-Pins, die sich in der Standardzellreihe  $k$  befinden. Dabei ist  $HLen(Pins[k], x)$  der Längenbeitrag eines Netzes in horizontaler Richtung, den  $Pins[k]$  Pins in der Standardzellreihe  $k$  zur Gesamtlänge des Netzes leisten. Der übersichtlicheren Schreibweise wegen wird im folgenden  $Pins[k] = m$  gesetzt.

Für alle Standardzellreihen, die von dem Netz mit  $m$  Pins besetzt sind, ergibt sich nun

$$HLen(m, x) = \frac{\sum_{l=m-1}^{x-1} (x-l) \cdot \binom{l-1}{m-2} \cdot l}{\binom{x}{m}} \quad . \quad (\text{Gl. 4.12})$$

Für die Anzahl von  $m$  Pins, die in einer Standardzellreihe liegen können, kann  $m$  Werte in dem Intervall  $[1;x]$  annehmen. In Gl. 4.12 stellt der Zähler die Summe über alle möglichen Längen dar, die  $m$  Netz-Pins innerhalb einer Standardzellreihe mit  $x$  effektiven Zellbreiten einnehmen kann. Der Nenner schließlich ist die Anzahl der Möglichkeiten, die  $m$  Netz-Pins innerhalb einer Standardzellreihe mit  $x$  effektiven Zellbreiten einnehmen können. Der Term  $(x-l)$  im Zähler spiegelt die Anzahl aller möglichen Längen wieder, über die sich ein Netz in horizontaler Richtung über  $l$  effektive Zellbreiten  $\bar{b}_{eff}$  erstrecken kann, welches auf ein Untergitter der Größe  $x \cdot y$  limitiert ist. Der zweite Term  $\binom{l-1}{m-2}$  im Zähler ist als die Anzahl von Möglichkeiten zu interpretieren, welche die verbleibenden  $m-2$  Pins innerhalb der verbleibenden  $l-1$  Standardzellen einnehmen können. Die Länge  $l$  ist schließlich noch die Anzahl von effektiven Standardzellbreiten  $\bar{b}_{eff}$  in horizontaler Richtung, die von den  $m$  Pins innerhalb einer Standardzellreihe umfaßt werden. Man beachte, daß diese Länge in diskreten Werten der effektiven Zellbreite  $\bar{b}_{eff}$  angegeben wird.

#### 4.4.2 Längenanteil eines Netzes in vertikaler Richtung

Mit den Beziehungen in Gl. 4.4 bis Gl. 4.12 wurden alle Terme ermittelt, die zur Berechnung der Netzlänge in horizontaler Richtung erforderlich sind. Im folgenden wird nun der Längenanteil eines Netzes in vertikaler Richtung berechnet.

Die durchschnittliche Netzlänge in vertikaler Richtung wird analog zu Gl. 4.4 ermittelt, mit dem Unterschied, daß für die Untergitter statt der horizontalen Länge die vertikale Länge

$$VertLenInSub(d, y) = \sum_{i=1}^{Min(d, y)} \left(\frac{1}{y}\right)^d \cdot \binom{y}{i} \cdot VLen(i, y) \cdot B(i, d) \quad (\text{Gl. 4.13})$$

berechnet wird. Analog zu Gl. 4.6 stellt  $\left(\frac{1}{y}\right)^d$  die Wahrscheinlichkeit dar mit der  $d$  Netzpins auf  $y$  Standardzellreihen plaziert werden. Die Anzahl der Möglichkeiten,  $i$  Zellreihen aus  $y$  Zellreihen auszuwählen ist wieder durch  $\binom{y}{i}$  gegeben. Der dritte Faktor  $VLen(i, y)$  entspricht der Anzahl verschiedener Längenausdehnungen in vertikaler Richtung, die ein Netz mit  $d$  Pins einnehmen kann, das auf  $l$  Standardzellreihen in einem Untergitter der Größe  $x \cdot y$  limitiert ist:

$$VLen(i, y) = \frac{\sum_{l=i-1}^{y-1} (y-l) \cdot \binom{l-1}{i-2} \cdot l}{\binom{y}{i}} \quad (\text{Gl. 4.14})$$

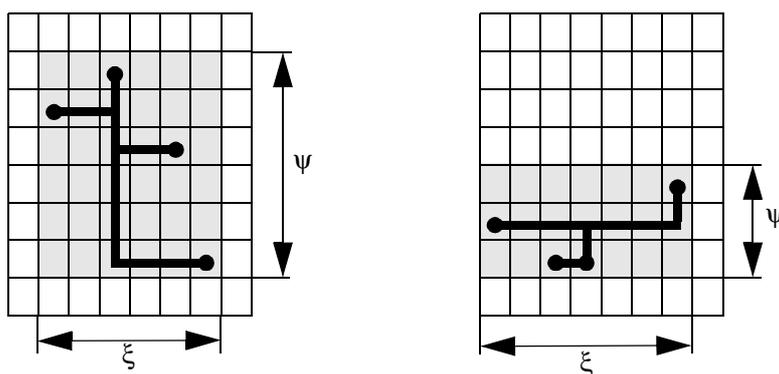
Der Term  $(y-l)$  im Zähler ist die Anzahl der Möglichkeiten, die  $l$  Entfernungen bzw.  $l$  Standardzellreihen innerhalb eines Untergitters der Größe  $x \cdot y$  einnehmen können.

Die verbleibenden  $(i-2)$  Standardzellreihen werden aus der Menge von  $(l-1)$  Reihen ausgewählt, wobei  $l$  in diesem Fall ganzzahlige Vielfache einer Standardzellreihenhöhe darstellt (vgl. bei Länge in horizontaler Richtung entspricht  $l$  der Anzahl der effektiven Zellbreiten  $\bar{b}_{eff}$  in horizontaler Richtung). Der Nenner schließlich ist die Anzahl der Möglichkeiten  $i$  aus  $y$  Standardzellreihen auszuwählen.

Der Term  $B(i, d)$  in Gl. 4.13 stellt die Anzahl der Möglichkeiten dar,  $d$  Pins auf  $i$  Standardzellreihen zu plazieren.

$$B(i, d) = i^d - \left( \sum_{j=1}^{i-1} \binom{i}{j} \cdot B(j, d) \right) \quad (\text{Gl. 4.15})$$

Man beachte, daß bei der Berechnung von  $B(i, d)$  rekursiv vorgegangen wird. Von der maximalen theoretische Anzahl der Möglichkeiten  $i^d$  wird in Gl. 4.15 der Summenterm in Klammern subtrahiert. Für eine jeweils aktuelle Anzahl von Standardzellreihen  $i$  und wachsendem  $j$  stellt der Term  $\binom{i}{j}$  die Anzahl der Möglichkeiten dar,  $j$  Zellreihen aus aktuell maximal  $i$  Zellreihen auszuwählen. Für  $i = 1$  ergibt sich als triviale Lösung  $B(i, d) = 1$ , was der Pin-Verteilung entspricht, daß alle Pins in einer Zellreihe liegen und sich daraus folglich lediglich eine Möglichkeit für  $d$  Pins ergibt. Die rekursive Beziehung kann gelöst werden unter der Voraussetzung, daß ein Netz dem Verlauf eines rechtwinkligen Steinerbaumes unterworfen ist, der zwar mehrere Äste in horizontaler Richtung aufweist, jedoch nur einen Stamm in vertikaler Richtung (Abbildung 4.4).



Pin-Zahl:  $d = 4$

**Abbildung 4.4** Beispiele für rechtwinklige Steinerbäume, wie sie mit dem hier gezeigten Verfahren modelliert werden.

Aufgrund des einzigen vertikalen Stammes gilt die Bedingung

$$\sum_{i=1}^{\text{Min}(d,y)} \left(\frac{1}{y}\right)^d \cdot \binom{y}{i} \cdot B(i, d) \equiv 1 \quad . \quad (\text{Gl. 4.16})$$

Substituiert man nun in Gl. 4.4  $HorLenInSub(d, x, y)$  durch  $VertLenInSub(d, y)$  kann man die durchschnittliche Länge eines betrachteten Netzes in vertikaler Richtung mit

$$VertNetLen(d) = \frac{\sum_{y=k_1}^{k_2} W(x, y) \cdot VertLenInSub(d, y)}{\sum_{y=k_1}^{k_2} W(x, y)} \quad (\text{Gl. 4.17})$$

angeben. Dabei wird im Zähler von Gl. 4.17 über das Produkt aus dem Quotienten  $W(x, y)$  (siehe Gl. 4.5) und die vertikalen Längenbeiträge aller möglichen Untergitter aufsummiert.

Abschließend läßt sich die Gesamtlänge eines betrachteten Netzes aus der Summe der Längenabschnitte in Gl. 4.4 und Gl. 4.17 berechnen.

## 4.5 Ausdehnung eines Netzes innerhalb begrenzter Verdrahtungszonen

In Abschnitt 4.4 wurden für jedes Netz mögliche Verdrahtungszonen, d.h. Untergitter mit den Abmessungen  $x \cdot y$  angesetzt. Die Untergitter können als Analogon zu einer Plazierungsinformation gesehen werden. Die Plazierungsinformation bzw. die Abmessungen eines Untergitters stehen jedoch erst nach einer Zellplazierung als Eingangsdaten zur Verfügung. Für eine Pre-Layout-Netzlängenabschätzung ist deshalb die Prognose der Abmessungen dieser möglichen Verdrahtungszonen äußerst signifikant, da sie die Leitungslänge wesentlich beeinflussen.

Bei einer nicht optimierten Plazierung könnte ein Untergitter theoretisch die Abmessungen des gesamten Hauptgitters  $z \cdot r$  einnehmen. Dies würde bedeuten, daß die an einem Netzknoten angeschlossenen Zell-Pins über die gesamte Fläche des Schaltungs-Layouts verteilt wären. Diese Vorgehensweise entspräche einer Zufallsplazierung (random placement) und würde zu einer deutlichen Überschätzung der Netzlängen führen, da damit das Verhalten eines Zellplazierers nicht zufriedenstellend modelliert wird.

Im Gegensatz dazu werden im Sinne einer optimierten Zellplazierung die Abmessungen  $x$  und  $y$  eines Untergitters eingeschränkt. In Gl. 4.4 und Gl. 4.17 werden verschiedene Höhen- zu Breitenverhältnisse der Untergitter zugelassen, wobei die Fläche des Untergitters

$$A_{Gitter} = x \cdot y \quad (\text{Gl. 4.18})$$

stets konstant bleibt.

Die möglichen  $y$ -Werte in Gl. 4.4 und Gl. 4.17, d.h. die Abmessungen eines Untergitters in vertikaler Richtung, sind innerhalb der Grenzen  $k_1$  und  $k_2$  angegeben. Die Untergrenze  $k_1$  von  $y$  Zellreihen kann stets mit

$$k_1 = y_{min} = 1 \quad (\text{Gl. 4.19})$$

angegeben werden. In diesem Fall befinden sich alle Netz-Pins in der selben Standardzellreihe.

Die Obergrenze  $k_2$  der Abmessungen eines Untergitters in vertikaler Richtung ist durch die Beziehung

$$k_2 = \begin{cases} y_{max} & \text{falls } y_{max} < r \\ r & \text{sonst} \end{cases} \quad (\text{Gl. 4.20})$$

gegeben. Dabei kann die Anzahl der Standardzellreihen  $k_2$  innerhalb des Untergitters höchstens die Anzahl der Reihen  $r$  im Hauptgitter  $z \cdot r$  annehmen.

Unter der Prämisse der Konstanz der Fläche eines Untergitters ist  $y_{max}$  in der überwiegenden Zahl der Fälle gegeben durch

$$y_{max} = \left. \frac{A_{Gitter}}{x} \right|_{x=1} \quad (\text{Gl. 4.21})$$

Hält man sich die Abstraktion des Schaltungs-Layouts als Gitter vor Augen, so befinden sich in diesem Fall alle Netz-Pins in der selben Gitterspalte übereinander.

Der minimale und maximale Wert von  $x$  ergibt sich entsprechend Gl. 4.18, Gl. 4.19, und Gl. 4.20 zu

$$x_{min} = 1 \quad \text{und} \quad x_{max} = \begin{cases} \left. \frac{A_{Gitter}}{y} \right|_{y=1} & \text{falls } x_{max} < z \\ z & \text{sonst} \end{cases} \quad (\text{Gl. 4.22})$$

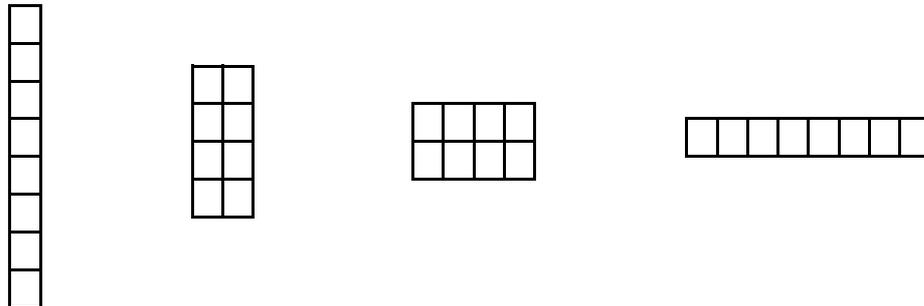
Im Falle von  $x_{max}$  liegen alle Netz-Pins in der selben Standardzellreihe. Für die Abmessungen eines Untergitters in horizontaler Richtung gilt analog zu Gl. 4.20, daß  $x$  im ungünstigsten Fall die Anzahl der effektiven Zellbreiten  $z$  des Hauptgitters  $z \cdot r$  einnehmen kann.

Da die Abmessungen  $x$  und  $y$  der Untergitter nur ganzzahlige Vielfache der effektiven Zellbreite und der Standardzellhöhe sein können, muß zur Ermittlung der möglichen diskreten Schritte  $x_i$  von  $x_{min}$  ..  $x_{max}$  Gl. 4.18 so gelöst werden, daß sich für  $x_i$  und  $y_i$  Natur-

liche Zahlen ergeben. Die möglichen diskreten Schritte für  $x_i$  im Intervall  $x_{min} \dots x_{max}$  und  $y_i$  im Intervall  $y_{min} \dots y_{max}$  werden deshalb paarweise berechnet. In Abbildung 4.5 sind die vier möglichen Untergitter mit einer Fläche von acht Gittermaschen dargestellt. Daraus ergeben sich vier mögliche Untergitter der Größe  $x \cdot y$  mit den Abmessungen  $1 \cdot 8$ ,  $2 \cdot 4$ ,  $4 \cdot 2$  und  $1 \cdot 8$ . Die eingezeichneten Untergitter haben zwar die selbe Fläche, jedoch unterschiedliche Höhen- zu Breitenverhältnisse, was sich in unterschiedlichen Längen des halben Rechteckumfangs niederschlägt. Bei dem ersten und vierten Untergitter beträgt der halbe Rechteckumfang neun und bei dem zweiten und dritten Untergitter sechs Gittermaschen.

Ein Sonderfall liegt vor, wenn sich die Fläche aus einer Anzahl von Gittermaschen ergibt, die einer Primzahl entspricht. Um mehrere statistische Variationsmöglichkeiten zuzulassen wird im Falle einer Primzahl die Fläche um 1 erhöht. Für eine Verdrahtungszone mit einer Fläche von sieben Gittermaschen wird somit mit acht Gittermaschen weiter gerechnet, sodaß sich in diesem Fall vier statt nur zwei Untergitterformen ergeben.

Die Berechnung der Anzahl der Gittermaschen, welche die möglichen Verdrahtungszone eines Netzes bilden, werden in den nun folgenden Abschnitten erläutert.



**Abbildung 4.5 Mögliche Abmessungen der Untergitter unter der Voraussetzung der Konstanz der Fläche von acht Gittermaschen.**

## 4.6 Klassifizierung der Netze und Ableitung von Verdrahtungszone

In der vorliegenden Arbeit wird nun zur Ermittlung der Abmessungen möglicher Untergitter eine Klassifizierung der Netze vorgenommen, die auf folgenden Überlegungen basiert:

Der Optimierungsgrad einer Zellplatzierung wird ausgedrückt durch den Abstand zwischen den Zellen, die über ein Netz miteinander verbunden sind. Je geringer der Abstand, desto größer der Grad der Platzierungsoptimierung. Zunächst wird eine

gewöhnliche Layout-Synthese betrachtet, die dadurch gekennzeichnet ist, daß die Ein-/Ausgangszellen außen um den Kernbereich (core) der Layout-Partition herum platziert werden. Auf den Sonderfall einer über den gesamten Kernbereich der integrierten Schaltung verteilten Platzierung der Ein-/Ausgangszellen, wird später in Kapitel 4.7.2 eingegangen werden. Aufgrund der Lage der Ein-/Ausgangszellen am Rand der Partition ist ein Zellplatzierer bei einer gewöhnlichen Layout-Synthese gezwungen, die IOs mit geringerer Optimierung zu platzieren als gewöhnliche Standardzellen. IOs und Standardzellen können nicht in dem selben Maße nahe zueinander platziert werden, wie Standardzellen und Standardzellen. Für alle Netze kann deshalb als Charakteristikum der deutlich unterschiedliche Grad der Platzierungsoptimierung der angeschlossenen Zellen beobachtet werden. Als Folge der Zellplatzierung ergibt sich eine Netzlänge, die davon abhängig ist, ob an einem Netz Ein-/Ausgangszellen angeschlossen sind oder nicht. Zunächst wird zwischen zwei Hauptgruppen von Netzen unterschieden:

- Netze innerhalb der Schaltung (die nicht mit Ein- oder Ausgängen verbunden sind)
- und
- Netze, die an Ein-/Ausgangszellen angeschlossen sind.

Aus dem geringeren Grad der Platzierungsoptimierung von Ein-/Ausgangsnetzen kann geschlossen werden, daß IO-Netze im Durchschnitt länger sind als interne Netze. Die Grenzen möglicher Verdrahtungszonen sind deshalb weiter zu wählen als bei Netzen innerhalb der Schaltung.

Zur Berechnung der Anzahl der möglichen Untergitter sowie der möglichen Abmessungen der Untergitter wurden bisher in der Literatur Net Neighbourhood Populations verwendet [82], [83]. An dieser Stelle soll noch einmal darauf hingewiesen werden, daß bei allen bisherigen Arbeiten der *Mittelwert NNP(d)* für Netze mit der selben Pin-Zahl  $d$  als Grundlage zur Ermittlung der Untergitter heran gezogen wurde, was zu einer durchschnittlichen Leitungslänge für alle Netze mit der selben Pin-Zahl führte. Darüber hinaus wurde der Einfluß von Ein-/Ausgangszellen und Standardzellen auf ein betrachtetes Netz als gleichbedeutend angenommen.

Im Gegensatz dazu werden hier - individuell für jedes Netz - die Anzahl der Ein-/Ausgangszellen im Abstand 0 und die Anzahl der Standardzellen im Abstand 0 sowie die Anzahl der Ein-/Ausgangszellen im Abstand 1 und die Anzahl der Standardzellen im Abstand 1 zu dem betreffenden Netz berücksichtigt. Bei der Ermittlung der genannten Kenngrößen werden im Falle von sequentiellen Schaltungen die Anschlüsse des Taktnetzes ignoriert. Da vor der Layout-Synthese noch kein Taktbaum mit Treibern existiert, sondern lediglich ein Taktnetz mit sehr vielen Anschlüssen zu Registern, würde die Berücksichtigung des Taktnetzes zu einer völligen Überbewertung von Registern im Abstand 1 führen.

Im folgenden wird ein für die verschiedenen Netzklassen spezifisches Modell zur Einschränkung möglicher Untergitter verwendet, innerhalb derer sich ein Netz ausbrei-

ten kann. Dabei werden neue Beziehungen hergeleitet, die den Zusammenhang zwischen der Anzahl der Zellen in der Nachbarschaft eines Netzes und der Fläche möglicher Verdrahtungszonen beschreiben. In den folgenden Abschnitten werden deshalb für jede Netzklasse Zwischenergebnisse angegeben, mit denen die Effektivität dieser Vorgehensweise klassenspezifisch belegt wird.

#### 4.6.1 Längenabschätzung von schaltungsinternen Netzen

##### Verdrahtungszonen von schaltungsinternen Netzen mit zwei Pins

Unter den internen Netzen nehmen Zwei-Pin-Netze eine Sonderstellung ein [31]. In einer Veröffentlichung, die als eine Weiterentwicklung der Netzlängenabschätzung mit Net Neighbourhood Populations betrachtet werden kann wurde bereits festgestellt, daß Schaltungen mit einem großen Anteil an Zwei-Pin-Netzen große relative Fehler bei der Längenabschätzung aufweisen - ohne daß ein Vorschlag zur Lösung des Problems gemacht wird [47]. Bei eigenen Untersuchungen der Schaltungs-Layouts wurde festgestellt, daß in der überwiegenden Anzahl der Fälle zwei Zellen, die über ein Zwei-Pin-Netz miteinander verbunden sind in der selben Standardzellreihe unmittelbar nebeneinander oder in zwei übereinander liegenden Standardzellreihen unmittelbar übereinander zu liegen kommen.

Die mit Hilfe von Net Neighbourhood Populations in [47], [82] und [83] ermittelten Abmessungen möglicher Untergitter führen deshalb zu einer deutlichen Überschätzung der Fläche möglicher Verdrahtungszonen. Der Einfluß der Zellen im Abstand  $l$  zu dem betrachteten Netz ist demnach sehr viel schwächer als bisher in der Literatur angenommen. Erst wenn die Anzahl der Zellen im Abstand 1 je Netz-Pin um eine Größenordnung höher ist als die Anzahl der Netz-Pins, wird ein schwacher Einfluß auf die Netzlänge erkennbar. In vielen Fällen erstreckt sich das Untergitter eines internen Netzes mit  $d = 2$  Pins lediglich über zwei Gittermaschen. In dem hier vorgeschlagenen Modell werden die möglichen Verdrahtungszonen folglich auf

$$A'_{\text{Gitter}} = \begin{cases} d & \text{falls } N_1 < 20 \\ d + 1 & \text{sonst} \end{cases} \quad (\text{Gl. 4.23})$$

beschränkt [1]. Man beachte, daß die Fläche eines Untergitters  $A'_{\text{Gitter}}$  dimensionslos ist. Sie ist vielmehr als diskrete Anzahl von Gittermaschen des Hauptgitters angegeben. Die tatsächliche Untergitterfläche ergibt sich aus dem Produkt aus der Anzahl der enthaltenen Gittermaschen und der tatsächlichen Fläche einer Gittermasche. Die Fallunterscheidung wird anhand des Einflusses von Zellen  $N_l$  im Abstand 1 zu dem betrachteten Netz vorgenommen. Wegen der geringeren Platzierungsoptimierung werden die Einflüsse von Ein-/ Ausgangszellen im Abstand 1 auf die Fläche eines Untergitters doppelt so hoch angesetzt, wie die Einflüsse von Standardzellen. Die Anzahl  $N_l$  der Zellen im Abstand 1

ergibt sich deshalb zu  $N_I = 2 IOs_I + StdZellen_I$ . Die Anzahl der Ein-/ Ausgangszellen im Abstand 1 wird mit  $IOs_I$  und die Anzahl der Standardzellen im Abstand 1 wird mit  $StdZellen_I$  bezeichnet.

In Tabelle 4.1 ist der durchschnittliche relative Fehler der Leitungslänge aller Zwei-Pin-Netze einer Schaltung angegeben. Die Leitungslänge wurde jeweils mit dem Synopsys Wire Load Model (Industriestandard), mit dem Verfahren von Pedram/ Preas mit Net Neighbourhood Populations sowie mit dem hier vorgestellten Modell abgeschätzt. Die Abmessungen möglicher Untergitter, innerhalb derer sich ein Netz erstrecken kann, sind bei dem letzt genannten Modell entsprechend Gl. 4.23 ermittelt worden.

Schaltung	Modell	durchschnittlicher relativer Fehler in %	Anteil an der Gesamtnetzzahl in %
<b>C1355</b>	Synopsys Wire Load Model	1100%	67%
	NNPs	277%	
	Untergitter nach Gl. 4.23	63%	
<b>C3540</b>	Synopsys Wire Load Model	1000%	79%
	NNPs	392%	
	Untergitter nach Gl. 4.23	74%	
<b>s832</b>	Synopsys Wire Load Model	325%	71%
	NNPs	837%	
	Untergitter nach Gl. 4.23	72%	
<b>s1238</b>	Synopsys Wire Load Model	772%	75%
	NNPs	568%	
	Untergitter nach Gl. 4.23	75%	
<b>s1488</b>	Synopsys Wire Load Model	353%	87%
	NNPs	1140%	
	Untergitter nach Gl. 4.23	74%	
<b>mm30a</b>	Synopsys Wire Load Model	1145%	79%
	NNPs	1257%	
	Untergitter nach Gl. 4.23	68%	
<b>bigkey</b>	Synopsys Wire Load Model	770%	78%
	NNPs	3030%	
	Untergitter nach Gl. 4.23	75%	

**Tabelle 4.1 Mittelwert des relativen Fehlers von schaltungsinternen Zwei-Pin-Netzen.**

Da integrierte Schaltungen einen sehr hohen Anteil an Zwei-Pin-Netzen aufweisen, ist dieser Netzklasse besondere Aufmerksamkeit zu widmen. In der letzten Spalte von Tabelle 4.1 ist der prozentuale Anteil an der Gesamtzahl aller Netze angegeben. Bei allen hier untersuchten Schaltungen liegt der Anteil von Netzen dieser Klasse über 66%. Die Qualität einer Längenabschätzung mit *NNPs* ist nicht zwingend besser als mit dem Synopsys Wire Load Model. Im Falle der Schaltungen *s832*, *s1488*, *mm30a* und *bigkey* ergeben sich höhere mittlere relative Fehler als mit dem Wire Load Model für Logiksynthese. Die Längenabschätzung mit dem hier vorgeschlagenen Modell hingegen weist stets einen um mehrere hundert Prozent niedrigeren relativen Fehler auf, als das Synopsys Wire Load Model und die Längenabschätzung mit *NNPs*. Auch wenn der Fehler bei diesem Modell bei allen untersuchten Schaltungen deutlich niedriger ist als bei dem Synopsys Wire Load Model und der Modellierung der Untergitter mit Net Neighbourhood Populations, so liegt er dennoch im Durchschnitt bei den hier untersuchten Schaltungen bei 72%. Dieser zunächst hoch erscheinende Wert muß jedoch relativiert werden, da Zwei-Pin-Netze sehr kurz und die Anschluß-Pins der Standardzellen keine punktförmigen Gebilde sind. Da die Abmessungen nichtpunktförmiger Zell-Pins groß gegenüber kurzen Zwei-Pin-Netzen sein können, wirkt sich die Lage des Anschlußpunktes des Netzes an das Pin deutlich auf die Netzlänge und damit auf den relativen Fehler bei der Prognose der Leitungslänge aus. Doch dieses Problem tritt auch bei einer Längenabschätzung bei bekannter Zellplatzierung auf.

Zur Verdeutlichung soll ein maßstabsgetreues Layout eines Inverters und eines UND-Gatters mit zwei Eingängen dienen, welche über ein Zwei-Pin-Netz miteinander verschaltet sind (Abbildung 4.6).

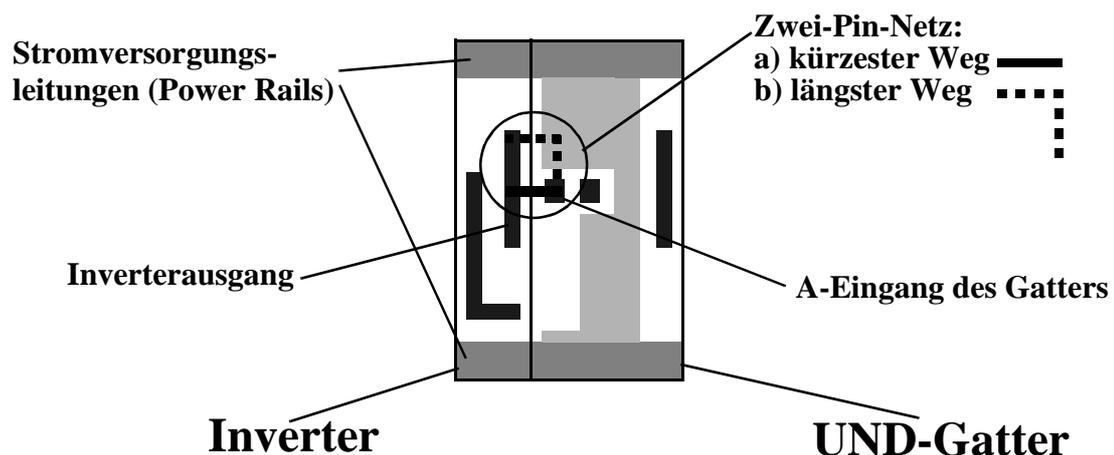


Abbildung 4.6 Maßstabsgetreues Layout eines Inverters und eines UND-Gatters mit zwei Eingängen.

Die Anschluß-Pins der Standardzellen sind in vielen Fällen keine punktförmigen Gebilde, sondern streifen-, L- oder polygonförmig. Selbst wenn zur Längenabschätzung die Plazierungsinformation der Standardzellen innerhalb des Schaltungs-Layouts zur Verfügung steht, so existieren mehrere Möglichkeiten des Verlaufes eines Netzes. In dem hier gezeigten Beispiel aus der Benchmark-Schaltung C880 bewegt sich die Länge des möglichen Verdrahtungsweges zwischen 1,0 und 2,0  $\mu\text{m}$ , wenn das Schaltungs-Layout in einer 0,25- $\mu\text{m}$ -Technologie erstellt wird. Bezogen auf die kürzest mögliche Verbindung ergibt sich ein Fehler von 100% für den Fall, daß das Netz mit der längst möglichen Verbindung verdrahtet wird. Die längst mögliche Verbindung entsteht beispielsweise dann, wenn der Bereich über dem Eingangs-Pin des AND-Gatters bereits durch eine horizontal verlaufende Leiterbahn belegt ist. Dadurch kann eine Netzlängenabschätzung bei vorhandener Plazierungsinformation mit relativen Fehlern behaftet sein, die insbesondere bei den kurzen Zwei-Pin-Netzen bis zu zwei Größenordnungen erreichen kann.

Abschließend wird fest gehalten, daß mit der in dieser Arbeit vorgeschlagenen Methodik die Leitungslänge von Zwei-Pin-Netzen im Mittel durchaus in den Bereich der Genauigkeit reicht, die mit vorhandener Plazierungsinformation erzielt werden kann.

### Verdrahtungszonen von schaltungsinternen Netzen mit mehr als zwei Pins

Im Gegensatz zu der Sonderstellung von Zwei-Pin-Netzen können alle schaltungsinternen Netze mit mehr als zwei Pins sehr gut mit einem einheitlichen Modell abgeschätzt werden. Die Fläche möglicher Verdrahtungszonen wird in Abhängigkeit der vier Kenngrößen  $IOs_0$ ,  $StdZellen_0$ ,  $IOs_1$  und  $StdZellen_1$  ermittelt. Auch bei der Ermittlung der Untergitterabmessungen von Netzen mit mehr als zwei Pins wird konsequenterweise der Einfluß von Ein-/ Ausgangszellen auf die Länge eines betrachteten Netzes als doppelt so hoch angesetzt, wie der von Standardzellen:

$$A'_{Gitter} = StdZellen_0 + \sqrt{2 \cdot IOs_1 + StdZellen_1 - StdZellen_0} \quad . \quad (\text{Gl. 4.24})$$

Die Fläche eines Untergitters kann entsprechend der Modellierung des Schaltungs-Layouts als Gitter nur diskrete Werte annehmen. Die Gitterfläche wird deshalb auf Natürliche Zahlen auf- oder abgerundet. Folgende Überlegungen führen zu Gl. 4.24:

- Ein Untergitter eines schaltungsinternen Netzes hat mindestens eine Fläche, angegeben in "Anzahl von Gittermaschen", die so groß ist, wie die Fläche von  $StdZellen_0$  (minimale Gitterabmessung; Term vor der Wurzel). Dies entspricht dem Fall, daß alle an das betrachtete Netz angeschlossenen Zellen ( $StdZellen_0$ ) in einer Standardzellreihe unmittelbar

nebeneinander oder in einer Gitterspalte übereinander zum liegen kommen. Ein-/ Ausgangszellen im Abstand 0 existieren bei schaltungsinternen Netzen nicht.

- In Abhängigkeit von der Anzahl der Ein-/ Ausgangszellen  $IOs_1$  und der Standardzellen  $StdZellen_1$  im Abstand 1 zu dem betrachteten Netz wird die mögliche Verdrahtungszone des Netzes aufgeweitet. Das Netz wird im Sinne des Gummibandmodelles und unter dem Einfluß der Nachbarzellen länger. In diesem Fall können zwischen den an das betrachtete Netz angeschlossenen Standardzellen auch unbeteiligte Zellen plaziert sein.
- Der Term unter der Wurzel kann nur Werte  $\geq 0$  annehmen, da an jede Zelle im Abstand 0 (bzw. jedes Netz-Pin) bei schaltungsinternen Netzen mindestens eine weitere Zelle angeschlossen ist ( $2IOs_1 + StdZellen_1 \geq StdZellen_0$ ).
- Um die minimale Gitterabmessung, wie im ersten Punkt genannt erreichen zu können, muß der Term unter der Wurzel 0 werden. Dieser Fall ist genau dann gegeben, wenn an jede Standardzelle im Abstand 0 exakt eine Standardzelle im Abstand 1 angeschlossen ist. In diesem Fall ist  $IOs_1 = 0$  und  $StdZellen_1 = StdZellen_0$ . Dieser Sachverhalt spiegelt sich in der Subtraktion von  $StdZellen_0$  von der Anzahl der Zellen im Abstand 1 wieder. Ein-/ Ausgangsnetze im Abstand 0 existieren bei schaltungsinternen Netzen nicht.
- Der Einfluß von Nachbarzellen ist nichtlinear und nimmt mit steigender Anzahl von Zellen im Abstand 1 ab, was mit Hilfe einer Wurzelfunktion angenähert wird.

Zur Verifikation des verwendeten Modelles sind in Tabelle 4.2 die mittleren relativen Fehler aller schaltungsinternen Netze mit mehr als zwei Pins angegeben. In den ersten beiden Spalten sind wieder der Name der Schaltung und die Namen der Modelle angegeben, die in dieser Arbeit verglichen wurden. In der dritten Spalte ist für die drei untersuchten Modelle der relative Fehler der Längenabschätzung, gemittelt über alle relativen Fehler der individuellen Leitungslängen der Netze mit mehr als zwei Pins angegeben. In der letzten Spalte ist schließlich der prozentuale Anteil von Netzen dieser Klasse (schaltungsinterne Netze mit mehr als zwei Pins) an der Gesamtzahl aller in der Schaltung enthaltenen Netze angegeben.

Auch bei dieser Netzklasse zeigt sich, daß die mit Net Neighbourhood Populations abgeschätzten Leitungslängen nicht zwingend genauer sind als bei einer Abschätzung mit dem Synopsys Wire Load Model. Das in dieser Arbeit vorgeschlagene Modell weist hingegen auch bei Netzen mit mehr als zwei Pins stets einen niedrigeren mittleren relativen Fehler auf als die beiden anderen Modelle.

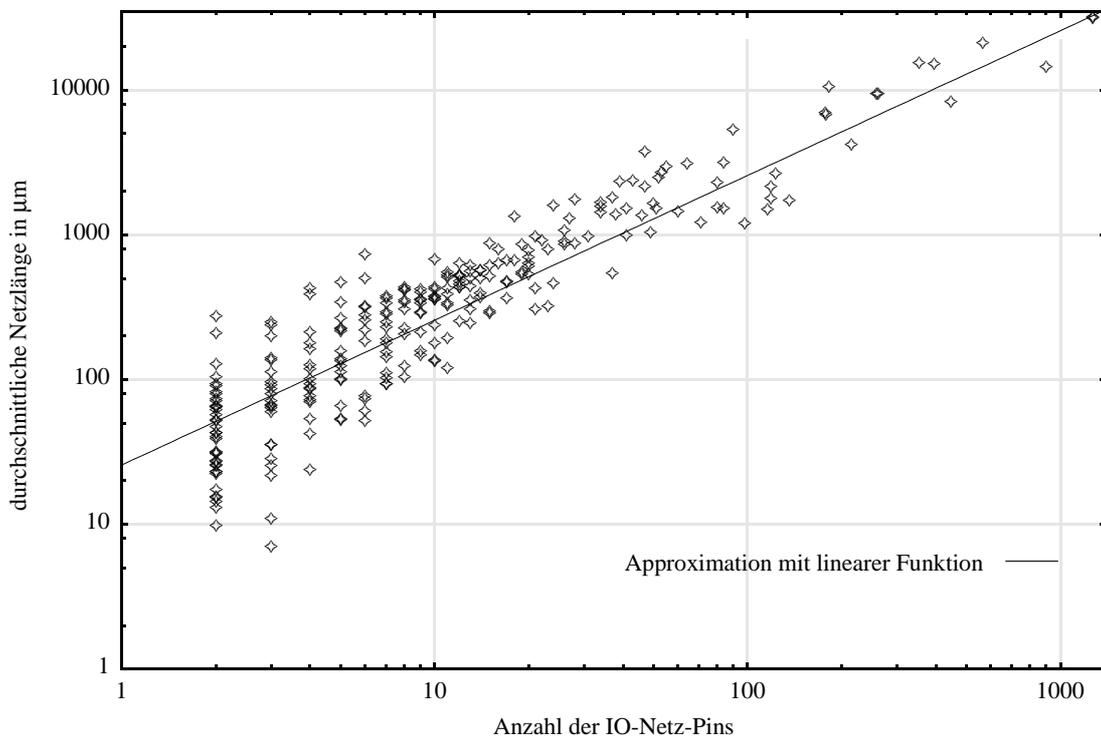
Schaltung	Modell	durchschnittlicher relativer Fehler in %	Anteil an der Gesamtnetzzahl in %
<b>C1355</b>	Synopsys Wire Load Model	358%	26%
	NNPs	106%	
	Untergitter nach Gl. 4.24	46%	
<b>C3540</b>	Synopsys Wire Load Model	243%	17%
	NNPs	91%	
	Untergitter nach Gl. 4.24	52%	
<b>s832</b>	Synopsys Wire Load Model	116%	14%
	NNPs	269%	
	Untergitter nach Gl. 4.24	67%	
<b>s1238</b>	Synopsys Wire Load Model	130%	21%
	NNPs	75%	
	Untergitter nach Gl. 4.24	53%	
<b>s1488</b>	Synopsys Wire Load Model	59%	5%
	NNPs	64%	
	Untergitter nach Gl. 4.24	9%	
<b>mm30a</b>	Synopsys Wire Load Model	403%	17%
	NNPs	182%	
	Untergitter nach Gl. 4.24	40%	
<b>bigkey</b>	Synopsys Wire Load Model	434%	9%
	NNPs	1720%	
	Untergitter nach Gl. 4.24	349%	

**Tabelle 4.2 Mittelwert des relativen Fehlers von schaltungsinternen Netzen mit mehr als zwei Pins.**

Da die Anzahl von Netzen mit mehr als zwei Pins bei einzelnen Schaltungen sehr niedrig sein kann, können sich Abschätzungsfehler gravierender auswirken (Schaltung *bigkey*) oder im günstigsten Fall sehr niedrig ausfallen (Schaltung *s1488*). Bei einer höheren Anzahl von Netzen gleichen sich die Fehler aufgrund statistischer Variationen aus. Im Mittel liegt auch bei dieser Netzklasse der mittlere relative Fehler der abgeschätzten Leitungslänge deutlich unter 100%, wenn die Verdrahtungszonen wie in Gl. 4.24 eingeschränkt und die Längen durch Anwendung der Kombinatorik berechnet werden.

#### 4.6.2 Eingeschränkte Plazierungsoptimierung von IO-Zellen: Sonderfall der Längenabschätzung von Ein-/ Ausgangsnetzen

Die Abhängigkeit der Netzlänge von Net Neighbourhood Populations wie in [82] und [83] angenommen, konnte auch für Ein-/ Ausgangsnetze nicht zufriedenstellend bestätigt werden. Abbildung 4.7 zeigt eine empirische Untersuchung die mit 39 MCNC Benchmark-Schaltungen und einer am Lehrstuhl für Integrierte Systeme der Technischen Universität München entworfenen Schaltung durchgeführt wurde [27]. Für alle 40 Schaltungen wurde ein Layout erstellt, aus dem die Leitungslänge für jedes Netz extrahiert wurde. In Abbildung 4.7 ist für jede Schaltung separat jeweils für alle IO-Netze mit der selben Pin-Zahl eine durchschnittliche Leitungslänge angegeben. Ein Punkt in der Graphik entspricht der durchschnittlichen Länge aller IO-Netze mit selber Pin-Zahl innerhalb einer Schaltung. Durch Approximation der Daten aller Schaltungen mit Hilfe einer linearen Funktion durch den Koordinatenursprung wird die durchschnittliche Leitungslänge in Abhängigkeit von der Pin-Zahl dargestellt (durchgezogene Linie). Zur deutlicheren Darstellung der einzelnen Datenwerte, besonders im unteren Bereich, wurde ein doppeltlogarithmischer Maßstab gewählt.



**Abbildung 4.7** Empirische Untersuchung mit 39 MCNC Benchmark-Schaltungen und einer am Lehrstuhl für Integrierte Systeme der Technischen Universität München entworfenen Schaltung [27].

Für Ein-/ Ausgangsnetze mit einer Pin-Zahl von  $d > 6$  ist eine gute Korrelation mit  $d$  zu erkennen. Für Ein-/ Ausgangsnetze mit einer Pin-Zahl von  $d \leq 6$  zeichnet sich hingegen eine deutlich größere Streuung der Netzlänge um die lineare Funktion ab. Dies kann einerseits darauf zurückgeführt werden, daß fast alle Schaltungen Netze mit niedriger Pin-Zahl haben, aber u. U. keine Netze mit hoher Pin-Zahl aufweisen. Bei Netzen mit niedriger Pin-Zahl ergeben sich viele, für hohe Netz-Pin-Zahlen wenige Datenpunkte. Man beachte ferner, daß eine Schaltung in Abbildung 4.7 mehrere Datenpunkte für verschiedene Netz-Pin-Zahlen liefern kann. Trotzdem ist andererseits fest zu halten, daß keine der untersuchten Schaltungen bei der durchschnittlichen Leitungslänge von Netzen mit hoher Pin-Zahl einen "Ausreißer" liefert. Für Netze mit niedriger Pin-Zahl ( $d \leq 6$ ) läßt die große Streuung den Schluß zu, daß neben der Netz-Pin-Zahl weitere Einflußfaktoren berücksichtigt werden müssen, um die Länge von IO-Netzen zu ermitteln. Ein-/ Ausgangsnetze mit einer Pin-Zahl  $d \leq 6$  werden in einem separaten Abschnitt behandelt. Dabei werden neben der Pin-Zahl weitere Einflußfaktoren berücksichtigt. Während interne Netze lediglich von IO-Zellen im Abstand 1 beeinflußt werden, sind Ein-/ Ausgangsnetze unmittelbar an IO-Zellen angeschlossen (Abstand 0). Dadurch sind die Auswirkungen auf die Netzlänge deutlich höher als bei schaltungsinternen Netzen. In dem folgenden Abschnitt werden zunächst IO-Netze mit mehr als sechs Pins diskutiert.

### Ein-/ Ausgangsnetze mit mehr als sechs Pins

Wegen der guten Korrelation zwischen der durchschnittlichen Leitungslänge und der Netz-Pin-Zahl  $d$  wird für Ein-/ Ausgangsnetze mit  $d > 6$  die Funktion in Abbildung 4.7 zur Längenabschätzung heran gezogen.

Die Länge  $l_{IO}$  dieser Ein-/ Ausgangsnetze wird mit der Beziehung

$$l_{IO} = a \cdot d \quad (\text{Gl. 4.25})$$

berechnet, wobei  $d$  die Pin-Zahl darstellt und der Koeffizient  $a = 25.73$  empirisch ermittelt wurde.

In Tabelle 4.3 ist der Mittelwert des relativen Fehlers von Ein-/ Ausgangsnetzen mit mehr als sechs Pins angegeben. Gezeigt ist nur eine Auswahl von untersuchten Schaltungen, da sehr viele Schaltungen gar keine Ein-/ Ausgangsnetze mit mehr als sechs Pins aufweisen. Auch der prozentuale Anteil dieser Netzklasse an der Gesamtzahl aller in der Schaltung enthaltenen Netze ist mit 2%- 6% niedrig (Spalte 4 in Tabelle 4.3).

Schaltung	Modell	durchschnittlicher relativer Fehler in %	Anteil an der Gesamtnetzzahl in %
<b>C1355</b>	Synopsys Wire Load Model	53%	3%
	NNPs	50%	
	empirisch nach Gl. 4.25	40%	
<b>C3540</b>	Synopsys Wire Load Model	34%	2%
	NNPs	42%	
	empirisch nach Gl. 4.25	29%	
<b>s832</b>	Synopsys Wire Load Model	32%	2%
	NNPs	69%	
	empirisch nach Gl. 4.25	30%	
<b>s1238</b>	Synopsys Wire Load Model	32%	2%
	NNPs	25%	
	empirisch nach Gl. 4.25	19%	
<b>s1488</b>	Synopsys Wire Load Model	33%	2%
	NNPs	38%	
	empirisch nach Gl. 4.25	29%	
<b>mm30a</b>	Synopsys Wire Load Model	130%	2%
	NNPs	83%	
	empirisch nach Gl. 4.25	33%	
<b>bigkey</b>	Synopsys Wire Load Model	261%	6%
	NNPs	885%	
	empirisch nach Gl. 4.25	56%	

**Tabelle 4.3 Mittelwert des relativen Fehlers von Ein-/ Ausgangsnetzen mit mehr als sechs Pins.**

### Ein-/ Ausgangsnetze mit bis zu sechs Pins

Anders verhält es sich bei Ein-/ Ausgangsnetzen mit bis zu sechs Pins. Wegen der Streuung der Netzlänge um die Pin-Zahl in Abbildung 4.7 werden weitere Faktoren zur Längenabschätzung hinzugezogen.

Die Fläche  $A'_{Gitter}$  eines Untergitters mit den Abmessungen  $x \cdot y$  ergibt sich für Ein-/ Ausgangsnetze mit bis zu sechs Pins zu

$$A'_{Gitter} = 2 \cdot IOS_0 + StdZellen_0 + \sqrt{2 \cdot IOS_1 + StdZellen_1 - StdZellen_0} \quad . \quad (\text{Gl. 4.26})$$

Die Anzahl der Ein-/ Ausgangszellen bzw. Standardzellen, die unmittelbar an das betrachtete Netz angeschlossen sind, ist mit  $IOs_0$  und  $StdZellen_0$  angegeben. Mit  $IOs_1$  und  $StdZellen_1$  hingegen ist die Anzahl der im Abstand 1 befindlichen Ein-/ Ausgangszellen bzw. Standardzellen angegeben. Die Fläche eines Untergitters kann entsprechend der Modellierung des Schaltungs-Layouts als Gitter wiederum nur diskrete Werte annehmen. Die Gitterfläche wird deshalb auf Natürliche Zahlen auf- oder abgerundet. Die Fläche eines Untergitters wie in Gl. 4.26 angegeben, kann aus folgenden Überlegungen abgeleitet werden:

- Ein-/ Ausgangszellen unterliegen nicht der selben Platzierungsoptimierung wie Standardzellen. Ihr Einfluß auf ein betrachtetes Netz wird deshalb als doppelt so hoch angesetzt wie der Einfluß von Standardzellen.
- Ein Untergitter eines Ein-/ Ausgangsnetzes hat mindestens eine Fläche, angegeben in "Anzahl von Gittermaschen", die so groß ist, wie  $2 IOs_0 + StdZellen_0$  (Term vor der Wurzel). Da die tatsächliche Fläche von Ein-/ Ausgangszellen klein ist gegenüber der Fläche von Standardzellen, ist der Flächenzuschlag unter dem Einfluß der IOs als virtuell zu verstehen. Mit dem virtuellen Flächenzuschlag (angegeben in "Anzahl von Gittermaschen") wird der netzlängenerhöhende Einfluß von IO-Zellen aufgrund der geringeren Platzierungsoptimierung modelliert.
- In Abhängigkeit der Zellen  $IOs_1$  und  $StdZellen_1$  im Abstand 1 zu dem betrachteten Netz wird die mögliche Verdrahtungszone des betrachteten Netzes aufgeweitet. Das Netz wird im Sinne des Gummibandmodelles und unter dem Einfluß der Nachbarzellen länger.
- Der Term unter der Wurzel kann nur Werte  $\geq 0$  annehmen, da an jede Zelle im Abstand 0 (bzw. jedes Netz-Pin) bei schaltungsinternen Netzen mindestens eine weitere Zelle angeschlossen ist.
- Um die minimale Gitterabmessung erreichen zu können, muß der Term unter der Wurzel 0 werden. Dieser Fall ist genau dann gegeben, wenn an jede Standardzelle im Abstand 0 exakt eine Standardzelle im Abstand 1 angeschlossen ist. In diesem Fall ist  $IOs_1 = 0$  und  $StdZellen_1 = StdZellen_0$ . Deshalb wird  $StdZellen_0$  von der Anzahl der Zellen im Abstand 1 subtrahiert. Im Vergleich dazu können an Ein-/ Ausgangszellen im Abstand 0 keine Zellen im Abstand 1 angeschlossen sein. IO-Pads wirken lediglich wie ein Knoten und verfügen nicht über mehrere Pins wie Standardzellen. Von der Anzahl der Zellen im Abstand 1 müssen deshalb keine  $IOs_0$  subtrahiert werden (Term unter der Wurzel). Falls jedoch Ein-/ Ausgangszellen im Abstand 1 vorhanden sind, kann wegen der doppelten Gewichtung keine minimale Gitterabmessung mehr erreicht werden, was einem dehnen der Netzlänge im Gummibandmodell entspricht (siehe auch Abbildung 4.8).

- Während die Zellen im Abstand 0 einen starken, linearen Einfluß auf die Netzlänge zeigen, wird mit Hilfe der Wurzelfunktion modelliert, daß der Einfluß von Nachbarzellen im Abstand 1 mit steigender Anzahl dieser Zellen abnimmt.

Der vorletzte Punkt soll noch etwas verdeutlicht werden. Im Falle einer minimalen Gitterabmessung für ein Eingangsnetz liegt jeweils eine einzige Standardzelle an dem Netzknoten sowohl im Abstand 0 als auch im Abstand 1. Im Falle eines Ausgangsnetzes liegt ebenfalls nur eine Ausgangszelle/ -Pad vor, da ein Signal am Ausgang einer Schaltung immer nur auf ein Ausgangs-Pad geleitet wird. Soll das Signal auf mehrere Ziele verteilt werden, so würde die Aufteilung des Signals in der Praxis außerhalb der integrierten Schaltung erfolgen. Sonderfälle von Ein-/ Ausgangsnetzen, die von obigen Konstellationen abweichen, waren nicht Gegenstand dieser Arbeit.

In Abbildung 4.8 a) befinden sich im Abstand 1 zu dem betrachteten Netz ausschließlich zwei Standardzellen, was in der zweitkleinsten Abmessung eines Untergitters resultiert, innerhalb dessen sich das IO-Netz erstrecken kann. Dagegen befindet sich in Abbildung 4.8 b) auch ein IO-Pad im Abstand 1 zu dem fett eingezeichneten IO-Netz. Wegen der stärkeren Auswirkungen von IO-Pads auf die Netzlänge (Faktor 2) erstreckt sich das Netz innerhalb eines größeren Gitters (Term unter der Wurzel in Gl. 4.26).

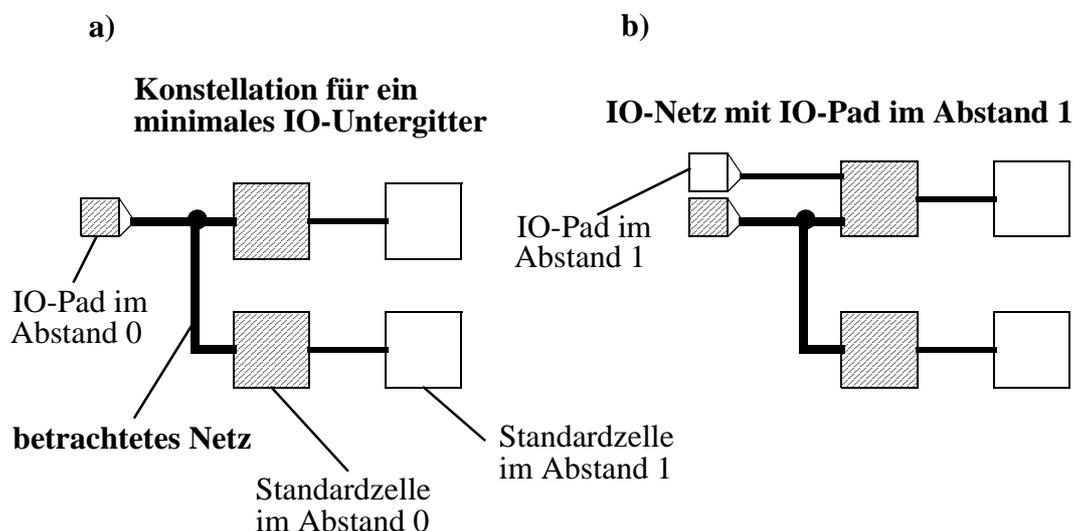


Abbildung 4.8 Beispiele für Konstellationen von Ein-/ Ausgangsnetzen.

In Tabelle 4.4 sind die Mittelwerte der relativen Fehler der Leitungslängenabschätzung jeweils für das Synopsys Wire Load Model, nach dem Modell von Pedram/ Preas mit NNPs und durch Anwendung der Kombinatorik auf mögliche, nach Gl. 4.26 eingeschränkte Verdrahtungszonen dargestellt. Auch hier kann mit dem vorgeschlagenen Modell für alle dargestellten Schaltungen ein niedrigerer relativer Fehler erzielt werden, verglichen mit dem Synopsys Wire Load Model und dem Verfahren von Pedram/ Preas. Bei diesen beiden Verfahren wird nicht zwischen Ein-/ Ausgangsnetzen und internen Netzen unterschieden.

Schaltung	Modell	durchschnittlicher relativer Fehler in %	Anteil an der Gesamtnetzzahl in %
<b>C1355</b>	Synopsys Wire Load Model	349%	4%
	NNPs	80%	
	Untergitter nach Gl. 4.26	52%	
<b>C3540</b>	Synopsys Wire Load Model	351%	3%
	NNPs	122%	
	Untergitter nach Gl. 4.26	59%	
<b>s832</b>	Synopsys Wire Load Model	221%	13%
	NNPs	603%	
	Untergitter nach Gl. 4.26	132%	
<b>s1238</b>	Synopsys Wire Load Model	779%	2%
	NNPs	339%	
	Untergitter nach Gl. 4.26	39%	
<b>s1488</b>	Synopsys Wire Load Model	342%	5%
	NNPs	1110%	
	Untergitter nach Gl. 4.26	153%	
<b>mm30a</b>	Synopsys Wire Load Model	678%	2%
	NNPs	745%	
	Untergitter nach Gl. 4.26	221%	
<b>bigkey</b>	Synopsys Wire Load Model	142%	7%
	NNPs	849%	
	Untergitter nach Gl. 4.26	98%	

**Tabelle 4.4 Mittelwert des relativen Fehlers von Ein-/ Ausgangsnetzen mit zwei bis sechs Pins.**

### Pad-Limited Layout-Partitionen

Die Größe einer Layout-Partition kann durch zwei unterschiedliche Faktoren bestimmt sein. Entweder ergibt sich die Fläche aus dem Flächenbedarf der Standardzellen im Kernbereich der Schaltung (core), wobei der zusätzliche Flächenbedarf für die Ein-/ Ausgangszellen bzw. -Pads gering ist (core limited) oder gerade die Ein-/ Ausgangs-Pads sind so zahlreich, daß durch sie die Rahmenbedingungen für den Flächenbedarf entstehen (pad limited). Im Falle einer "pad limited" Konstellation ist die Fläche der Layout-Partition durch die Anzahl, die Größe und den Mindestabstand zwischen den IO-Pads bestimmt. Der Kernbereich der Partition ist hingegen relativ klein. Auf diese Weise entsteht ein beträchtlicher Abstand zwischen IO-Pads und Kernbereich (IO to core distance), der sich deutlich auf die Länge der IO-Netze auswirkt. Eine "pad limited" Konstellation tritt auch dann auf, wenn insbesondere bei ganzen Chips die Fläche aller vorhandenen Ein-/ Ausgangszellen groß ist gegenüber der Fläche aller Standardzellen.

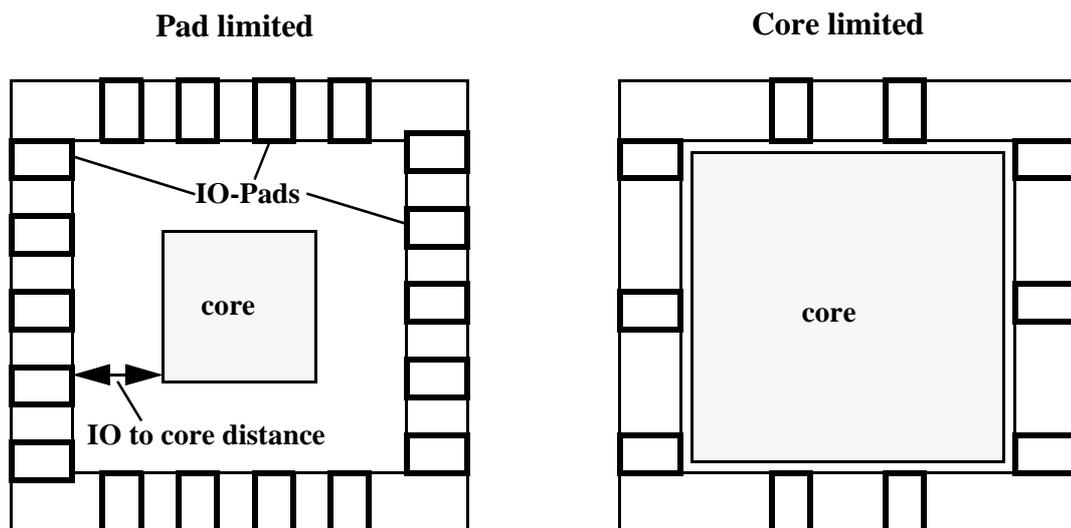


Abbildung 4.9 Beispiele für *pad limited* und *core limited* Layout-Partitionen.

Bei einem pad limited Layout entsteht ein beträchtlicher Abstand zwischen den Ein-/ Ausgangszellen/ -Pads und dem Kernbereich der Schaltung. Da sich diese *IO to Core Distance* signifikant auf die Länge von IO-Netzen auswirkt, muß dieser Abstand zusätzlich berücksichtigt werden.

Die reine Zellfläche zuzüglich der benötigten Verdrahtungsfläche entspricht der Fläche des Kernbereichs (siehe auch Gl. 4.2 und Gl. 4.3). Mit dem Höhen- zu Seitenverhältnis der Layout-Partition, die durch die Spezifikation der Schaltung festgelegt ist, werden

die exakten Abmessungen des Kernbereichs ermittelt. Die Außenkante des späteren Silizium-Dies ergibt sich hingegen aus der Anzahl und den Abmessungen der Ein-/ Ausgangszellen/ -Pads und dem aufgrund der Entwurfsregeln des Halbleiterherstellers einzuhaltenden Mindestabstand zwischen den IOs. Der Abstand zwischen den Ein-/ Ausgangszellen und dem Kernbereich wird schließlich als Differenz der in Abbildung 4.9 ineinander geschachtelten Rechtecke ermittelt, gemessen von der Innenkante der IOs. Die auf diese Weise erhaltene IO to Core Distance wird den Längen der Ein-/ Ausgangsnetze hinzuaddiert.

## 4.7 Schaltungen mit spezieller Layout-Synthese

### 4.7.1 Schaltungen mit zeit- oder verlustleistungsoptimierter Zellplatzierung

Das in den vorhergehenden Kapiteln vorgestellte Verfahren zur Pre-Layout-Leitungslängenabschätzung hatte zunächst einen Platzierungsalgorithmus vorausgesetzt, dessen Optimierungsziel die Minimierung der totalen Leitungslänge einer Schaltung war. Bei einer Zellplatzierung, welche eine Optimierung der zeitkritischen oder verlustleistungskritischen Netze zum Ziel hat, hat die Minimierung der totalen Leitungslänge nicht mehr die höchste Priorität. In diesen Fällen werden zunächst jene Zellen nahe zueinander platziert, die durch zeit- oder verlustleistungskritische Netze miteinander verbunden sind. Mit zweithöchster Priorität wird dann noch die totale Leitungslänge minimiert.

Die bei einer verlustleistungsoptimierten Layout-Synthese zu erwartenden Gewinne sind geringer einzustufen als die auf höheren Entwurfsebenen erzielbaren Power-Einsparungen [85]. Deshalb hat eine power-optimierte Standardzellplatzierung in der Industrie kaum an Bedeutung gewonnen, auch wenn dies prinzipiell mit den verfügbaren Tools möglich wäre. Layouts mit power-optimierter Standardzellplatzierung wurden deshalb in dieser Arbeit in Zusammenhang mit einer Längenabschätzung vor dem Layout nicht untersucht. Dennoch kann davon ausgegangen werden, daß für verlustleistungsoptimierte Layouts eine Längenabschätzung mit ähnlicher Genauigkeit erzielt werden kann wie für zeitoptimierte Layouts, was im folgenden diskutiert werden soll.

Die Erstellung von zeitoptimierten Layouts ist ein wichtiger Schritt, um die Timing-Vorgaben einer Schaltungsspezifikation zu erfüllen. Die "timing driven" Layout-Strategie hat sich sehr wohl in der Industrie durchgesetzt. Das hier vorgestellte Verfahren zur Netzlängenabschätzung wurde deshalb auch auf Schaltungen mit zeitoptimierter Zellplatzierung angewendet. Da von der zeitoptimierten Standardzellplatzierung jedoch lediglich ein Teil der Netze stärker tangiert wird und die Masse der Netze in der Länge kaum beeinflußt wird (was auch für power driven layout zutrifft), kann die vorgeschlagene Längenabschätzung auch auf eine timing-optimierte Layout-Synthese erfolgreich angewendet werden. Zur Verfeinerung des Modells könnten noch Netze entlang des zeitkritischen Pfades separat modelliert werden. Dazu müßte anhand der Netzliste eine Timing-Analyse durchgeführt werden, um die zeitkritischen Netze zu lokalisieren. Anschließend

können die Untergitter (vgl. Gl. 4.18) mit kleinerer Fläche veranschlagt werden als bei herkömmlichen, nicht zeitkritischen Netzen, da der Zellplazierer die an diese Netze angeschlossenen Zellen näher zueinander plazieren wird als andere Zellen. Die zusätzliche, verfeinerte Modellierung von zeitkritischen Netzen war jedoch nicht Ziel dieser Arbeit.

Für die hier gezeigten Untersuchungen wurden ausschließlich sequentielle Schaltungen verwendet, da die Taktfrequenz die maßgebliche Randbedingung für eine zeitoptimierte Layout-Synthese darstellt. Eine Timing-Driven-Layout-Synthese ist immer dann angezeigt, wenn eine Timing-Analyse nach dem Layout und/ oder eine Gattersimulation mit Post-Layout-Netzliste fehl schlägt. Dieser Fall tritt häufiger bei größeren Schaltungen auf - in manchen Fällen auch bei kleineren, zeitkritischen Layouts.

Bei den drei Schaltungen in Tabelle 4.5 handelt es sich um zwei Benchmark Designs und eine am Lehrstuhl für Integrierte Systeme der Technischen Universität München entworfene Schaltung [27]. Die am Lehrstuhl entworfene, mit knapp 90.000 Gatteräquivalenten recht große Schaltung belegt, daß das vorgestellten Verfahren auch für industrielle Designs relevant ist und eine genauere Leitungslängenabschätzung ermöglicht. Von einer power- oder timing driven Layout-Synthese werden nur wenige Netze stärker tangiert. Im Falle der power-optimierten Layout-Synthese handelt es sich dabei um die Netze mit den höchsten Schaltaktivitäten und bei timing-optimierter Layout-Synthese werden die Netze entlang der zeitkritischen Pfade am stärksten tangiert. Im statistischen Mittel der Gesamtzahl aller Netze einer Schaltung wiegen diese jedoch im Hinblick auf die Längenabschätzung nicht so stark.

Schaltung	Modell	Größe in Gatter-äquiv.	durchschnittlicher rel. Fehler in % interne Netze	durchschnittlicher rel. Fehler in % IO-Netze
clma	Synopsys Wire Load Model		2135%	1066%
	NNPs	40955	3412%	1723%
	eigenes Modell		83%	94%
mm30a	Synopsys Wire Load Model		534%	277%
	NNPs	3479	383%	183%
	eigenes Modell		61%	59%
ProcA16Reg	Synopsys Wire Load Model		1304%	327%
	NNPs	89708	3231%	869%
	eigenes Modell		71%	75%

**Tabelle 4.5 Mittelwert des relativen Fehlers der Netzlängenabschätzung von Schaltungen, für die ein zeitoptimiertes Layout (timing driven layout synthesis) erstellt wurde.**

In Tabelle 4.5 sind die mittleren relativen Fehler jeweils für Ein-/ Ausgangsnetze und schaltungsinterne Netze separat angegeben (Spalten vier und fünf). In der zweiten Spalte ist die Schaltungsgröße der Netzliste als Anzahl von Gatteräquivalente angegeben. Bei den drei Schaltungen, die einer zeitoptimierten Layout-Synthese unterworfen wurden, liegt der mittlere relative Fehler der Netzlängenabschätzung zwischen 59% und 94% und damit unter 100%, wie bei Schaltungen auf die eine herkömmliche Layout-Synthese angewendet wurde. Im Vergleich dazu ergeben sich bei den beiden anderen Verfahren Fehler zwischen 277% und 2134% (Synopsis Wire Load Model des Halbleiterherstellers) sowie 183% und 3412% (Längenabschätzung mit Net Neighbourhood Populations).

#### 4.7.2 Verteilung der Ein-/ Ausgangszellen über den gesamten Kernbereich

Bei speziellen Layout-Syntheseverfahren können Ein-/ Ausgangszellen vom Zellplazierer genauso gehandhabt werden wie gewöhnliche Standardzellen. In diesem Fall sind IOs nicht außen um die Layout-Partition herum platziert, sondern werden über den gesamten Kernbereich (core) verteilt. In Kombination mit dieser Art der Platzierung der Ein-/ Ausgangszellen muß ein Flip-Chip-Aufbau (mit der Substrat-Seite nach oben im Gehäuse liegender Silizium-Chip) und ein  $\mu$ BGA-Package für die integrierte Schaltung verwendet werden. Dieser Gehäusotyp kann dann mit Hilfe von Zwischenverdrahtungsebenen den Kontakt zu den IO-Pads bereit stellen.

Aus der Verteilung der Ein-/ Ausgangszellen über den gesamten Kernbereich resultiert, daß diese einer vollständigen Platzierungsoptimierung unterzogen werden. Ein-/ Ausgangszellen und damit die daran angeschlossenen IO-Netze können deshalb bei der Längenabschätzung behandelt werden wie interne Netze. Somit kommen die Verfahren zur Ermittlung der Untergitter entsprechend Gl. 4.23 und Gl. 4.24 zum Einsatz. Da die Ein-/ Ausgangszellen der selben Platzierungsoptimierung unterzogen werden wie gewöhnliche Standardzellen, muß der Einfluß von IOs gleich gesetzt werden mit dem Einfluß von gewöhnlichen Standardzellen. Die doppelte Gewichtung, wie in Gl. 4.24 für IOs im Abstand 1 und in Gl. 4.26 für IOs im Abstand 0 und im Abstand 1 angegeben, wird hinfällig.

Zu beachten ist ferner, daß bei der Berechnung der durchschnittlichen Größe der Gittermaschen des abstrakten Layout-Gitters die Fläche der Ein-/ Ausgangszellen mit einfließen muß (Gl. 4.3), während die Abmessungen der IOs bei einem herkömmlichen Layout-Entwurf keinen Einfluß auf die Größe der Gittermaschen haben.

Ein Schaltungs-Layout mit über den gesamten Kernbereich verteilten Ein-/ Ausgangszellen konnte in der vorliegenden Arbeit nicht untersucht werden. Die verwendete Technologie bzw. die Standardzellbibliothek ermöglicht diese spezielle Methodik nicht. Zudem wird dieser Entwurfsstil nicht von dem Layout-Tool unterstützt, das zur Verifikation der Leitungslängenabschätzungsverfahren eingesetzt wurde.

## Kapitel 5

# Verdrahtungsebenenspezifische Kapazität pro Längeneinheit

In Kapitel 3 wurden die Vor- und Nachteile verschiedener Verfahren zur Ermittlung der Verdrahtungslasten diskutiert, die vor oder nach Teilschritten der Layout-Synthese angewendet werden können. Insbesondere wurde erläutert, daß nach einer Platzierung der Standardzellen oder mit Hilfe von Werkzeugen zur gleichzeitigen Synthese und Platzierung zwar eine gute Leitungslängenabschätzung erzielt werden kann, jedoch lediglich *eine über alle Verdrahtungsebenen gemittelte Kapazität pro Längeneinheit* zur Berechnung der Verdrahtungslasten verwendet wird. In den folgenden Abschnitten wird zunächst gezeigt, daß die *Kapazität pro Längeneinheit verdrahtungsebenenspezifische Merkmale* aufweist, d.h. daß sie stark davon abhängt, auf welcher Verdrahtungsebene eine Leiterbahn im Layout verlegt wird und in welchem Abstand sie von anderen Leiterbahnen umgeben ist. Sie entsteht vor allem durch die kapazitive Kopplung zu anderen Leiterbahnen hin. Dabei ist zu unterscheiden zwischen der *Interlagenkopplung (inter layer coupling)*, die zwischen Leiterbahnen auf verschiedenen Verdrahtungsebenen auftritt und der *Intralagenkopplung (intra layer coupling)*, die zwischen Leiterbahnen auf der selben Ebene auftritt. Wie groß die Intralagenkopplung ist, hängt auch noch davon ab, auf welcher Verdrahtungsebene eine Leiterbahn verläuft, d.h. die Intralagenkopplung nimmt auf den verschiedenen Verdrahtungsebenen unterschiedliche Ausmaße an.

Die Untersuchungen werden zunächst eher aus dem Blickwinkel eines Halbleitertechnologen begonnen. Der Übergang von den geometrischen Parametern zu den für die Verlustleistungsanalyse relevanten Leitungskapazitäten wird dann durch die Darstellung der Gegebenheiten in einem Schaltungs-Layout vollzogen. Die daraus abgeleiteten Einflußfaktoren auf die Leitungskapazitäten werden dann in Einklang mit der Sichtweise eines Schaltungsentwicklers gebracht.

Da Informationen zu aktuellen Halbleitertechnologien sehr sensibel sind, können nur bestimmte Kenngrößen im Rahmen dieser Arbeit veröffentlicht werden. Die verwendeten Daten einer Reihe von Technologiegenerationen zeigen, daß die durchgeführten

Untersuchungen nicht nur für eine bestimmte Technologie, sondern auch für ältere und vor allem auch für zukünftige Generationen relevant sind. Dennoch können detailliertere Informationen aufgrund der gebotenen vertraulichen Behandlung der Prozeßdaten des Halbleiterherstellers exemplarisch nur anhand einer 0,25- $\mu\text{m}$ -Technologie aufgezeigt werden. In den meisten Fällen werden dennoch keine absoluten Werte sondern nur Verhältniszahlen oder prozentuale Angaben gemacht. Dies ist jedoch zur Darstellung der Sachverhalte völlig ausreichend.

Die Zusatzinformation der verdrahtungsebenenspezifischen Kapazitäten wird durch einen neuen Entwurfsablauf gewonnen. Der Vorteil besteht dabei darin, daß keine neuen Entwurfswerkzeuge etabliert werden müssen, sondern daß die vorgeschlagene Methodik in derzeit gängige Entwurfsverfahren integriert werden kann. Der Aspekt der verdrahtungsebenenspezifischen Kapazitäten wird dann bei der Prognose der Verdrahtungslasten berücksichtigt. Die anschließend vorgeschlagene Berechnung der Leitungskapazitäten kann für die genauere Ermittlung der Verdrahtungslasten bei der gleichzeitigen Logiksynthese und Zellplatzierung verwendet werden oder nach der Platzierung der Standardzellen bei der Layout-Synthese. Nach diesen Teilschritten des IC-Entwurfsablaufes kann dann eine genauere, immer noch sehr schnelle Power-Analyse erzielt werden.

## 5.1 Verdrahtungslasten und Lage der Leiterbahnen im Layout

Halbkundenspezifische Verfahren (semi-custom design flows) zum Entwurf von digitalen integrierten Schaltungen ermöglichen die Bearbeitung von Designs großer Komplexität. Werkzeuge zur Entwurfsautomatisierung haben sich unter anderem für die Schaltungssynthese auf Logikebene und zur Layout-Synthese auf physikalischer Entwurfsebene etabliert. Voraussetzung für automatisierte Abläufe sind feste Entwurfsregeln, die durch die Entwurfswerkzeuge (tools) und den Halbleiterhersteller, der die Fertigungstechnologie bereit stellt, vorgegeben werden. Auf der physikalischen Entwurfsebene sind unter anderem die geometrischen Abmessungen von Leiterbahnen, der mindestens einzuhaltende Abstand zwischen Leiterbahnen auf der selben Verdrahtungsebene und die Leiterbahnrichtung (vertikal oder horizontal) je Verdrahtungsebene fest gelegt.

Modernste Deep-Submicron-Technologien stellen nach dem derzeitigen Stand der Technik bis zu neun Verdrahtungsebenen zur Verfügung. Da mit der Anzahl der Verdrahtungsebenen die Anzahl der Prozeßschritte und damit die Anzahl der Masken steigt, wird es bei den später anfallenden Prozeßschritten immer schwieriger, die Masken korrekt zu justieren. Dieses Maskenjustierproblem wird von einigen Halbleiterherstellern entschärft, indem Leiterbahnen auf den oberen Verdrahtungsebenen mit größerer Breite und größerem Leiterbahnabstand ausgeführt werden. Auf diese Weise können Durchkontaktierungen zwischen Leiterbahnebenen (vias) einfacher zum Überlappen mit den betreffenden Leiterbahnen gebracht werden. Da für globale Chip-Verdrahtung (Verbin-

ungsleitungen zwischen Layout-Makroblöcken), Stromversorgungsleitungen und globale Taktbäume ohnehin größere Leiterbahnquerschnitte Verwendung finden, werden diese Ebenen auch bevorzugt für diese Zwecke verwendet.

Der Effekt oben genannter Eigenschaften des Halbleiter- und Entwurfsprozesses ist, daß Leitungskapazitäten und -widerstände davon abhängen, auf welcher Verdrahtungsebene die Leitungen verlegt werden. Es existieren verschiedene Parameter, welche die Kapazität und den Widerstand beeinflussen und im weiteren Verlauf dieses Kapitels diskutiert werden. Da das Leiterbahnmaterial und damit der Leitungswiderstand vor allem die Laufzeit beeinflußt und die dynamische kapazitive Verlustleistung unabhängig vom Leitungswiderstand ist, wird die Diskussion im folgenden auf die Leitungskapazität beschränkt.

Um die Abhängigkeiten der Leitungskapazitäten von technologischen Faktoren zu klären wurden eine Reihe von Charakteristika von IC-Technologien für den halbkundenspezifischen Schaltungsentwurf untersucht. Die ausgewerteten Daten wurden mehreren Technologiegenerationen des selben Halbleiterherstellers entnommen. Dennoch können die daraus gewonnenen Erkenntnisse stellvertretend auch für eine Reihe von Technologien anderer Halbleiterhersteller gelten [54], [101], [109]. In Tabelle 5.1 ist die gezeichnete Gate-Länge der MOS-Transistoren für acht Technologiegenerationen von 1,2  $\mu\text{m}$  bis 90 nm angegeben. Für die bei der jeweiligen Technologie verfügbaren Verdrahtungsebenen sind die Leiterbahnbreite und der mindestens einzuhaltende Abstand zwischen Leiterbahnen auf der selben Ebene angegeben.

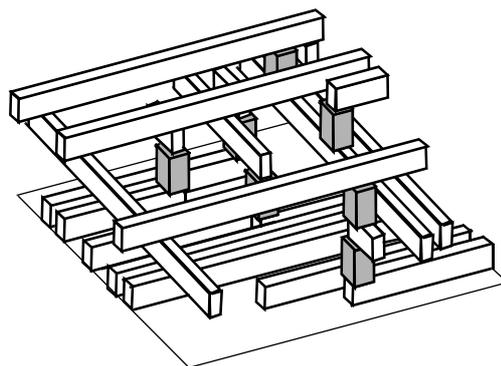
Zahlenpaare: Leiterbahnbreite in $\mu\text{m}$ / min. Leiterbahnabstand in $\mu\text{m}$								
gezeichnete FET-Gate-Länge in $\mu\text{m}$	1,2	0,7	0,5	0,35	0,25	0,18	0,13	0,09
Local Interconnect	-	-	-	-	-	0,24/ 0,32	0,16/ 0,35	k.A.
Verdrahtungsebene 1	1,2/ 1,8	1,0/ 1,2	0,7/ 0,8	0,5/ 0,6	0,4/ 0,4	0,32/ 0,32	0,16/ 0,18	0,12/ 0,12
Verdrahtungsebene 2	1,8/ 2,2	1,3/ 1,5	0,9/ 0,9	0,7/ 0,7	0,6/ 0,4	0,32/ 0,32	0,2/ 0,21	0,14/ 0,14
Verdrahtungsebene 3	4,0/ 4,0	1,4/ 1,6	1,1/ 1,1	0,7/ 0,7	0,6/ 0,4	0,32/ 0,32	0,2/ 0,21	0,14/ 0,14
Verdrahtungsebene 4	-	-	-	0,7/ 0,7	0,6/ 0,4	0,32/ 0,32	0,2/ 0,21	0,14/ 0,14
Verdrahtungsebene 5	-	-	-	0,8/ 2,0	1,0/ 1,0	0,64/ 0,64	0,2/ 0,21	0,14/ 0,14
Verdrahtungsebene 6	-	-	-	-	1,0/ 1,8	0,64/ 0,64	0,44/ 0,46	0,14/ 0,14
Verdrahtungsebene 7	-	-	-	-	-	-	0,2/ 0,21	0,42/ 0,42
Verdrahtungsebene 8	-	-	-	-	-	-	0,44/ 0,46	0,14/ 0,14
Verdrahtungsebene 9	-	-	-	-	-	-	-	0,42/ 0,42

**Tabelle 5.1 Leiterbahnbreite und minimal einzuhaltender Leiterbahnabstand verschiedener Technologiegenerationen eines Halbleiterherstellers [109].**

Die Anzahl der verfügbaren Verdrahtungsebenen ist bei den dargestellten Technologien von drei (1,2- $\mu\text{m}$ -Technologie) auf neun (90-nm-Technologie) angestiegen. Die Ebene für lokale Verdrahtung (local interconnect layer, LIL) aus Wolfram wird nur für zellinterne und sehr kurze Verbindungen verwendet. Bei allen Technologien kleiner als 0,5  $\mu\text{m}$  ist die unterste Verdrahtungsebene (Verdrahtungsebene 1, metal 1) ebenfalls in Wolfram ausgeführt. Für diese am nächsten beim Siliziumsubstrat liegenden Ebenen wird deshalb in der Regel Wolfram verwendet, weil dieses Metall in bezug auf thermische Belastungen und Elektromigration am stabilsten ist. Bei den älteren Technologien sind die restlichen Layer (von unten nach oben Verdrahtungsebenen 2 bis 3) in Aluminium-, bei den Technologiegenerationen kleiner als 0,18  $\mu\text{m}$  (Verdrahtungsebenen 2 bis 6 bzw. 9) in Kupferleiterbahnen ausgeführt [109]. Kupfer weist gegenüber Aluminium einen geringeren spezifischen elektrischen Widerstand auf, sodaß das die Leitungslaufzeit bestimmende Widerstands-Kapazitäts-Produkt (RC-Produkt) im Falle von Kupfer niedriger ist und somit kürzere Laufzeiten erzielt werden können. Für die kapazitive dynamische Verlustleistung von Signalleitungen ist dies ohne Bedeutung.

### 5.1.1 Kapazitive Kopplung zwischen den Verdrahtungsebenen

Die kapazitive Kopplung zwischen Leiterbahnen auf verschiedenen Verdrahtungsebenen wird als *Interlagenkopplung* (*inter layer coupling*) bezeichnet [113]. In Abbildung 5.1 ist ein auszugsweiser Einblick in die Leiterbahngeometrie integrierter Schaltungen mit Mehrlagenverdrahtung gegeben. Der Übersichtlichkeit halber wurden nur drei Ebenen dargestellt. Leiterbahnen sind weiß, Durchkontaktierungen zwischen den Verdrahtungsebenen (vias) sind grau abgebildet. Die Vias sind von Isolationsmaterial, in der Regel Siliziumdioxid, umgeben. In dieser Darstellung wird die Isolierung zwischen den Verdrahtungsebenen als völlig transparent angenommen.



**Abbildung 5.1** Leiterbahngeometrie auf drei Verdrahtungsebenen (Auszug). Die Richtung der Verbindungsleitungen wechselt von Ebene zu Ebene um 90 Grad; Vias sind grau dargestellt.

Bei einem halbkundenspezifischen Entwurfsverfahren wechselt die Verdrahtungsrichtung von Ebene zu Ebene, um eine optimale Ausnutzung der verfügbaren Verdrahtungsressourcen zu gewährleisten. Um eine Verbindung von beispielsweise einem Anschluß einer Standardzelle zu einem anderen herzustellen, muß eine Leitung in der Regel über mindestens zwei Verdrahtungsebenen geführt werden, da nur so ein Richtungswechsel im Layout erzielt werden kann. Lediglich wenn sich die Anschlüsse unmittelbar nebeneinander und nahezu auf der selben Koordinatenachse befinden, kann eine direkte Verbindung mit Hilfe einer einzigen Verdrahtungsebene hergestellt werden.

Als Einflußfaktoren für die kapazitive Kopplung zwischen Leiterbahnen auf verschiedenen Verdrahtungsebenen sind folgende Punkte fest zu halten:

1. Leiterbahnen auf den mittleren Verdrahtungsebenen können sowohl auf darunter als auch auf darüber liegenden Verdrahtungsebenen von benachbarten Leitungen umgeben sein.
2. Die Dicke der Isolationsschicht zwischen den Verdrahtungsebenen nimmt zu höheren Verdrahtungsebenen hin zu [101].
3. Die Verdrahtungsrichtung bei IC-Technologien für einen halbkundenspezifischen Entwurf wechselt von Ebene zu Ebene um 90 Grad.

Aus Punkt 1 läßt sich ableiten, daß auf den mittleren Ebenen die *kapazitive Kopplung zu anderen Verdrahtungsebenen hin* am stärksten ausgeprägt ist, aufgrund der höheren Wahrscheinlichkeit des Vorhandenseins von Leiterbahnen auf unmittelbar benachbarten Ebenen. Leiterbahnen auf der obersten Ebene können lediglich zu Leitungen auf darunter liegenden Ebenen koppeln.

Weiterhin besagt Punkt 2, daß die kapazitive Interlagenkopplung zwischen Leiterbahnen auf den oberen Verdrahtungsebenen zudem auch deshalb geringer ist, da die größere Oxiddicke zwischen den Verdrahtungsebenen einen größeren Leiterbahnabstand erzwingt als zwischen unteren Ebenen.

Aus dem dritten Punkt kann gefolgert werden, daß die kapazitive Kopplung zwischen Leiterbahnen auf verschiedenen Ebenen nicht über die volle Länge einer aktuell betrachteten Leiterbahn erfolgt, sondern wegen des Richtungswechsels von Verdrahtungsebene zu Verdrahtungsebene nur auf den kreuzweisen Überlappungen (siehe auch Abbildung 5.1).

### 5.1.2 Kapazitive Kopplung innerhalb einer Verdrahtungsebene

Die kapazitive Kopplung zwischen Leiterbahnen auf der selben Verdrahtungsebene (*Intralagenkopplung, intra layer coupling*) nimmt auf den verschiedenen Ebenen unterschiedliche Ausmaße an [121]. In Tabelle 5.1 ist zu erkennen, daß sich die Leiterbahnbreite und der mindestens einzuhaltende Abstand zwischen Leiterbahnen auf der selben

Verdrahtungsebene von Technologiegeneration zu Technologiegeneration verringern. Weiterhin kann entnommen werden, daß sowohl die Leiterbahnbreite als auch der Leiterbahnabstand einer betrachteten Technologie von Verdrahtungsebene zu Verdrahtungsebene variieren kann. Bei der Recherche von Technologiedaten ist man auf die Kooperation mit Halbleiterherstellern angewiesen. Wegen der Sensibilität der Informationen wurde die Veröffentlichung von Daten auf eine 0,25- $\mu\text{m}$ -Technologie beschränkt und es wurden lediglich Verhältniszahlen angegeben. Am Beispiel dieser Technologie soll verdeutlicht werden, wie sich die Technologieparameter Leiterbahnbreite, Leiterbahnhöhe und der Abstand zwischen Leiterbahnen (minimal space) auf die kapazitive Kopplung zwischen benachbarten Leiterbahnen auf der selben Verdrahtungsebene auswirken. Zunächst sollen die Unterschiede zwischen den Verdrahtungsebenen diskutiert werden, welche die kapazitive Kopplung innerhalb der selben Ebene betreffen. Anschließend werden verschiedene Fälle der kapazitiven Kopplung mit den dazugehörigen Kapazitätskomponenten besprochen.

### **Intralagenkopplung auf verschiedenen Verdrahtungsebenen**

Bei der Diskussion der maßgebenden Einflußfaktoren für die kapazitive Kopplung zwischen Leiterbahnen auf der selben Verdrahtungsebene sind zunächst folgende Kenngrößen zu nennen:

1. Die Leiterbahnbreite kann von den unteren zu den oberen Verdrahtungsebenen hin kontinuierlich ansteigen, auf den unteren und mittleren Verdrahtungsebenen konstant bleiben und dann auf den oberen Ebenen ansteigen oder in Breite und Abstand von Ebene zu Ebene auf den obersten Layern alternieren (siehe Tabelle 5.1 insbesondere 0,13- $\mu\text{m}$ - und 0,09- $\mu\text{m}$ -Technologien sowie [56], [101]).
2. Desweiteren variiert die Leiterbahnhöhe auf den verschiedenen Verdrahtungsebenen innerhalb einer Technologie. Auf den oberen Ebenen sind Leiterbahnen häufig höher als auf den unteren Ebenen.
3. Leiterbahnen auf den oberen und unteren Verdrahtungsebenen haben meist unterschiedliche Höhen-/ Breitenverhältnisse (aspect ratios). Bei Technologien mit einer gezeichneten Gate-Länge ab 0,25  $\mu\text{m}$  und kleiner zeigt sich, daß Leiterbahnen auf den unteren Ebenen deutlich höher als breit sind (Tabelle 5.2, Spalte 3).
4. Der minimal einzuhaltende Abstand zwischen Leiterbahnen auf der selben Verdrahtungsebene hängt davon ab, auf welcher Ebene die Leitungen verlaufen. Der Leiterbahnabstand auf den oberen Ebenen ist meist größer als auf den unteren Ebenen (Tabelle 5.1). Innerhalb einer Verdrahtungsebene sind die Leiterbahnbreiten und der zwischen benachbarten Leitungen auf dieser Ebene einzuhaltende minimale Abstand für alle Signalleitungen gleich.

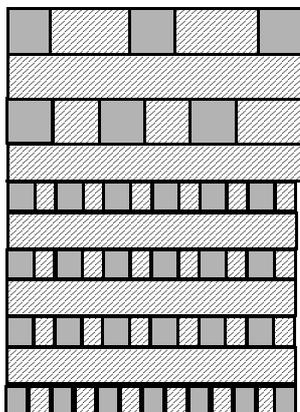
5. Der tatsächliche Abstand zwischen den Leiterbahnen hängt davon ab, wie "verdrahtungslastig" eine Schaltung ist, d.h. wie stark die Ebenen mit Leiterbahnen gefüllt sind.

Die prozeßtechnisch bedingten geometrischen Eigenschaften einer Technologie können von Verdrahtungsebene zu Verdrahtungsebene variieren. "Prozeßtechnisch" bezieht sich in diesem Zusammenhang nicht auf Fertigungstoleranzen des Halbleiterprozesses, sondern auf die Grenzen des zum Zeitpunkt des Erscheinens einer Halbleitertechnologie prozeßtechnisch Machbaren. Die nun aus obigen Punkten gezogenen Schlüsse beziehen sich auf die betrachtete 0,25- $\mu\text{m}$ -Technologie, können jedoch unter Berücksichtigung der geometrischen Unterschiede einfach auf andere Technologien übertragen werden.

Zunächst läßt sich fest halten, daß mit steigender Leiterbahnhöhe die Intralagenkoppelung zwischen benachbarten Leiterbahnen steigt, da die Größe der Seitenflächen der Leiterbahnen zunimmt. Bezogen auf die gesamte Leitungskapazität würde auch der Anteil der Intralagenkoppelkapazitäten gegenüber der Boden-/ Deckflächenkapazität ansteigen. Dem gegenüber steht jedoch der deutlich größere Abstand zwischen benachbarten Leitungen auf den oberen Verdrahtungsebenen gegenüber den unteren Verdrahtungsebenen, was sich wiederum verringernd auf die Koppelkapazität auswirkt.

Verdrahtungsebenen aufsteigend von unten (Ebene 1) nach oben	Leiterbahnhöhe/ min. Leiterbahnabstand	Leiterbahnhöhe/ Leiterbahnbreite	Leiterbahnbreite/ min. Leiterbahnabstand
Verdrahtungsebene 1	1,5	1,5	1
Verdrahtungsebene 2	1,8	1,2	1,5
Verdrahtungsebene 3	1,8	1,2	1,5
Verdrahtungsebene 4	1,8	1,2	1,5
Verdrahtungsebene 5	1,02	1,02	1
Verdrahtungsebene 6	0,57	1,02	0,56

**Tabelle 5.2 Geometrische Kenngrößen am Beispiel einer 0,25- $\mu\text{m}$ -Standardzellentechnologie. Quotienten aus Leiterbahnhöhe und minimalem Leiterbahnabstand, Leiterbahnhöhe und Leiterbahnbreite sowie Leiterbahnbreite und minimalem Leiterbahnabstand.**



**Abbildung 5.2 Schematische Darstellung der Leiterbahnen auf den Verdrahtungsebenen der betrachteten 0,25-µm-Technologie.**

Um einen Vergleich zwischen Leiterbahnhöhe, -breite und den Abständen zwischen den Leiterbahnen darstellen zu können, sind in Abbildung 5.2 die Leiterbahnen auf allen Ebenen mit der selben Verdrahtungsrichtung eingezeichnet, auch wenn die Richtung, wie oben schon erwähnt, in Wirklichkeit zwischen benachbarten Ebenen jeweils um 90 Grad versetzt ist. Die physikalisch-geometrischen Verhältnisse im Layout und deren Auswirkungen auf die Leitungskapazitäten lassen sich mit Hilfe der Kondensatorformel veranschaulichen.

Dazu wird zur Abschätzung eine Formulierung verwendet, die die Abmessungen der Leiterbahnen und den Abstand zu benachbarten Leitungen berücksichtigt [121]. Die Kapazitätskomponente  $C_{Ci}$  entspricht der Koppelkapazität eines Leitungssegments auf der Verdrahtungsebene  $i$  zu einer benachbarten Leitung auf der Ebene  $i$  und kann mit

$$C_{Ci} = \varepsilon \cdot \frac{l \cdot t_i}{s_i} \quad (\text{Gl. 5.1})$$

beschrieben werden. Die Dielektrizitätskonstante  $\varepsilon$  ist das Produkt aus der elektrischen Feldkonstante  $\varepsilon_0$  und der Permittivitätszahl  $\varepsilon_r$  des Isolationsmaterials. In Gl. 5.1 ist  $l$  die Länge des Leitungssegments,  $t_i$  die Leiterbahnhöhe (thickness) und  $s_i$  der Abstand zu benachbarten Leiterbahnen auf der Verdrahtungsebene  $i$  (space). Vergleicht man zwei parallele Leitungssegmente auf der Verdrahtungsebene  $i$  mit zwei parallelen Leitungssegmenten auf der Ebene  $i+1$  so sind in beiden Fällen die Dielektrizitätskonstante  $\varepsilon$  und die Segmentlänge  $l$  identisch. Entscheidend für das Ausmaß der kapazitiven Kopplung ist lediglich der Quotient  $t_i / s_i$ . Die Technologiedaten in Spalte 2 von Tabelle 5.2 ( $t_i / s_i =$  Leiterbahnhöhe / min. Leiterbahnabstand) zeigen, daß die Seitenflächen auf den unteren Ebenen potentiell eine größere Koppelkapazität zu benachbarten Leiterbahnen hin aufweisen, als dies auf den oberen Verdrahtungsebenen der Fall ist.

### Benachbarte Leiterbahnen auf der selben Verdrahtungsebene

In [92] wurde ein Modell vorgeschlagen, mit dem die Gesamtkapazität einer Leiterbahn berechnet werden kann. Dabei wird angenommen, daß die Leiterbahn über einer auf Masse liegenden Platte angeordnet ist (metal line on ground plane). Ausserdem werden vier Kapazitätskomponenten berechnet (siehe auch Gl. 3.1 und Abbildung 3.3), die wie folgt interpretiert werden können: Neben dem Kapazitätsbeitrag, der von Boden- und Deckflächen ausgeht ( $C_d$ ) und der Koppelkapazität  $C_C$  zu benachbarten Leitungssegmenten auf der selben Verdrahtungsebene ist bei diesem Modell im Falle der Seitenflächenkapazitäten zu unterscheiden, ob eine Leiterbahn zu einer benachbarten Leitung hin koppelt oder ob sich keine Leiterbahn auf der selben Ebene in unmittelbarer Nachbarschaft befindet. Selbst wenn keine kapazitive Kopplung  $C_C$  zu benachbarten Leitungssegmenten auf der selben Ebene erfolgt, tritt eine Seitenflächenkapazität  $C_{f0}$  (fringing capacitance) zu darüber und darunter liegenden Ebenen hin auf. Im Falle der Nachbarschaft einer parallelen Leiterbahn auf der selben Verdrahtungsebene (Fälle b) und c)) verringert sich die Seitenflächenkapazität  $C_{f0}$  auf  $C_{f1}$ , da die benachbarte Leiterbahn den Verlauf der elektrischen Feldlinien stört und somit abschirmenden Charakter hat. Zusätzlich zu  $C_{f1}$  ist jedoch die Koppelkapazität  $C_C$  zu berücksichtigen.

Die Kapazität einer Leiterbahn über einer auf Masse liegenden Platte kann wie in Abbildung 5.3 dargestellt und wie in Gl. 5.2, Gl. 5.3 und Gl. 5.4 berechnet werden. Dabei stellt dieses Modell, verglichen mit den tatsächlich vorherrschenden Komplexitäten, eine Vereinfachung dar. In Wirklichkeit tritt eine Kopplung von jeder Verdrahtungsebene zu Leiterbahnen in der Nachbarschaft hin zu *allen* anderen Verdrahtungsebenen auf, sowie zum Substrat, der Polysiliziumschicht der Transistor-Gates und zu den aktiven Halbleiterschichten. Dominant sind jedoch lediglich Kopplungen zu den unmittelbar umgebenden Verdrahtungsebenen, da die Kapazität mit zunehmendem Leiterbahnabstand  $s$  mit  $1/s$  abnimmt. In bezug auf die kapazitive Kopplung von Leiterbahnen im Layout sind drei Fälle zu unterscheiden. Im ersten Fall ist der Abstand zu

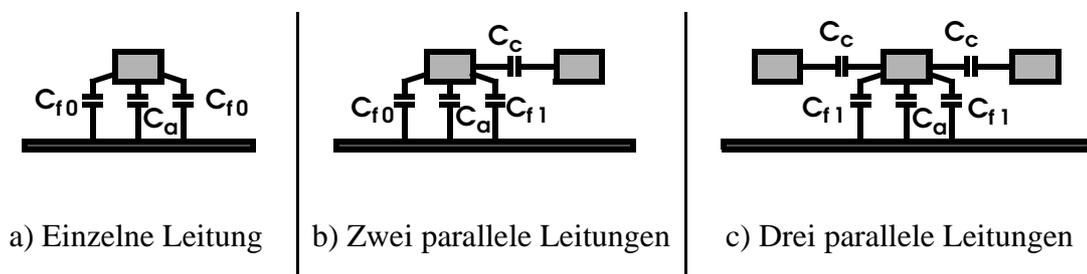


Abbildung 5.3 Drei Fälle der kapazitiven Kopplung zwischen benachbarten Leitungen auf der selben Verdrahtungsebene.

benachbarten Leitungen auf der selben Verdrahtungsebene so groß, daß das betrachtete Segment wie eine einzelne Leiterbahn modelliert werden kann (Abbildung 5.3 a)). In dem zweiten Fall weist das betrachtete Leitungssegment an einer Seite eine Leiterbahn in unmittelbarer Nachbarschaft auf, sodaß eine kapazitive Kopplung entstehen kann (Abbildung 5.3 b)). Im dritten Fall schließlich ist das betrachtete Segment auf beiden Seiten von Leiterbahnen auf der selben Verdrahtungsebene umgeben, zu denen kapazitive Kopplung auftritt (Abbildung 5.3 c)).

Die Kapazität eines Leitungssegments wird zunächst in Abhängigkeit der Kapazität pro Längeneinheit  $C'$  ermittelt, die dann mit der Leitungssegmentlänge multipliziert zur Leitungskapazität führt. Für die drei Fälle wird die Gesamtkapazität pro Längeneinheit  $C'_{ges}$  wie folgt ermittelt:

$$C'_{ges} = C'_a + 2 C'_{f0} \quad (\text{Gl. 5.2})$$

$$C'_{ges} = C'_a + C'_{f0} + C'_{fl} + C'_c \quad (\text{Gl. 5.3})$$

$$C'_{ges} = C'_a + 2 C'_{fl} + 2 C'_c \quad (\text{Gl. 5.4})$$

Im Fall a) setzt sich die gesamte Kapazität pro Längeneinheit  $C'_{ges}$  zusammen aus dem Beitrag der Bodenfläche  $C'_a$  und den Beiträgen der Seitenflächen  $C'_{f0}$ . Da die Seitenflächenkapazitäten  $C'_{f0}$  zu beiden Seiten der Leiterbahn auftreten, wird dies durch den Faktor 2 berücksichtigt. Im Falle zweier paralleler Leiterbahnen (Fall b)) tritt neben der Bodenflächenkapazität  $C'_a$  an der Seite ohne benachbarte Leitung eine Seitenflächenkapazität  $C'_{f0}$  auf und an der Seite mit benachbarter Leitung zusätzlich zur Koppelkapazität  $C'_c$  die niedrigere Seitenflächenkapazität  $C'_{fl}$ . Die Seitenflächenkapazität  $C'_{fl}$  ist deshalb niedriger als  $C'_{f0}$ , da der Verlauf der elektrischen Feldlinien, die von einer Seitenfläche ausgehen und an der auf Masse liegenden Bodenplatte eintreten, gestört wird. Dies wirkt effektiv wie ein Abschirmeffekt, der durch die daneben liegende Leiterbahn hervorgerufen wird. Im Fall c) wird die Bodenflächenkapazität  $C'_a$  zu beiden Seiten der betrachteten Leiterbahn durch je eine Koppelkapazität  $C'_c$  und eine Seitenflächenkapazität  $C'_{fl}$  ergänzt. Die beiden Faktoren '2' entstehen abermals wegen des Vorhandenseins beider Kapazitätskomponenten zu beiden Seiten der betrachteten Leiterbahn [30], [113].

### 5.1.3 Kapazitive Kopplung zu allen benachbarten Leiterbahnen

Bei Übertragung des obigen Modells von Leiterbahnen über einer auf Masse liegenden Metallplatte auf die Verhältnisse in einem Schaltungs-Layout wird nun angenommen, daß eine Leiterbahn auf der Verdrahtungsebene  $i$  zu allen anderen Verdrahtungsebenen, zur Polysiliziumschicht, zu den aktiven Schichten sowie zum Substrat hin koppeln kann (Ebenen  $j$ ). Abschirmeffekte sollen vernachlässigt werden. In die-

sem Fall werden die Kapazitätskomponenten  $C'_a$ ,  $C'_{f0}$ ,  $C'_{f1}$  und  $C'_C$  substituiert durch die Summen der Kapazitätskomponenten zu allen anderen Ebenen  $j$  [114].

$$\text{a) } C'_{ges,i} = \sum_{j=1}^N (C'_{a,ij} + 2 \cdot C'_{f0,ij}) \quad (\text{Gl. 5.5})$$

$$\text{b) } C'_{ges,i} = \sum_{j=1}^N (C'_{a,ij} + C'_{f0,ij} + C'_{f1,ij} + C'_{C,ij}) \quad (\text{Gl. 5.6})$$

$$\text{c) } C'_{ges,i} = \sum_{j=1}^N (C'_{a,ij} + 2 \cdot C'_{f1,ij} + 2 \cdot C'_{C,ij}) \quad (\text{Gl. 5.7})$$

Bei einem Vergleich der Summen der einzelnen Kapazitätskomponenten ausgehend von einer Ebene  $i$  hin zu den Ebenen  $j$  in den Gleichungen Gl. 5.5, Gl. 5.6 und Gl. 5.7 ergeben sich am Beispiel der 0,25- $\mu\text{m}$ -Technologie die in Tabelle 5.3 dargestellten Größenunterschiede. Man beachte, daß alle Daten in Tabelle 5.3 auf die Werte der Verdrahtungsebene 6 normiert wurden, da diese Ebene die niedrigsten Kapazitätswerte innerhalb der betrachteten 0,25- $\mu\text{m}$ -Technologie aufweist. Bei der Ermittlung der Werte der Verdrahtungsebene 6 wurde angenommen, daß diese Leiterbahnen zu allen Ebenen  $j$  hin eine kapazitive Kopplung ausüben. Man beachte ferner, daß zur Vereinfachung bzw. weil keine konkreten Leiterbahnanordnungen im Layout zur Abschätzung der Kapazitätskomponenten angenommen werden können, Abschirmeffekte vernachlässigt werden. Tabelle 5.3 zeigt die Unterschiede zwischen den Kapazitätskomponenten des selben Typs auf den verschiedenen Verdrahtungsebenen. Vergleicht man zunächst nur die Kapazitätskomponenten einer Verdrahtungsebene so kann fest gehalten werden, daß auf

	$\frac{\sum C'_{a,ij}}{\sum C'_{a,6j}}$	$\frac{\sum C'_{f0,ij}}{\sum C'_{f0,6j}}$	$\frac{\sum C'_{f1,ij}}{\sum C'_{f1,6j}}$	$\frac{\sum C'_{C,ij}}{\sum C'_{C,6j}}$
<b>Verdrahtungsebene 1</b>	0,86	1,12	1,02	1,40
<b>Verdrahtungsebene 2</b>	1,19	1,14	0,97	1,50
<b>Verdrahtungsebene 3</b>	1,04	1,10	0,91	1,51
<b>Verdrahtungsebene 4</b>	0,97	1,08	1,11	1,48
<b>Verdrahtungsebene 5</b>	1,49	1,10	1,58	1,01
<b>Verdrahtungsebene 6</b>	1,00	1,00	1,00	1,00

**Tabelle 5.3 Vergleich der Summen der Kapazitätskomponenten vom selben Typ, jedoch verschiedener Verdrahtungsebenen (normiert auf die Daten der Verdrahtungsebene 6).**

den Ebenen 1 bis 4 die Summe der Koppelkapazitäten  $C_C$  dominant ist gegenüber den Summen aller anderen Kapazitätskomponenten (Reihen 2 bis 5 in Tabelle 5.3). Der Grund liegt darin, daß die Summe der Kapazitätskomponenten vor allem durch Kopplungen zu unmittelbar benachbarten Ebenen und zu benachbarten Leiterbahnen auf der selben Ebene zustande kommen. Insbesondere letztere leisten wegen des geringen Abstandes zur betrachteten Leiterbahn den größten Beitrag zur Summe der Kapazitätskomponenten.

Vergleicht man nun die Kapazitätskomponenten verschiedener Ebenen (Spalten in Tabelle 5.3), so erkennt man, daß die Boden- bzw. Deckflächenkapazität  $C_a$  auf Verdrahtungsebene 5 deutlich größer ausfällt als auf den restlichen Ebenen. Dies ist darauf zurück zu führen, daß die Leiterbahnbreite auf den Verdrahtungsebenen 5 und 6 größer ist als auf den darunter liegenden Ebenen 1 bis 4. Desweiteren führt die unmittelbare Nachbarschaft der Ebenen 5 und 6 zu erhöhter kapazitiver Kopplung aufgrund des großflächigen Leiterbahnbodens.

Weiterhin leisten die Seitenflächenkapazitäten  $C_{fl}$  von Leiterbahnen auf Verdrahtungsebene 5 einen größeren Beitrag zur Gesamtkapazität als Seitenflächenkapazitäten auf den restlichen Ebenen, was auf die größere Leiterbahnhöhe und die Nachbarschaft zur Verdrahtungsebene 6 zurück geführt werden kann. Auffällig ist jedoch vor allem, daß die Koppelkapazitäten  $C_C$  auf den Ebenen 5 und 6 deutlich niedriger ausfallen, als auf den anderen Ebenen.

Im folgenden soll nun untersucht werden, welche der vier Kapazitätskomponenten als dominant einzustufen ist und in welchen Größenordnungen sich die Unterschiede bewegen. In Tabelle 5.4 sind die Verhältniszahlen zwischen Koppel- und Flächenkapazität, Koppel- und Seitenflächenkapazität ohne benachbarte Leiterbahn und Koppel- zu

	$\Sigma C'_{C, ij} / \Sigma C'_{a, ij}$	$\Sigma C'_{C, ij} / \Sigma C'_{f0, ij}$	$\Sigma C'_{C, ij} / \Sigma C'_{fl, ij}$
<b>Verdrahtungsebene 1</b>	10,7	2,3	19,8
<b>Verdrahtungsebene 2</b>	8,4	2,5	22,5
<b>Verdrahtungsebene 3</b>	9,6	2,6	24,0
<b>Verdrahtungsebene 4</b>	10,1	1,6	19,4
<b>Verdrahtungsebene 5</b>	4,4	1,7	9,2
<b>Verdrahtungsebene 6</b>	6,6	1,9	14,5
<b>Durchschnitt</b>	<b>8,3</b>	<b>2,1</b>	<b>18,2</b>

**Tabelle 5.4** Quotienten aus Koppel- zu Flächenkapazität, Koppel- zu Seitenflächenkapazität ohne und Koppel- zu Seitenflächenkapazität mit benachbartem Leitungssegment auf der selben Verdrahtungsebene.

Seitenflächenkapazität mit benachbarter Leitung jeweils einer Verdrahtungsebene dargestellt. Bei den in Tabelle 5.4 angegebenen Werten wurde wieder angenommen, daß eine Leiterbahn auf der Verdrahtungsebene  $i$  zu allen anderen Verdrahtungsebenen, zur Polysiliziumschicht, zu den aktiven Schichten sowie zum Substrat hin koppeln kann (Ebenen  $j$ ). Abschirmeffekte sollen wieder vernachlässigt werden. Es zeigt sich eine deutliche Dominanz der Koppelkapazität gegenüber allen anderen Kapazitätskomponenten, da alle Quotienten ( $C_C$  im Zähler) Werte größer 1 aufweisen. Insbesondere die Summe der Seitenflächenkapazitäten  $C_{fl}$  (Fall benachbarte parallele Leiterbahn) ist im Durchschnitt um den Faktor 18,2 niedriger. Aber auch die Summe der Boden- bzw. Deckflächenkapazitäten ist um einen Faktor 4,4 bis 10,7 kleiner als die Summe der Koppelkapazitäten und die Seitenflächenkapazitäten ohne benachbarte Leiterbahn sind um den Faktor 1,6 bis 2,6 kleiner.

Abschließend sollen noch Einflußfaktoren diskutiert werden, welche die Dominanz der Intralagenkopplung gegenüber der Interlagenkopplung unterstreichen. Die in Abschnitt 5.1.1 genannten Punkte 2 und 3 sowie ein weiterer Einflußfaktor unterstreichen die Dominanz der Intralagenkopplung gegenüber der Interlagenkopplung:

- Die Isolationsschicht zwischen den Verdrahtungsebenen ist stets dicker als der minimal einzuhaltende Abstand zwischen Leiterbahnen auf der selben Ebene.

Aus obigem, sowie den zwei in Abschnitt 5.1.1 genannten Punkten ergibt sich, daß selbst im Falle einer starken Häufung von Leitungen auf den benachbarten Layern aufgrund der Kreuzungen der Leiterbahnen die überlappenden Flächen stets geringer sind, als bei zwei parallelen Leiterbahnen auf der selben Ebene. Zusätzlich ist der minimal erzielbare Abstand zwischen Leitungen auf zwei benachbarten Ebenen stets größer als zwischen Leiterbahnen auf der selben Ebene. Konkret bedeutet dies, daß die Oxidschicht zwischen zwei Leiterbahnebenen dicker ist als die minimal einzuhaltende Oxidschicht zwischen zwei benachbarten Leiterbahnen. Da die Kapazität nach dem Plattenkondensatormodell (Gl. 5.1) mit dem Abstand der Platten proportional zu  $1/s$  abnimmt ist der Kapazitätsbeitrag durch benachbarte Leiterbahnen auf der selben Ebene größer als durch Leiterbahnen auf verschiedenen Ebenen [84]. Wie in [90] diskutiert und an Tabelle 5.1 zu erkennen ist, wird dieser Trend aufgrund der immer kleiner werdenden Leiterbahnabstände bei zukünftigen Technologiegenerationen noch weiter zunehmen. Nur im Falle verschiedener Dielektrika zwischen Verdrahtungsebenen und innerhalb einer Verdrahtungsebene zwischen den Leiterbahnen müßten die Verhältnisse neu untersucht werden. Technologien, bei denen Isolationsmaterialien mit niedriger Dielektrizitätszahl (low-k materials) eingesetzt werden, waren jedoch nicht Inhalt der Betrachtungen der vorliegenden Arbeit.

## 5.2 Kapazität pro Längeneinheit der verschiedenen Verdrahtungsebenen

Entscheidend für die Auswirkungen der Verdrahtungslasten auf die Genauigkeit einer Verlustleistungsanalyse ist die Gesamtkapazität eines Netzes. Im Folgenden wird die Anordnung betrachtet, daß eine Leiterbahn von zwei benachbarten Leitungssegmenten umgeben ist (Fall c) in Abbildung 5.3) und daß sie zu Leiterbahnen auf allen anderen Verdrahtungsebenen eine kapazitive Kopplung aufweist. Diese Konstellation entspricht der größtmöglichen Kapazität und stellt gleichzeitig den ungünstigsten Fall in bezug auf den Verlustleistungsbeitrag einer Leiterbahn dar. Für diesen Fall sollen nun die verdrahtungsebenenspezifischen Gesamtkapazitäten pro Längeneinheit verglichen werden. Aus Tabelle 5.4 konnte entnommen werden, daß innerhalb einer Verdrahtungsebene die Koppelkapazität  $C_C$  im Vergleich zu den drei anderen Kapazitätskomponenten  $C_a$ ,  $C_{f0}$ , und  $C_{f1}$  den größten Beitrag zur Gesamtkapazität leistet. Während in Tabelle 5.3 jedoch die Flächenkapazität von Leiterbahnen auf den Verdrahtungsebenen 2 und 5 größere Werte als auf Verdrahtungsebenen 6 annehmen, kann die Frage, nach der dominanten Gesamtkapazität pro Längeneinheit erst mit Abbildung 5.4 geklärt werden. In dem unten abgebildeten Säulendiagramm sind die Kapazitäten pro Längeneinheit von Leiterbahnen auf den sechs Verdrahtungsebenen der betrachteten 0,25- $\mu\text{m}$ -Technologie eingezeichnet. Dargestellt sind lediglich die Differenzen in Prozent, bezogen auf die Verdrahtungsebene 6 (Metal 6), da Leiterbahnen auf dieser Ebene die niedrigste Kapazität pro Längeneinheit aufweisen.

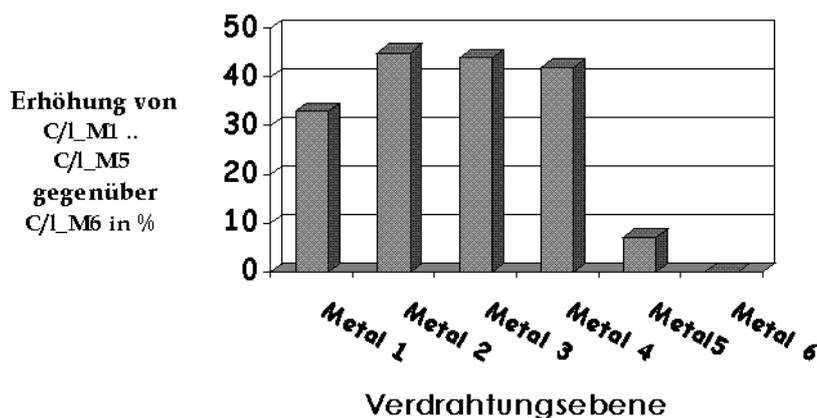


Abbildung 5.4 Vergleich der Kapazitäten pro Längeneinheit der Verdrahtungsebenen einer 0,25- $\mu\text{m}$ -Standardzelltechnologie. Dargestellt ist die prozentuale Differenz der Kapazität pro Längeneinheit aller Ebenen gegenüber Ebene 6.

Bei dem Vergleich mit Leiterbahnen auf Verdrahtungsebene 6 ergeben sich Unterschiede zwischen 8% (Leiterbahnen auf Verdrahtungsebene 5) und 45% (Leiterbahnen auf Verdrahtungsebene 2). Auf den Ebenen zwei bis vier ist die Kapazität um 42% bis 45% höher als auf Ebene sechs, auf Ebene eins immerhin noch um 33% höher. Auf Verdrahtungsebene 5 ist der Mindestabstand zwischen parallelen Leiterbahnen, verglichen mit Ebene 6 geringer, sodaß eine etwas größere Koppelkapazität entsteht. Weiterhin sind die geringere Oxiddicke zwischen Ebene 4 und Ebene 5 sowie die große Leiterbahnbreite auf Ebene 5 zu nennen, welche eine etwas größere Boden- bzw. Deckflächenkapazität  $C_a$  auf Ebene 5 verglichen mit Verdrahtungsebene 6 hervorrufen. Alle drei genannten Faktoren führen dazu, daß Leiterbahnen auf Verdrahtungsebene 5 eine etwas höhere Kapazität pro Längeneinheit im Vergleich zu Ebene 6 aufweisen.

Im Hinblick auf ein Verdrahtungslastmodell läßt sich zusammenfassend fest halten, daß bei der hier betrachteten Technologie die unteren vier Verdrahtungsebenen deutlich größere Kapazitäten pro Längeneinheit aufweisen, als die beiden oberen Ebenen [121]. In bezug auf andere, bzw. zukünftige Technologien kann vor allem die Erkenntnis übertragen werden, daß die Kapazitäten pro Längeneinheit von Leiterbahnen auf verschiedenen Verdrahtungsebenen stark unterschiedliche Werte (hier bis zu 45%) annehmen können. Berücksichtigt man für zukünftige Technologien die Abmessungen und die Mindestabstände der Leiterbahnen auf den einzelnen Verdrahtungsebenen sowie die Oxiddicke zwischen benachbarten Ebenen, so können Abschätzungen analog zu den in Tabelle 5.2, Tabelle 5.3, Tabelle 5.4 sowie in Abbildung 5.4 dargestellten Ergebnisse vorgenommen werden.

### 5.3 Vorschlag eines neuen Entwurfsablaufes

In den vorhergehenden Abschnitten wurden zunächst die Ursachen diskutiert, welche die starken Unterschiede zwischen den Kapazitäten pro Längeneinheit auf den verschiedenen Verdrahtungsebenen hervorrufen. Diese Eigenschaft von Mehrlagentechnologien, daß die Kapazität pro Längeneinheit von der Verdrahtungsebene abhängig ist, wird in [96] dazu ausgenutzt, um die Signallaufzeiten auf globalen Verbindungsleitungen zu verringern. Mit globaler Verdrahtung sind in diesem Fall die relativ langen Leiterbahnen zwischen Layout-Blöcken gemeint. Ein weiteres Verfahren, ebenfalls zur Optimierung der Signallaufzeiten durch die gezielte Zuordnung von Leiterbahnen zu Verdrahtungsebenen wird in [61] vorgeschlagen. Während es sich bei den vorgenannten Verfahren um Methoden zur Verdrahtung der Schaltung und Performance-Steigerung handelt, zielt das im folgenden vorgeschlagene Verfahren zunächst auf die Prognose der Leitungskapazitäten und die damit verbundenen Power-Analysemöglichkeiten ab.

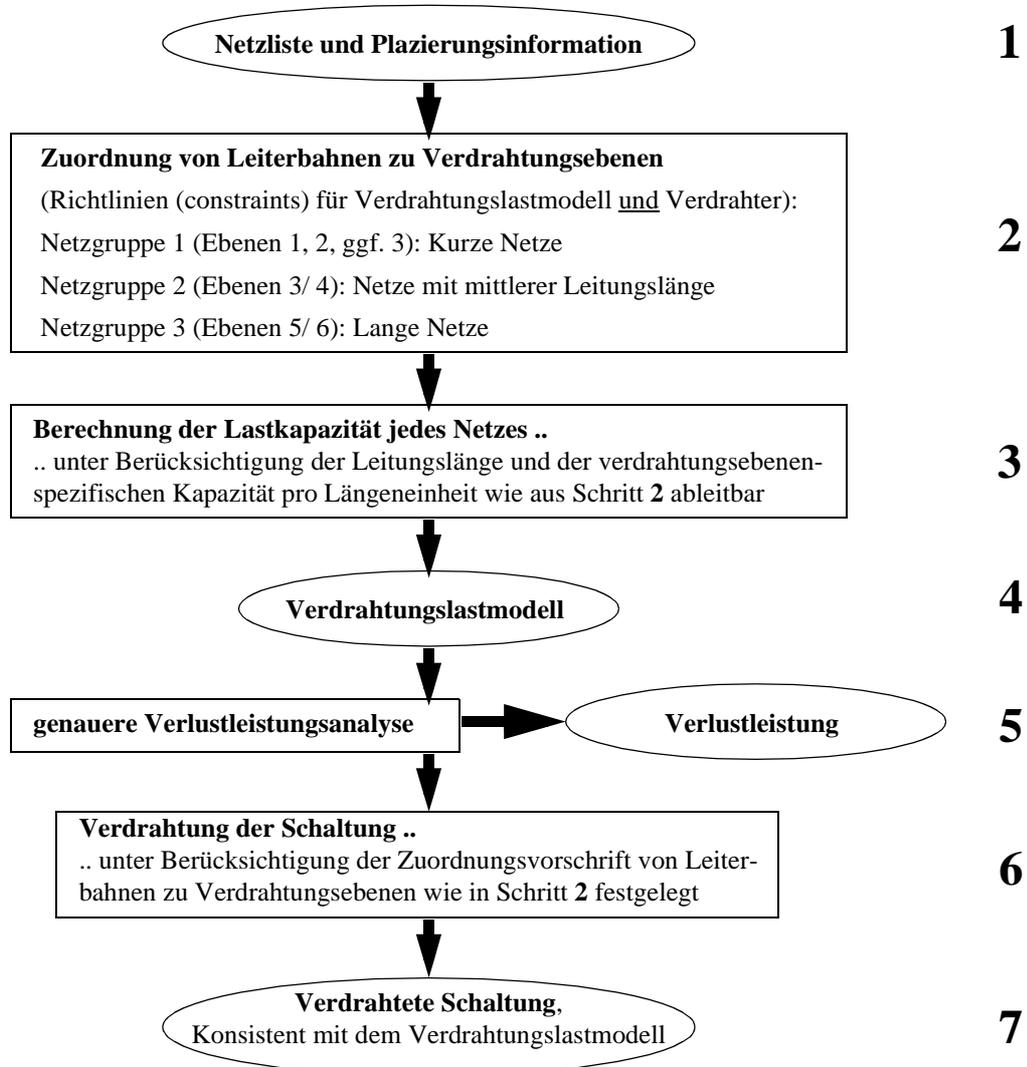
Die Folge, die sich aus der Variabilität der Kapazität pro Längeneinheit verschiedener Verdrahtungsebenen moderner Mehrlagentechnologien zur Herstellung integrierter Schaltungen ergibt ist, daß die Kapazität einer Leiterbahn im späteren Layout nur ungenau vorhergesagt werden kann, weil der exakte Verlauf, insbesondere auf welcher Ver-

drahtungsebene eine Leiterbahn verläuft, erst nach der Layout-Synthese bekannt ist. Als Auswirkung ist deshalb auch eine *Ungenauigkeit bei einer Verlustleistungs- oder Timing-Analyse vor dem Layout* fest zu halten, welche unter Berücksichtigung eines prognostischen Verdrahtungslastmodelles durchgeführt werden.

Bei Verdrahtungslastmodellen nach dem derzeitigen Stand der Technik wird zur Ermittlung der Lastkapazität einer Leitung lediglich die durchschnittliche Kapazität pro Längeneinheit, gemittelt über alle Verdrahtungsebenen mit der Leitungslänge multipliziert [8], [39], [84]. Die Kapazität einer Leiterbahn ist jedoch abhängig von dem Verlauf einer Leiterbahn im Layout, wobei vor allem der tatsächliche Abstand zu benachbarten Leiterbahnen die kapazitive Kopplung bestimmt. Um dennoch mit kurzer Rechenzeit ein Verdrahtungslastmodell zu erhalten, wird keine numerische Feldliniensimulation wie z.B. in [4] durchgeführt, sondern es wird eine Reduktion des Modelles gemäß Gl. 5.5, Gl. 5.6 und Gl. 5.7 vorgenommen. Mit Hilfe von Teststrukturen wird in bezug auf den Leiterbahnabstand eine typische Kapazität pro Längeneinheit extrahiert, die verdrahtungsebenenspezifisch und deshalb genauer ist, als eine über alle Ebenen gemittelte Kapazität pro Längeneinheit. Vorteilhaft wäre deshalb, wenn die später im Layout vorherrschenden Lagen der Leiterbahnen, insbesondere auf welcher Verdrahtungsebene eine Leiterbahn verläuft, besser vorhergesagt werden könnten.

In Abbildung 5.5 wird zur Lösung dieses Problem es ein neuer Entwurfsablauf vorgeschlagen. Es handelt sich dabei um einen Lösungsansatz zur genaueren Vorhersage der verdrahtungsebenenspezifisch bedingten Kapazität einer Leitung mit Hilfe einer Zuordnung von Leiterbahnen zu Ebenen bereits vor der eigentlichen Verdrahtung des Layouts. Ein solcher Entwurfsablauf startet beispielsweise mit einer Schaltungsbeschreibung auf Registertransferebene, gefolgt von einer gleichzeitigen Logiksynthese und Zellplatzierung oder gewöhnlicher Logiksynthese und anschließender Zellplatzierung (**Schritt 1** in Abbildung 5.5).

Nach der Logiksynthese und der Zellplatzierung steht eine Netzliste und eine Platzierungsinformation der Zellen zur Verfügung. Die Platzierungsinformation ermöglicht die Längenabschätzung der Leitungen, welche die platzierten, an einen Netzknoten angeschlossenen Zellen verbinden. Die Längenabschätzung kann z.B. mit dem halben Rechteckumfang oder einem Steinerbaum erfolgen [21]. Die auf diese Weise gewonnenen Längen werden nun den konkreten Netznamen in der Netzliste zugeordnet. Durch Aufsummieren der individuellen Leitungslängen aller in der Schaltung vorkommenden Netze wird wiederum die totale Leitungslänge ermittelt. Alle Netze werden nach ihrer Leitungslänge sortiert und in Form einer Liste abgespeichert. Die *Liste der Netznamen* mit den zugehörigen Leitungslängen und die totale Leitungslänge der Schaltung dient in dem nun folgenden **Schritt 2** als Grundlage für die Zuordnung von Leitungen zu Verdrahtungsebenen.



**Abbildung 5.5 Entwurfsablauf zur kontrollierten Zuordnung von Leiterbahnen zu Verdrahtungsebenen [122].**

Die Zuordnung zu den Verdrahtungsebenen dient als Zusatzinformation für die Modellierung der Verdrahtungslasten und als Richtlinie für die Verdrahtung der Schaltung, welche erst in einem späteren Entwurfsschritt erfolgt. Im Detail wird die Zuordnung gemäß folgender Schritte durchgeführt:

1. Netze werden auf zwei Verdrahtungsebenen geführt, da die Verdrahtungsrichtung von Ebene zu Ebene um jeweils 90 Grad wechselt und somit jedes Zell-Pin der Schaltung unter Verwendung von zwei Ebenen erreicht werden kann.
2. Es werden drei Ebenenpaare, jeweils aus den Verdrahtungsebenen 1 und 2 (Ausnahme: bei Bedarf zusätzlich Ebene 3 => siehe Punkt 4, Gruppe 1), den Verdrahtungsebenen 3 und 4 sowie den Verdrahtungsebenen 5 und 6 gebildet. In einer Gruppe befinden sich immer unmittelbar benachbarte Verdrahtungsebenen, um das Auftreten von gestapelten Durchkontaktierungen (stacked vias) im Falle eines Wechsels von einer zur anderen Ebene zu vermeiden.
3. Jedem Verdrahtungsebenenpaar wird ein prozentualer Anteil an der totalen Leitungslänge zur späteren Aufnahme von Verdrahtungslänge zugewiesen. Der prozentuale Anteil richtet sich nach den Verdrahtungsressourcen, welche sich aufgrund der Leiterbahnbreite und den minimalen Leiterbahnabständen zwischen Leiterbahnen auf der selben Ebene ergeben. Im Falle der hier betrachteten 0,25- $\mu\text{m}$ -Technologie stellt z.B. Verdrahtungsebene 4 aufgrund der geringeren Leiterbahnbreite und des geringeren Abstandes doppelt so viel Verdrahtungsressourcen zur Verfügung wie Verdrahtungsebene 5.
4. Die entsprechend der Leitungslänge sortierten Netze werden nun, beginnend mit dem kürzesten Netz, den drei Ebenenpaaren zugeordnet. Die Summe aller Netzlängen innerhalb eines Ebenenpaares entspricht dann dem prozentualen Anteil an der totalen Leitungslänge der Schaltung, wie unter Punkt 3 fest gelegt. In Abhängigkeit der totalen Leitungslänge werden die Ebenenpaare mit Netzen gefüllt:  
Gruppe 1: Kurze Netze werden auf Ebene 1, auf den Ebenen 1 und 2 oder den Ebenen 1, 2 und 3 verlegt. Weil auf Ebene 1 die Leiterbahnen aus Wolfram bestehen und somit hohe Bahnwiderstände aufweisen, ist diese Ebene nur für sehr kurze Verbindungen geeignet. Um etwas längere Strecken zurücklegen zu können, wird für Netze dieser Gruppe auch noch Ebene 3 zugelassen, insbesondere auch deshalb, weil Ebene 3 die selbe Verdrahtungsrichtung aufweist wie Ebene 1.  
Gruppe 2: Netze mittlerer Länge werden den Ebenen 3 und 4 zugewiesen. Da Leiterbahnen auf diesen Verdrahtungsebenen aus Aluminium oder Kupfer sind, können größere Leitungslängen realisiert werden.  
Gruppe 3: Lange Netze werden auf den obersten Verdrahtungsebenen 5 und 6 geführt. Mit Hilfe der langen Netze werden große Strecken überbrückt, ohne daß Durchkontaktierungen nach unten hin erforderlich sind. Auf diese Weise wird die Anzahl von Via-Blockaden auf den darunter liegenden Ebenen gering gehalten.

5. Da ein Netz über zwei (oder drei) Verdrahtungsebenen verläuft, verfügt es über Leitungssegmente auf beiden Ebenen. Der horizontale und vertikale Längenteil der Leitungssegmente an der Gesamtlänge eines Netzes wird bei dem hier vorgeschlagenen Modell entsprechend dem Höhen- zu Breitenverhältnis (aspect ratio) der Grenzen der Layout-Partition (bounding box) fest gelegt. Diese Vorgehensweise ist deshalb sinnvoll, weil bei einer rechteckigen Layout-Partition zu erwarten ist, daß in der parallel zur längeren Rechteckseite verlaufenden Verdrahtungsrichtung mehr Leitungslänge benötigt wird, als parallel zur kürzeren Seite.

Obige Zuordnung der Netze zu konkreten Verdrahtungsebenen ermöglicht die Vorhersage der verdrahtungsebenenspezifischen Kapazität pro Längeneinheit. Im Gegensatz zu einem herkömmlichen Entwurfsablauf erfolgt bei dieser Methodik die Berechnung der Netzkapazitäten unter Berücksichtigung der ebenenspezifischen Kapazitäten pro Längeneinheit. Diese Zusatzinformationen dienen neben der Leitungslänge als Eingangsdaten für die Berechnung der Lastkapazitäten der Netze im Rahmen des Verdrahtungslastmodelles (**Schritt 3 bzw. Ergebnis in Schritt 4**).

Das auf diese Weise gewonnene, layout-nahe Verdrahtungslastmodell wird in dem folgenden **Schritt 5** einer Verlustleistungsanalyse zugeführt. Es handelt sich dabei um eine Verlustleistungsanalyse nach erfolgter Standardzellplazierung, jedoch ohne Verdrahtungsinformation der Schaltung.

Weil die im nun folgenden **Schritt 6** statt findende Verdrahtung entsprechend der Ebenenzuordnung durchgeführt wird, kann eine *Konsistenz* zwischen dem prognostizierten Verdrahtungslastmodell und den tatsächlichen Leitungskapazitäten im Layout erzielt werden (**Ergebnis in Schritt 7**). Insbesondere die Unterschiede der verdrahtungsebenenspezifischen Kapazitäten pro Längeneinheit können auf diese Weise genauer berücksichtigt werden [122].

## 5.4 Berücksichtigung der verdrahtungsebenenspezifischen Kapazitäten

Das im vorhergehenden Abschnitt vorgeschlagene Verfahren wird auf zehn MCNC-Benchmark-Schaltungen angewendet. Der bisherige Ablauf beim Entwurf von integrierten Schaltungen könnte durch das in dieser Arbeit vorgeschlagene Verfahren ersetzt werden. Um die Ergebnisse des neuen Verfahrens jedoch verifizieren zu können, werden beide Entwurfsmethoden auf die selben Schaltungen angewendet.

Zunächst werden die Netzlängen mit dem halben Rechteckumfang ( $HR$ ) nach erfolgter Zellplazierung ermittelt. Die Lastkapazitäten werden dann nach zwei Verfahren berechnet:

Bei dem herkömmlichen Verfahren, welches dem Stand der Technik entspricht, wird die Lastkapazität eines Netzes  $C_{Netz}$  als Produkt aus der abgeschätzten

Leitungslänge  $l_{HR}$  und der durchschnittlichen Kapazität pro Längeneinheit  $\bar{c}'$  aller Verdrahtungsebenen berechnet:

$$C_{Netz} = l_{HR} \cdot \bar{c}' \quad . \quad (\text{Gl. 5.8})$$

Bei der in dieser Arbeit vorgeschlagenen Entwurfsmethodik hingegen werden die abgeschätzten Segmentlängen eines Netzes und die verdrahtungsebenenspezifischen Kapazitäten pro Längeneinheit berücksichtigt. Die Lastkapazität eines Netzes  $C_{Netz}$  wird in diesem Fall mit

$$C_{Netz} = \sum_{i=M}^N (l_{Seg,i} \cdot c'_i) \quad (\text{Gl. 5.9})$$

berechnet, wobei  $l_{Seg,i}$  die Segmentlänge auf Ebene  $i$  darstellt und  $c'_i$  die verdrahtungsebenenspezifische Kapazität pro Längeneinheit auf Ebene  $i$ . Die gesamte Kapazität eines Netzes entspricht dann der Summe der Einzelkapazitäten der Leitungssegmente auf den Verdrahtungsebenen M bis N, auf denen das betreffende Netz verläuft.

Zum Schluß wird das Schaltungs-Layout auf zwei verschiedene Arten verdrahtet. In dem einen Fall wird ein Layout nach dem herkömmlichen Verfahren erzeugt. Dabei wird dem Verdrahtungswerkzeug überlassen, auf welcher Ebene die Leiterbahnen geführt werden. Daraus entsteht eine unvorhersehbare Zuordnung von Leitungssegmenten zu Verdrahtungsebenen. In dem anderen Fall werden die für die Berechnung der Verdrahtungslasten vorgegebenen Ebenenzuordnungen als Richtlinie für das Verdrahtungswerkzeug erzwungen. Falls das Verdrahtungswerkzeug diese strengen Vorgaben nicht erfüllen kann, werden die Vorgaben aufgeweicht, d. h. es dürfen auch andere Verdrahtungsebenen zur Verlegung verwendet werden. Der relative Fehler wird schließlich für jedes Netz aus jeweils einem Kapazitätspaar errechnet. Ein Kapazitätspaar ist im Falle des herkömmlichen Entwurfes gegeben durch die Kapazität, die sich gemäß der Berechnung nach einem herkömmlichen Verdrahtungslastmodell und gemäß der Verdrahtung nach einem herkömmlichen Layout-Verfahren ergibt. Im Falle des in dieser Arbeit vorgeschlagenen Verfahrens hingegen ist ein Kapazitätspaar gegeben durch die mit Hilfe des layout-nahen Verdrahtungslastmodelles berechneten Wertes und dem Kapazitätswert, der aus dem mit kontrollierter Verdrahtung erzeugten Layout extrahiert wurde.

Der relative Fehler für ein einzelnes Netz berechnet sich nach dem bekannten Zusammenhang%

$$F_{Rel, Netz} = \left| \frac{C_{Modell\ k} - C_{Layout\ k}}{C_{Layout\ k}} \right| \quad . \quad (\text{Gl. 5.10})$$

Für die beiden zu unterscheidenden Fälle steht der Index  $k$  entweder für *das herkömmliche Verfahren für die Berechnung der Verdrahtungslasten und gleichzeitig herkömmlicher Layout-Synthese* oder *das hier vorgeschlagene Verfahren zur Berechnung der Verdrahtungslasten und die hier vorgeschlagene Verdrahtung des Layouts*. In Gl. 5.10 entspricht  $C_{Modell,k}$  also der nach dem jeweiligen Verdrahtungslastmodell prognostizierten Netzkapazität und  $C_{Layout,k}$  der aus dem zugehörigen Layout extrahierten Kapazität.

Der durchschnittliche relative Fehler der Kapazität  $\bar{F}_{Rel, Schaltung}$  aller in einer Schaltung enthaltenen Netze  $N$  wird anschließend mit

$$\bar{F}_{Rel, Schaltung} = \frac{\sum_{n=1}^N F_{Rel, n}}{N} \quad (\text{Gl. 5.11})$$

berechnet. Da es sich bei den einzelnen relativen Fehlern  $F_{Rel, n}$  der Netze  $n$  um Beträge im mathematischen Sinn handelt, kompensieren sich die Fehler nicht gegenseitig, wie dies bei der Aufsummierung vorzeichenbehafteter Einzelfehler der Fall wäre.

Die in Gl. 5.11 angegebene Beziehung wird sowohl auf die mit herkömmlichem als auch mit dem hier vorgeschlagenen Entwurfsablauf entwickelten Schaltungen angewendet.

Die mit dieser Entwurfsmethodik erzielten Ergebnisse sind in Kapitel 7 Abschnitt 7.2 dargestellt.



## Kapitel 6

# Berücksichtigung des Taktbaumes bei der Verlustleistungsanalyse

### 6.1 Taktnetz und Taktbaum in einer Gatternetzliste

Nach der Logiksynthese steht eine Gatternetzliste zur Verfügung, welche die Bestandteile einer Schaltung, die Gatter, Flip-Flops, arithmetischen Komponenten usw. sowie deren strukturelle Verknüpfung wiedergibt. Die Signaleingänge der Schaltung sind über Signalnetze an die betreffenden Zelleingangs-Pins angeschlossen, und die Logikstruktur der Schaltung pflanzt sich von den Zellausgangs-Pins über weitere Zellen bis hin zu den Ausgängen der Schaltung fort. Nach der Logiksynthese wird das Takteingangs-Pin des Funktionsblockes über ein einziges, zusammenhängendes *Taktnetz* an die Takt-Pins aller in der Schaltung enthaltenen Flip-Flops geführt. Sowohl für die Signalnetze als auch das Taktnetz wird die Leitungslänge nach dem Stand der Technik anhand der Pin-Zahl eines Netzknotens abgeschätzt. Daraus wird schließlich für jeden Netzknoten eine Leitungslastkapazität ermittelt und zugeordnet [72]. Im Falle des Taktnetzes entsteht ein Netzknoten dessen Abzweigungen der Anzahl der Flip-Flops zuzüglich dem Takteingangs-Pin der Schaltung entspricht. In Abbildung 6.1 ist der Schaltplan auf Logikebene (Gatternetzliste) mit der Verschaltung von Logikgattern und Flip-Flops dargestellt. In den beiden Teilbildern a) und b) befinden sich die Schaltungseingänge jeweils links und die Schaltungsausgänge rechts. Zunächst werde Abbildung 6.1 a) betrachtet, in der eine Gatternetzliste vor der Layout-Synthese dargestellt ist. Das Taktnetz ist dabei fett eingezeichnet. Die Modellierung des Taktnetzes als ein einziges, zusammenhängendes Netz ist bei großen Schaltungen mit vielen Registern unrealistisch. Jedes Flip-Flop ruft an dem Taktnetzknoden eine Abzweigung hervor, was nicht den später im Layout vorherrschenden Gegebenheiten entspricht. Die Abschätzung der Leitungslänge nach der Pin-Zahl führt zwangsläufig zu Fehlern, da sich eine überproportional große Lastkapazität des Taktnetzes ergibt.

## Gatternetzliste ..

.. vor dem Layout mit Taktnetz

.. nach dem Layout mit Taktbaum

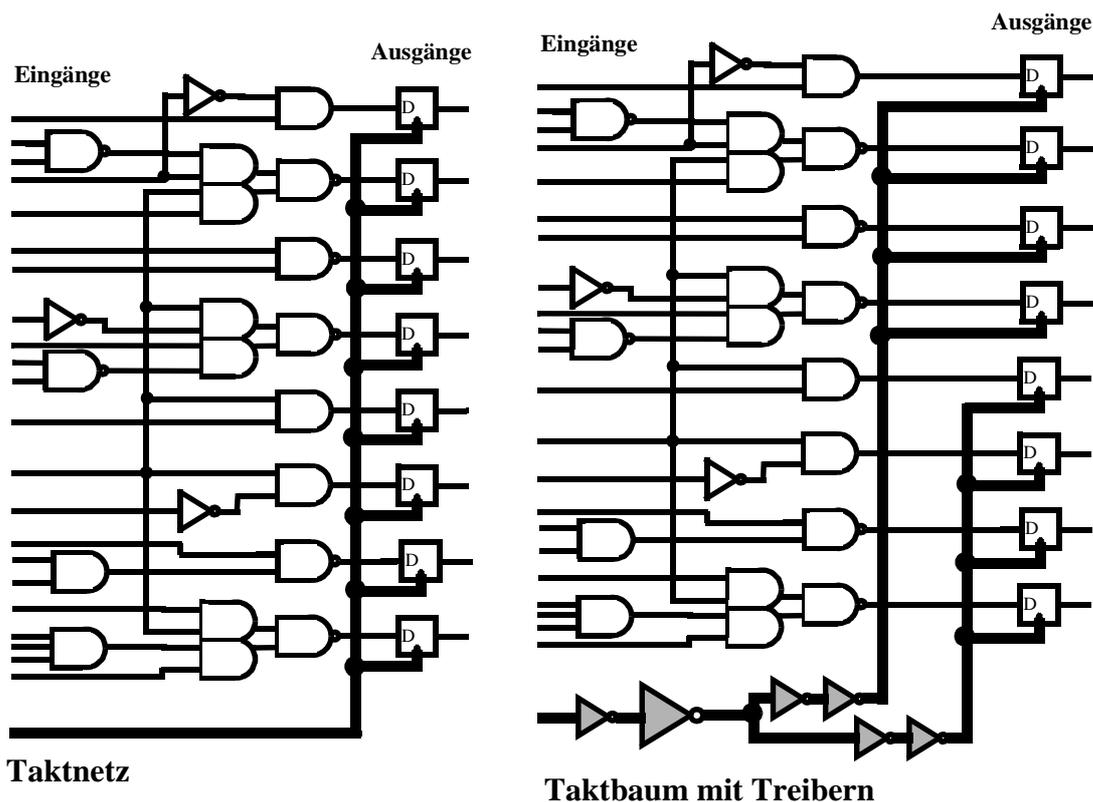


Abbildung 6.1 Netzliste mit a) Taktnetz (vor dem Layout) und b) Taktbaum, der Verzweigungen und Treiber enthält.

Verglichen mit den Signalnetzen, fällt dem Taktnetz eine Sonderstellung zu. Zur Verdeutlichung werde der Blick zunächst auf die Vorgehensweise bei der Layout-Synthese geworfen. In der Literatur werden verschiedene Netzwerkstrukturen zur Verteilung des Taktsignales vorgeschlagen [3], [89], [110]. Diese können in die Klassen *Gitter* (*mesh, grid*) [42], *Serpentinenverdrahtung* (*length matched serpentes*) [88], *symmetrischer H-Baum* (*H-tree*) [80], *überlappende Ringe* (*interleaved rings*) [95] und (mit Takttreibern) *ausbalancierter Taktbaum* (*balanced buffer tree*) [89] unterteilt werden. CAD-Werkzeuge zur Erzeugung einer Taktnetzwerkstruktur (*clock tree generator* bzw. *clock tree synthesizer*) bauen in der Regel einen mit Takttreibern ausbalancierten Taktbaum auf, da sich die Generierung dieser Klasse eines Taktnetzwerkes gut automatisieren

läßt [16], [59]. Die Verteilung des Taktnetzes, wie sie in dem späteren Schaltungs-Layout vorgenommen wird, ist auf Logikebene im Detail noch nicht vorhersehbar. Bekannt ist jedoch das prinzipielle Vorgehen des Taktbaumgenerators. Dieses Entwurfswerkzeug kommt erst nach der Platzierung der Standardzellen zum Einsatz, weil zu diesem Zeitpunkt nunmehr die Lage der Flip-Flops im Layout bekannt ist. Durch die ungleichen Abstände der Flip-Flops zum Takteingangs-Pin der Schaltung einerseits und die Timing-Anforderungen an die Schaltung andererseits tritt ein Problem auf: Durch unterschiedliche Lastkapazitäten entlang der Streckenabschnitte des Taktnetzes vom Takteingangs-Pin des Funktionsblockes zu den Flip-Flops kommt ein Taktflankenversatz (clock skew) zustande. Die unterschiedlichen Lastkapazitäten haben ihre Ursache nicht nur in den verschieden großen Leitungskapazitäten der unterschiedlich langen Taktnetzabschnitte sondern auch in den Eingangskapazitäten der Takt-Pins der Flip-Flops. Als weiterer Faktor für das Entstehen des Taktflankenversatzes ist der elektrische Widerstand des Taktnetzes auf den verschiedenen Streckenabschnitten zu nennen, der insbesondere durch die Resistanz der Durchkontaktierungen zwischen den Verdrahtungsebenen gekennzeichnet ist. Unter Auswertung der Platzierungsinformation der Flip-Flops und eines möglichen Taktflankenversatzes wird das Taktnetz an geeigneten Stellen unterbrochen und es werden Takttreiber (clock buffer, repeater) eingefügt [111]. Ein Takttreiber wird entweder durch ohnehin in der Technologiebibliothek enthaltene Treiberzellen oder durch zwei kaskadierte Inverter verschiedener Treiberstärke realisiert. Durch die zweimalige Invertierung ergibt sich wieder der ursprüngliche Signalverlauf des Taktes. Der Taktbaumgenerator beendet seine Aufgabe, wenn die Vorgaben wie Taktflankenversatz und Taktperiode durch den entstandenen, nunmehr aufgespaltenen und verzweigten *Taktbaum* eingehalten werden können. Statt des zusammenhängenden Taktnetzes mit sehr vielen Abzweigungen an einem einzigen Netzknoten ist ein Taktbaum mit Treibern und zwischen den Treiberzellen liegenden kurzen Taktnetzen entstanden [59].

In Abbildung 6.1 b) ist eine Netzliste dargestellt, wie sie nach der Layout-Synthese entstanden ist. Die grau unterlegten, paarweise angeordneten Inverter sind durch die fett gezeichneten, kurzen Taktnetzabschnitte miteinander verbunden. Die Flip-Flops an den Ausgängen des Schaltungsblockes sind in Gruppen zusammen gefaßt. In einer Gruppe befinden sich dabei Flip-Flops, die im Layout nahe zueinander platziert wurden. Eine Flip-Flop-Gruppe ist jeweils durch einen Netzknoten verbunden, der seinen Ursprung bei einer der letzten Takttreiberzellen hat. Die Erzeugung einer symmetrischen Taktbaumstruktur gewährleistet die Einhaltung der Entwurfsvorgaben für die integrierte Schaltung, da zu große Unterschiede der Ankunftszeiten des Taktsignals an den Flip-Flops keine effiziente Ausnutzung der Taktperiode in bezug auf die Timing-Anforderungen ermöglichen.

## 6.2 Probleme durch das Taktnetz bei der Verlustleistungsanalyse

Durch das Einfügen der zusätzlichen Treiber bzw. Inverter entstehen zusätzliche Netze in der Gatternetzliste. Nach der Layout-Synthese liegt folglich eine veränderte Schaltung vor, die um die Anzahl der nunmehr kürzeren Netze zwischen den Treiberzellen und die zusätzlichen Treiber erweitert wurde. Für genaue Timing- und Verlustleistungsanalysen *nach dem Layout* wird deshalb die neu entstandene Netzliste mit den oben genannten Erweiterungen verwendet.

Für das Ziel einer genauen Verlustleistungsanalyse auf Logikebene und zwar *vor der Layout-Synthese* treten folgende Probleme auf, die durch Verdrahtungslastmodelle nach dem derzeitigen Stand der Technik hervorgerufen werden:

1. Die Längenabschätzung des Taktnetzes anhand der Vielzahl der Netzknotenabzweigungen modelliert die später im Layout vorherrschenden Gegebenheiten unzulänglich. Insbesondere die Vorgehensweise, daß aus obiger überproportionalen Taktnetzlänge eine einzige große Lastkapazität abgeleitet wird, führt zu Ungenauigkeiten bei der Abschätzung der dynamischen Verlustleistung des Taktbaumes.
2. Die Leistungsaufnahme, der bei der Layout-Synthese eingefügten Takttreiberzellen, bleibt bei einer Verlustleistungsanalyse mit einer Netzliste vor dem Layout gänzlich unberücksichtigt.

Die oben genannten Probleme treten bei rein kombinatorischen Schaltungen wegen des Fehlens eines Taktnetzes verständlicherweise nicht auf.

Bei sequentiellen Schaltungen wird das Problem allerdings noch dadurch verschärft, weil das Taktsignal die höchste Schaltaktivität in einer Schaltung aufweist. Die Schaltaktivität ist jedoch einer der Einflußfaktoren, welche die Größe der dynamischen, kapazitiven Verlustleistung (siehe auch Gl. 1.9) bestimmen. Bei herkömmlicher Vorgehensweise bei der Verlustleistungsanalyse vor dem Layout wird die Leistungsaufnahme der Takttreiberzellen mit höchster Schaltaktivität völlig vernachlässigt. Ferner wird die durch die Leitungskapazitäten des Taktnetzes verursachte kapazitive Verlustleistung falsch ermittelt, da anstatt der großen Netzkapazität die Kapazitäten mehrerer kürzerer Netze berücksichtigt werden müssen [57], [59].

## 6.3 Generierung einer Taktbaumstruktur vor der Layout-Synthese

Zur Berücksichtigung eines layout-nahen Taktbaumes bei der Verlustleistungsanalyse vor der Layout-Synthese wird deshalb vorgeschlagen, eine Taktbaumstruktur zu prognostizieren. Wie bereits bei der Leitungslängenabschätzung in Kapitel 4 handelt es sich auch bei der im Folgenden vorgestellten Methodik um ein verfahrensorientiertes Modell (procedural model). Kennzeichnend dafür ist, daß in die Betrachtungen einer-

seits Informationen aus der Technologiebibliothek einfließen und andererseits das Verhalten des Taktbaumgenerators berücksichtigt wird.

Zunächst wird die Technologiebibliothek analysiert, ob spezielle Takttreiberzellen bereit gestellt werden oder ob diese aus zwei Invertern aufgebaut werden müssen. Ein aus zwei in Serie geschalteten Invertern konstruierter Takttreiber soll im weiteren Verlauf als *Treibereinheit* bezeichnet werden. Weiterhin werden der Technologiebibliothek die Bezeichnungen möglicher Flip-Flops entnommen. Danach werden die Taktbäume mehrerer standardmäßig erstellter Schaltungs-Layouts analysiert. Daraus kann abgeleitet werden, daß eine Treibereinheit in den allermeisten Fällen aus zwei Invertern der selben Treiberstärke aufgebaut ist. Seltene Fälle, in denen zwei Inverter unterschiedlicher Treiberstärke als Kaskade zu einer Treibereinheit zusammengefaßt werden, sollen hier vernachlässigt werden, da diese sehr selten auftreten. Weiterhin ist zu beobachten, daß der hier verwendete Taktbaumgenerator durchschnittlich 20 Flip-Flops zu einer Gruppe zusammenfaßt, welche dann gemeinsam an einer speziell von der verwendeten Technologiebibliothek bereit gestellten Takttreiberzelle angeschlossen sind.

Die folgenden Pseudo-Code-Blöcke beschreiben die Konstruktion des Taktbaumes für eine bestehende Netzliste einer sequentiellen Schaltung. Bei den Treiberzellentypen und insbesondere bei der maximal möglichen Anzahl von angeschlossenen Flip-Flops (Beispiel oben: 20) handelt es sich um technologiespezifische Informationen.

```
function clocktree( N: input Netlist,  
                  L: input Library )  
  
  //count flip-flops  
  foreach cell  
    if cell is of type flip-flop  
      iTotNumOfFlipFlops =  
        iTotNumOfFlipFlops + 1;  
    end if  
  end for  
  
  //define the number of clock buffers  
  iTotNumOfClkBuff =  
    iTotNumOfFlipFlops / DriveStrengthClkBuff;
```

**Abbildung 6.2 Pseudo-Code zur Ermittlung der Anzahl der Flip-Flops in einer Netzliste und zur Ermittlung der benötigten Anzahl von unmittelbar an Flip-Flops angeschlossenen Takttreiberzellen.**

Um einen Lösungsansatz zu erhalten, der auf eine spezielle Technologie und einen konkreten Taktbaumgenerator angepaßt werden kann, ist in dem in Abbildung 6.2 dargestellten Code die Anzahl der maximal möglichen Flip-Flops an einer Treiberzelle mit der Variable "DriveStrengthClkBuff" bezeichnet. Die Anzahl der ermittelten Takttreiber sei "iTotalNumOfClkBuff" und die Anzahl der aus der Netzliste ermittelten Flip-Flops "iTotalNumOfFlipFlops". Ein Taktbaum wird bei dem hier vorgestellten Verfahren beginnend von den Flip-Flops bis hin zu dem Takteingangs-Pin des Schaltungsblockes konstruiert. Deshalb wird in dem hier dargestellten Code-Block in dem letzten Schritt die Anzahl der unmittelbar an die Flip-Flops angeschlossenen Treiberzellen berechnet, indem jeder Flip-Flop-Gruppe eine Treiberzelle zugeordnet wird. Eine Gruppe umfaßt die Anzahl von "DriveStrength" Flip-Flops.

Im nächsten Schritt wird der Taktbaum, ausgehend von den an den Flip-Flops angeschlossenen Takttreibern, um Treibereinheiten erweitert. Dabei wird die Treiberstärke der verwendeten Inverter sukzessive entsprechend den Abstufungen in der Technologiebibliothek erhöht (set-Befehl im Programm-Code). Falls die größte, in der Bibliothek verfügbare Invertertreiberstärke erreicht ist, werden dennoch weitere Treibereinheiten größter Stärke eingefügt.

```
//calculate the number of buffer units
iTotalNumOfBuffUnits = 0;
iTmpNumOfBuffUnits = iTotalNumOfClkBuff;
set InverterType with smallest drive strength;
while(iTmpNumOfBuffUnits >
      InverterDriveStength )
  iTmpNumOfBuffUnits =
    iTmpNumOfBuffUnits / InverterDriveStrength;
  iTotalNumOfBuffUnits =
    iTotalNumOfBuffUnits + iTmpNumOfBuffUnits;
store iTmpNumOfBuffUnits of InverterType;
if InverterType <= MaxInverterType
  set InverterType with next drive strength;
end if;
end while;
```

**Abbildung 6.3** Ermittlung der benötigten Anzahl von Treibereinheiten zum Aufbau eines kaskadierten Taktbaumes.

Erst wenn der Fall eintritt, daß weniger als zehn Treibereinheiten an der letzten Treibereinheit liegen, wird erkannt, daß es sich um das letzte Inverterpaar handelt. Die Kaskadierung ist abgeschlossen und die Programmschleife wird verlassen.

Durch das Einfügen weiterer Treibereinheiten (store-Befehl im Programm-Code) wird das Verhalten des Taktbaumgenerators nachgebildet, welcher auf eine möglichst große Flankensteilheit des Taktsignales abzielt. Das verwendete Limit von zehn Treibereinheiten ist abhängig vom Verhalten des verwendeten Taktbaumgenerators. Um das vorgeschlagene Verfahren an das Verhalten eines beliebigen Taktbaumgenerators anpassen zu können, wird im Programm-Code wieder eine Variable verwendet (InverterDriveStrength).

In dem nun folgenden Schritt werden zwei Aufgaben gelöst. Zum ersten werden die Namen der neu einzufügenden Taktnetze definiert. Zum zweiten wird die Leitungslänge der Taktnetze abgeschätzt. Die Anzahl der Taktnetze  $N_{Taktnetze}$  ergibt sich nach folgendem Zusammenhang:

$$N_{Taktnetze} = N_{Takttreiber} + 2 \cdot N_{Treibereinheiten} + 1 \quad . \quad (\text{Gl. 6.1})$$

Am Ausgang jedes Takttreibers ist ein Mehr-Pin-Netz angeschlossen, welches die Verbindung zu den Flip-Flops herstellt. Die Anzahl dieser Netze entspricht in Gl. 6.1  $N_{Takttreiber}$ . Mit dem Term  $2 N_{Treibereinheiten}$  wird berücksichtigt, daß jede Treibereinheit aus zwei Invertern besteht und daß jeweils ein längeres Netz am Ausgang der Treibereinheit sowie ein kurzes Zwei-Pin-Netz zwischen den beiden Invertern vorhanden ist. In obiger Summe ist abschließend ein zusätzliches Netz zwischen dem Takteingangs-Pin des Schaltungsblockes und der ersten Treibereinheit zu veranschlagen.

Da die Takttreiber nachträglich, also nicht während der Platzierung der anderen Standardzellen eingefügt werden, unterliegen diese nicht unbedingt der selben Platzierungsoptimierung wie gewöhnliche Standardzellen. Allerdings können folgende Schlüsse aus dem Verhalten des Taktbaumgenerators gezogen werden:

1. Die Takttreiber, welche unmittelbar an die Flip-Flops angeschlossen sind, werden in unmittelbarer Nachbarschaft zu den Flip-Flops platziert.
2. Die beiden Inverter, welche eine Treibereinheit bilden, werden unmittelbar nebeneinander platziert.
3. Kaskadierte Treibereinheiten werden durchschnittlich in größerem Abstand voneinander platziert als gewöhnliche Standardzellen, welche über Netze verbunden sind, die eine ähnliche Anzahl von Zellen im Abstand 0 und im Abstand 1 aufweisen.
4. Die erste Treibereinheit nach dem Takteingangs-Pin des Schaltungsblockes wird immer unmittelbar neben dem Takt-Pin am Rande des Layout-Blockes platziert.

Aus dem ersten Punkt kann abgeleitet werden, daß die miteinander verschalteten Takttreiberzellen und Flip-Flops einer ähnlichen Plazierungsoptimierung unterliegen, wie gewöhnliche Standardzellen. Die Längen der zugehörigen Mehr-Pin-Netze werden deshalb wie gewöhnliche Netze entsprechend Gl. 4.24 abgeschätzt.

An den analysierten Standard-Layouts kann eindeutig erkannt werden, daß die Verbindungsnetze zwischen den beiden Invertern einer Treibereinheit sehr kurz sind (Punkt 2). Die Länge dieser Netze wird deshalb als eine mittlere Zellbreite abgeschätzt.

Aus Punkt 3 läßt sich ableiten, daß die Verbindungsnetze zwischen kaskadierten Treibereinheiten im Durchschnitt länger sind als die Verbindungsnetze zwischen gewöhnlichen Standardzellen. Die Verteilung der Treibereinheiten im Layout wird deshalb als homogen angenommen und die Leitungslänge wird als eine halbe Kantenlänge des Layout-Blockes modelliert [36]. Auf diese Weise wird der durchschnittlich größeren Leitungslänge Rechnung getragen.

Aus Punkt 4 ergibt sich schließlich noch ein eindeutiger Hinweis auf die Länge des Netzes zwischen dem Takteingangs-Pin der Schaltung und der ersten Treibereinheit. Die Länge dieses Zwei-Pin-Eingangsnetzes wird aus der *IO to Core Distance* zuzüglich einer halben mittleren Zellbreite der Schaltung berechnet. Die *IO to Core Distance* liefert insbesondere bei *pad limited* Schaltungen einen Längenbeitrag, der nicht vernachlässigt werden darf (vgl. Abbildung 4.9).

Nachdem schließlich alle zusätzlich einzufügenden Takttreiberzellen, Treibereinheiten sowie die zusätzlichen Taktbaumnetze fest stehen, wird eine neue Logiknetzliste erzeugt. In dieser Netzliste ist das bisherige, einzige Taktnetz durch die eingefügten Takttreiber sowie deren Verschaltung mit den eingefügten Taktnetzabschnitten des neu entstandenen Taktbaumes ersetzt worden. Die auf diese Weise erhaltene Netzliste sowie die abgeschätzten Lastkapazitäten der Netze entlang des Taktbaumes werden nun einer Verlustleistungsanalyse zugeführt, die vor der Layout-Synthese angewendet wird.

## Kapitel 7

# Ergebnisse

Die in dieser Arbeit vorgeschlagenen Verdrahtungslastmodelle und die Methodik zur Verdrahtung integrierter Schaltungen werden in diesem Kapitel verifiziert. Abschließend werden die Auswirkungen auf die Verlustleistungsanalyse dargestellt, wenn diese unter Berücksichtigung der diskutierten Verdrahtungslastmodelle durchgeführt wird.

### **Vergleich der Längenabschätzung**

In Kapitel 4 wurden Netze klassifiziert und zur Längenabschätzung wurden netzklassenspezifische Modelle hergeleitet. Um die Effektivität jeder einzelnen, auf eine spezielle Netzklasse angewendeten Methode zu belegen, wurden Zwischenergebnisse angegeben, die sich nur auf Netze der betreffenden Klasse beziehen. In diesem Kapitel hingegen werden die Gesamtergebnisse einer Schaltung dargestellt, d.h. jene Ergebnisse, die sich auf alle in der Schaltung enthaltenen Netze beziehen. Das entwickelte Verfahren zur Leitungslängenabschätzung wird wieder wie in Kapitel 4, sowohl mit kommerziell verfügbaren Wire Load Models als auch dem akademischen Verfahren von Pedram und Preas verglichen. Kommerzielle Wire Load Models werden in der Regel vom Halbleiterhersteller für den Einsatz in Logiksynthesewerkzeugen bereitgestellt. In der vorliegenden Arbeit wurden Wire Load Models für das Werkzeug des CAD-Tool-Herstellers Synopsys verwendet. Die darin enthaltene Modellierung der Leitungslängen und -kapazitäten findet mit der selben Grundidee auch bei anderen CAD-Tools Anwendung und kann quasi als Industriestandard bezeichnet werden.

Das Verfahren von Pedram und Preas liefert eine Längenabschätzung. Deshalb wird das hier vorgeschlagene Verfahren mit dem Verfahren von Pedram und Preas als auch dem Synopsys Wire Load Model in bezug auf die Leitungslänge verglichen. Das entwickelte Verfahren zur Längenabschätzung wurde auch auf zeitoptimierte Layouts angewendet, um die Wirksamkeit des Verfahrens auch für diesen Entwurfsstil zu demonstrieren.

### **Layer-Zuordnung, Design-Methodik, Wire Load Prediction**

Das zweite entwickelte Verfahren bzw. das Verdrahtungslastmodell, welches auf der ebenenspezifischen Kapazität pro Längeneinheit basiert, wird in bezug auf die Leitungskapazitäten verifiziert, die sich ergeben, wenn lediglich eine durchschnittliche Kapazität pro Längeneinheit über alle Verdrahtungsebenen berücksichtigt wird. Zur Leitungslängenabschätzung wurde in beiden Fällen der halbe Rechteckumfang der platzierten Standardzellen verwendet, die an ein betrachtetes Netz angeschlossen sind. Die ermittelten Fehler beziehen sich in beiden Fällen auf die aus dem Layout extrahierten Leitungskapazitäten.

### **Verlustleistungsanalyse**

Abschließend werden die Ergebnisse bei einer Verlustleistungsanalyse auf Logikebene präsentiert. Die Rahmenbedingungen wie Netzliste, verlustleistungscharakterisierte Zellbibliothek, Schaltaktivitäten, Simulationszeitdauern und verwendetes Werkzeug zur Verlustleistungsanalyse wurden für jede zu untersuchende Schaltung identisch gewählt. Der Verlustleistungsanalyse wurde in dem einen Fall das Verdrahtungslastmodell zugeführt, das auf der in der vorliegenden Arbeit entwickelten netzklassenspezifischen Leitungslängenabschätzung basiert. Im zweiten Fall wurde das Synopsys Wire Load Model verwendet.

Zur Verifikation wurden Benchmark-Schaltungen verwendet, die vom Microelectronics Center of North Carolina (MCNC) zur Verfügung gestellt werden. Diese sind in Form einer Gatternetzliste vorhanden und werden darüber hinaus mit Benchmark-Testumgebungen (Testbenches mit Schaltaktivitäten) geliefert. Durch die Benchmark-Testbenches wird eine objektive Aussage bezüglich der Verlustleistungsanalyse möglich, da die Schaltaktivitäten anwendungsneutral, d.h. nicht auf eine bestimmte Optimierung zugeschnitten sind. Um die Schaltungen für die im Rahmen dieser Arbeit verwendete Entwurfsumgebung verfügbar zu machen, wurden die Netzlisten in eine ASIC-Standardzellbibliothek übersetzt, die eine 0,25- $\mu\text{m}$ -Technologie zugrunde liegt. Ansonsten blieben die Netzlisten für die durchgeführten Untersuchungen in der Regel unberührt. Nur wenn sich bei der Timing-Analyse oder der Gattersimulation Fehler ergaben, wurde eine Re-Synthese mit verschärften Vorgaben (timing constraints) durchgeführt, um die Timing-Anforderungen fehlerfrei zu erfüllen. Die Timing-Vorgaben der Schaltung sollten erfüllt werden, jedoch wurden keine weiteren Timing-Optimierungen vorgenommen.

Die auf diese Weise erhaltenen Netzlisten wurden als Eingangsinformation für die Leitungslängenabschätzung, die Verlustleistungsanalyse und die Layout-Synthese verwendet. Weiterhin dienten die Netzlisten als Eingangsinformationen für das Verfahren zur Zuordnung von Leiterbahnen zu Verdrahtungsebenen. Die aus den Layouts extrahierten Leitungslängen und -kapazitäten stellen die Referenz dar, die zur Verifikation der untersuchten Methodiken und zur Prognose der Verdrahtungslasten verwendet wurden.

Nr.	Schaltung	Typ	Eingänge	Ausgänge	Zellen	Netze
1	apex7	Logic	49	37	176	261
2	C432	Priority Decoder	36	7	160	403
3	C499	Error Correcting	41	32	202	567
4	C880	ALU and Control	60	26	383	735
5	C1355	Error Correcting	41	32	546	985
6	C1908	Error Correcting	33	25	880	882
7	C3540	ALU and Control	50	22	1669	1722
8	C6288	16-bit Multiplier	32	32	2406	4802
9	dalv	Dedicated ALU	75	16	1697	2611
10	mm4a	Minmax Circuit	7	4	153	164
11	mult32a	Multiplier	33	1	416	535
12	ProcA8	Processor Array	269	278	11215	9836
13	s208.1	Digital Fractional Multiplier	10	1	104	156
14	s344	4-bit Multiplier	9	11	160	251
15	s832	PLD	18	19	446	275
16	s5378	Logic	35	49	2779	2949
17	s9234.1	Logic	36	39	5597	2974
18	s38417	Logic	28	106	22179	24104
19	clma	Bus Interface	382	82	35000	25751
20	mm30a	Minmax Circuit	33	30	1549	1209
21	ProcA16Reg	Processor Array f. MPEG-4	421	72	50776	38763

**Tabelle 7.1 Eigenschaften der verwendeten Schaltungen [27].**

Bei den Schaltungen Nr. 1 bis 9 handelt es sich um kombinatorische und bei den Schaltungen Nr. 10 bis 21 um sequentielle Designs. Die Schaltungen Nr. 12 und Nr. 21 wurden im Rahmen eines Industrieprojektes am Lehrstuhl für Integrierte Systeme der Technischen Universität München entworfen und sollen die Anwendbarkeit des entwickelten Verfahrens auf industriennahe Schaltungen zeigen.

Da bei CAD-Werkzeugen die Rechenzeit und die handhabbare Komplexität durch die Anzahl der Gatter und die Anzahl der Netze in einer Schaltung bestimmt ist, wurden diese Kenngrößen in Tabelle 7.1 angegeben. Die Anzahl der Zellen der untersuchten Schaltungen bewegt sich zwischen 104 und 50776 Zellen. Die Anzahl der Netze liegt zwischen 156 und 38783. Für Schaltungsentwickler hingegen ist die Schaltungsgröße in der Anzahl von Gatteräquivalenten aussagekräftiger. Die größte Schaltung mit 50776 Zellen umfaßt knapp 90000 Gatteräquivalente. Insbesondere die Schaltungen *clma*, *s38417* und *ProcA16Reg* entsprechen der Größe ganzer Layout-Partitionen und

beschreiben damit die Verhältnisse in industrienahen Anwendungen. In bezug auf die Schaltungsfunktion wurde ebenfalls ein breites Spektrum ausgewählt, um einen möglichst repräsentativen Querschnitt an Testschaltungen zu erhalten. Bei sämtlichen Schaltungen handelt es sich um "flache" Designs, d.h. sie enthalten keinerlei Makroblöcke oder Hierarchien. Da das vorgeschlagene Längenabschätzungsverfahren zur Ermittlung blockinterner Leitungslängen entwickelt wurde, dienten nur reine Standardzellenschaltungen zur Verifikation der vorgestellten Methodiken.

## 7.1 Ergebnisse der Netzlängenabschätzung

Kombinatorische und sequentielle Schaltungen wurden separat untersucht. Die in den Tabellen dargestellten Ergebnisse zeigen jeweils den *arithmetischen Mittelwert des relativen Fehlers* aller in der Schaltung enthaltenen Netze.

Da kombinatorische Schaltungen kein Taktnetz enthalten, können die Längen aller in der Schaltung enthaltenen Netze mit dem in dieser Arbeit entwickelten Verfahren abgeschätzt werden. Die Tabelle 7.2 zeigt die relativen Fehler jeweils für eine Längenabschätzung nach dem Verfahren von Pedram und Preas mit Net Neighbourhood Populations, nach dem Synopsys Wire Load Model und dem in dieser Arbeit entwickelten Verfahren. Die Spalten fünf und sechs zeigen die Verringerung des relativen Fehlers

Schaltung	Durchschnittl. rel. Fehler aller Netze / %			Verringerung des Fehlers gegenüber ...	
	NNPs (Pedram und Preas)	Synopsys Wire Load Model	Untergit- ter, nichtli- near modelliert	... NNPs (Pedram und Preas) ...	... Synopsys Wire Load Models ...
				... um den Faktor	
<b>apex7</b>	246%	216%	62%	4,0	3,5
<b>C432</b>	263%	529%	64%	4,1	8,3
<b>C499</b>	199%	440%	54%	3,7	8,2
<b>C880</b>	193%	659%	60%	3,2	11,0
<b>C1355</b>	217%	843%	57%	3,8	14,8
<b>C1908</b>	163%	567%	62%	2,6	9,1
<b>C3540</b>	328%	839%	69%	4,8	12,2
<b>C6288</b>	274%	1586%	63%	4,3	25,2
<b>dalü</b>	797%	1018%	68%	11,7	15,0
<b>Durchschnitt</b>	298%	744%	62%	4,8	12,0

Tabelle 7.2 Kombinatorische Schaltungen

der Leitungslängenabschätzung des hier entwickelten Verfahrens gegenüber Pedram/Preas und Synopsys Wire Load Models. Im Durchschnitt wurde gegenüber Pedram/Preas eine Verringerung des relativen Fehlers um den Faktor 4,8 und gegenüber den Synopsys Wire Load Models um den Faktor 12,0 erzielt.

Die Ergebnisse lassen sich wie folgt zusammenfassen: Das Synopsys Wire Load Model weist eine tendenzielle Überschätzung der Leitungslängen mit großem relativen Fehler auf. Bei Pedram und Preas werden kurze Netze tendenziell überschätzt, lange Netze in der Länge unterschätzt. Bei dem vorgeschlagenen Verfahren werden Netze tendenziell unterschätzt, allerdings stets mit geringerem relativen Fehler als bei den beiden Vergleichsverfahren. Der relative Fehler der Längenabschätzung des vorgeschlagenen Modelles mit nichtlinear modellierten Untergittern liegt im Durchschnitt bei 62% und damit deutlich niedriger als bei den beiden Vergleichsverfahren.

Im Gegensatz zu kombinatorischen Schaltungen ist in sequentiellen Schaltungen ein Taktbaum enthalten, dem eine besondere Rolle zufällt. Deshalb werden diese Schaltungstypen gesondert behandelt und verifiziert. Bei dem Verfahren von Pedram und Preas sowie dem Synopsys Wire Load Model wird kein *Taktbaum* berücksichtigt. Bei dem Synopsys Wire Load Model wird ein einziges zusammenhängendes *Taktnetz* mit einer Vielzahl von Abzweigungen modelliert. Bei dem in dieser Arbeit vorgeschlagenen Verfahren hingegen wird wie in Kapitel 6 beschrieben, ein Taktbaum entwickelt. Ein Vergleich der Längen der Taktnetzabschnitte als Bestandteil des Taktbaumes kann mit dem zusammenhängenden Taktnetz des Synopsys Wire Load Models nicht sinnvoll vorgenommen werden. Ein Vergleich mit Pedram und Preas entfällt ebenfalls, da dieses Verfahren auf die Längenabschätzung von Signalnetzen abzielt; das Taktnetz bzw. der Taktbaum bleibt bei Pedram und Preas gänzlich unberücksichtigt. Allerdings kann das Taktnetz bzw. der Taktbaum bei der Verlustleistungsanalyse berücksichtigt werden. Diese Ergebnisse werden in Abschnitt 7.3 präsentiert.

Die Leitungslängen gewöhnlicher Signalnetze wurden bei sequentiellen Schaltungen wie in Kapitel 4 beschrieben und wie im Falle kombinatorischer Schaltungen ermittelt. In Tabelle 7.3 sind die Ergebnisse der Längenabschätzung von Signalnetzen sequentieller Schaltungen angegeben. In den Spalten fünf und sechs ist wieder die Reduzierung des relativen Fehlers gegenüber dem Verfahren von Pedram und Preas sowie dem Synopsys Wire Load Model dargestellt. Der Fehler konnte wie bereits bei den kombinatorischen Schaltungen mit Hilfe des vorgeschlagenen Verfahrens im Durchschnitt um mehrere Hundert Prozent verringert werden. Bemerkenswert ist ferner, daß das Verfahren von Pedram und Preas nicht zwingend bessere Ergebnisse, d.h. niedrigere relative Fehler in der Längenabschätzung aufweist als das Synopsys Wire Load Model. Diese Aussage ist deshalb von Bedeutung, weil dieses Verfahren mehr Informationen ausnutzt als das Synopsys Wire Load Model und darüber hinaus komplexere Berechnungen durchführt. Der relative Fehler der Längenabschätzung ist bei der kombinatorischen

Schaltung	Durchschnittl. rel. Fehler aller Netze / %			Verringerung des Fehlers gegenüber ...	
	NNPs (Pedram und Preas)	Synopsys Wire Load Model	Untergit- ter, nichtli- near modelliert	... NNPs (Pedram und Preas) ...	... Synopsys Wire Load Models ...
				... um den Faktor	
<b>mm4a</b>	434%	264%	71%	6,1	3,7
<b>mult32a</b>	321%	390%	64%	5,0	6,1
<b>ProcA8</b>	1601%	770%	67%	23,9	11,5
<b>s208.1</b>	172%	320%	59%	2,9	5,4
<b>s344</b>	271%	415%	61%	4,4	6,8
<b>s832</b>	712%	277%	76%	9,4	3,6
<b>s5378</b>	760%	1170%	66%	11,5	17,7
<b>s9234.1</b>	705%	1425%	66%	10,7	21,6
<b>s38417</b>	2853%	2609%	72%	39,6	36,2
<b>Durch- schnitt</b>	870%	849%	67%	12,9	12,7

**Tabelle 7.3 Sequentielle Schaltungen**

Schaltung apex7 sowie bei den sequentiellen Schaltungen mm4a, ProcA8, s832, s38417 sowie clma und ProcA16Reg (siehe auch Tabelle 7.4) größer als bei dem Synopsys Wire Load Model.

Bei Schaltungen mit besonders zeitkritischen Anforderungen wird in der Praxis eine zeitoptimierte Layout-Synthese angewendet (timing driven layout). Um die Anwendbarkeit des entwickelten Verfahrens zur Längenabschätzung auch für diese Schaltungstypen zu belegen, wurden Designs ausgewählt, die diesen Bedingungen Rechnung tragen. Die zeitoptimierte Layout-Synthese wirkt sich zwar nicht unmittelbar auf die Verfahren zur Längenabschätzung aus, da diese unabhängig vom Layout sind. Allerdings werden die Längenabschätzungsfehler anhand der Referenz-Layouts ermittelt, die in diesem Fall einer zeitoptimierten Layout-Synthese unterzogen wurden. Tabelle 7.4 zeigt die durchschnittlichen relativen Fehler der drei Längenabschätzungsverfahren vor der Layout-Synthese, bezogen auf zeitoptimiert erstellte Layouts. Da die meisten Benchmark-Schaltungen keine extremen Geschwindigkeitsanforderungen aufweisen und industriennahe Schaltungen nur begrenzt zur Verfügung standen, konnten nur die drei in Tabelle 7.4 enthaltenen Schaltungen untersucht werden.

Schaltung	Durchschnittl. rel. Fehler aller Netze / %			Verringerung des Fehlers gegenüber ...	
	NNPs (Pedram und Preas)	Synopsys Wire Load Model	Untergit- ter, nichtli- near modelliert	... NNPs (Pedram und Preas) ...	... Synopsys Wire Load Models ...
				... um den Faktor	
<b>clma</b>	3402%	2128%	83%	41,0	25,6
<b>mm30a</b>	373%	520%	61%	6,1	8,5
<b>ProcA16Reg</b>	3201%	1292%	71%	45,1	18,2
<b>Durchschnitt</b>	2326%	1314%	72%	32,3	18,3

**Tabelle 7.4** Sequentielle Schaltungen mit zeitoptimiertem Layout

Auch wenn dadurch keine repräsentative Aussage möglich wird, so können doch mit Hilfe eines Vergleichs mit den sequentiellen Schaltungen in Tabelle 7.3 wichtige Schlüsse gezogen werden: Das Verfahren von Pedram und Preas liefert nicht immer bessere Ergebnisse als das Synopsys Wire Load Model. Das im Rahmen dieser Arbeit entwickelte Verfahren hingegen weist auch bei zeitoptimierten Layouts einen relativen Fehler von deutlich unter 100% auf; durchschnittlich 72%. Der relative Fehler bei der Netzlängenabschätzung vor der Layout-Synthese konnte gegenüber den beiden Vergleichsverfahren im Falle von NNPs um den Faktor 32,3 und im Vergleich zu Synopsys Wire Load Models um den Faktor 18,3 verringert werden (allerdings nicht repräsentativ).

Tendenziell wird die Leitungslänge sowohl bei sequentiellen als auch kombinatorischen Schaltungen mit dem in der vorliegenden Arbeit entwickelten Verfahren unterschätzt, während im Falle der beiden Vergleichsverfahren die Leitungslänge überschätzt wird.

Bei dem Synopsys Wire Load Model wird eine "Durchschnittslänge pro Pin an einem Netzknoten" ermittelt. Diese Durchschnittslänge wird dann einer Extrapolation über der Pin-Zahl unterzogen (Abbildung 3.2) und dann auf Netze jeder beliebigen Pin-Zahl angewendet. Diese Annahme trifft die Verhältnisse in einem Layout nicht, insbesondere, wenn die Extrapolation linear erfolgt. Bei Zwei-Pin-Netzen wird die Leitungslänge drastisch überschätzt, noch stärker als bei Mehr-Pin-Netzen (siehe Tabelle 4.1 und Tabelle 4.2).

Mit dem Verfahren von Pedram und Preas wird die Leitungslänge von Zwei-Pin-Netzen ebenfalls deutlich überschätzt. Ein potentieller Verdrahtungsraum (Untergitter) für ein Netz ergibt sich stets aus der Anzahl der Net Neighbourhood Populations. Für ein Zwei-Pin-Netz ist dieses Untergitter viel zu groß und folglich wird die Länge auch völlig überschätzt. Im Gegensatz dazu wird bei dem in der vorliegenden Arbeit vorgeschlagenen Verfahren ähnlich wie in [1] eine Art Cluster gebildet. Dabei liegt diesem Modell

zugrunde, daß zwei Zellen, die über ein Zwei-Pin-Netz verbunden sind, im Layout unmittelbar nebeneinander platziert werden. Allerdings gibt es einige Fälle, in denen die Netzlänge auf diese Weise unterschätzt wird. Berücksichtigt man nun, daß ca. 60% bis 90% aller Netze in einer Schaltung Zwei-Pin-Netze sind (siehe Tabelle 4.1, letzte Spalte) wird deutlich, daß durch diese umfangreiche Netzgruppe für alle drei untersuchten Verfahren die Tendenz festgelegt wird. Im Gegensatz zu dem hier vorgeschlagenen Verfahren werden hingegen in [1], [82], [98] und [105] die Besonderheiten von Ein-/Ausgangsnetzen nicht berücksichtigt. Jeder der vorgenannten Autoren unterschätzt die IO-Netzlängen. Da IOs jedoch einen deutlich geringeren Anteil an der Gesamtzahl aller Netze darstellen als schaltungsinterne Netze, kompensiert diese Eigenschaft des hier vorgeschlagenen Modelles oben genannte tendenzielle Längenunterschätzung nicht. Doch gerade diese feine Modellierung von IO-Netzen ist in bestimmten Fällen vorteilhaft für die Verlustleistungsanalyse, wie in Abschnitt 7.3 noch gezeigt wird.

## 7.2 Berücksichtigung der verdrahtungsebenenspezifischen Kapazitäten pro Längeneinheit

In Abbildung 7.1 sind die mit der in Kapitel 5 beschriebenen Entwurfsmethodik erzielten Ergebnisse von 10 Benchmark-Schaltungen dargestellt. Die Leitungslänge wurde sowohl im Falle des herkömmlichen als auch im Falle des neuartigen, hier vorgeschlagenen Entwurfsablaufes nach erfolgter Zellplatzierung mit Hilfe des halben Rechteckumfangs abgeschätzt.

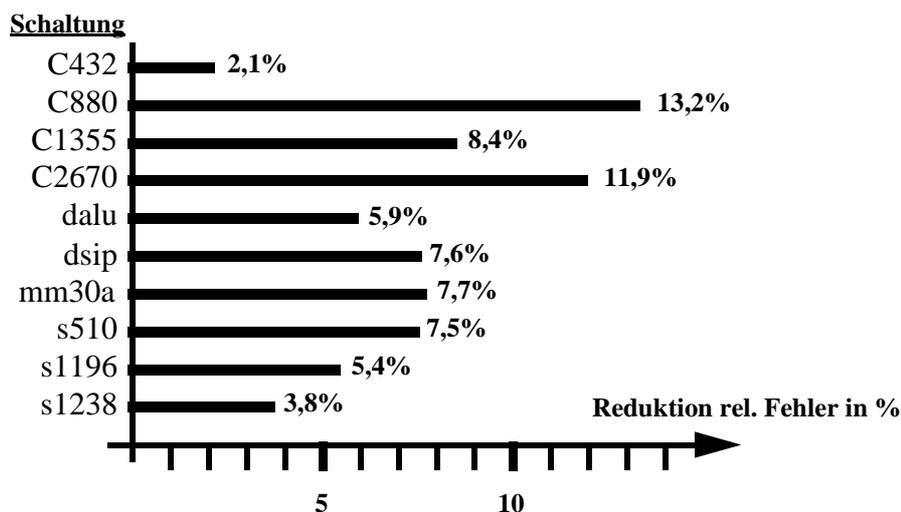


Abbildung 7.1 Verringerung des relativen Fehlers der Leitungskapazität durch Berücksichtigung von verdrahtungsebenenspezifischen Kapazitäten pro Längeneinheit [122].

Dadurch ist sichergestellt, daß die erzielten Ergebnisse rein auf der Anwendung der neuen Entwurfsmethodik beruhen. In dem Balkendiagramm ist die Differenz, also die Verringerung des relativen Fehlers der Verdrahtungslastkapazität, durch Anwendung der Ebenenzuordnung angegeben. Bei den ersten fünf Benchmarks *C432*, *C880*, *C1355*, *C2670* und *dalv* handelt es sich um rein kombinatorische, bei *dsip*, *mm30a*, *s510*, *s1196* und *s1238* um sequentielle Schaltungen.

Der durchschnittliche relative Fehler aller in einer Schaltung enthaltenen Netze wurde wie in Gl. 5.11 angegeben, berechnet. Bei den untersuchten Schaltungen konnte der relative Fehler der Leitungskapazität im Mittel um 7,4% verringert werden. Die größte Verbesserung wurde bei der Schaltung *C880* mit 13,2% erzielt, die geringste Verbesserung mit 2,1% bei der Schaltung *C432*.

Das vorgeschlagene Verfahren hat seine Stärken insbesondere bei Schaltungstypen, bei denen folgende zwei Faktoren auftreten: Der erste Faktor ist das Verhalten des Verdrahtungswerkzeuges, welches bei der herkömmlichen Layout-Verdrahtung die verfügbaren Ebenen eher von unten her mit Netzsegmenten füllt. Bei einigen Schaltungstypen besteht kein Bedarf, Netze auf den oberen Ebenen zu verlegen, da die Ressourcen auf den unteren Ebenen bereits ausreichen, die Schaltung vollständig zu verdrahten. Auf diese Weise stehen Routing-Ressourcen zur Verfügung, die bei dem vorgeschlagenen Entwurfsablauf ausgenutzt werden.

Daraufhin tritt der zweite Faktor in Erscheinung. Bei der Ermittlung der grundlegenden Daten für ein herkömmliches Verdrahtungslastmodell wird davon ausgegangen, daß sich die Netze einer Schaltung über alle Ebenen verteilen. Deshalb wird zur Berechnung der Kapazität pro Längeneinheit ein Mittelwert über alle verfügbaren Ebenen gebildet. Bei der Prognose der Leitungskapazitäten, pflanzt sich der Fehler aufgrund der fehlerbehaftet berechneten, mittleren Kapazität pro Längeneinheit fort und die Leitungskapazitäten werden folglich fehlerbehaftet prognostiziert. Die später im Layout vorherrschenden Gegebenheiten werden auf diese Weise nur unzureichend modelliert.

Mit Hilfe der Zuordnung von Leiterbahnen zu Verdrahtungsebenen, der Verwendung der ebenenspezifischen Kapazität pro Längeneinheit bei der Prognose der Leitungskapazitäten im Rahmen des neuartigen Verdrahtungslastmodelles und der anschließenden Einhaltung der Richtlinien durch das Verdrahtungswerkzeug können layout-nahe Prognosen gemacht werden. Bei jenen Schaltungen, bei denen keine großen Verringerungen des relativen Fehlers erzielt werden konnten, werden bei der Prognose der Verdrahtungslasten nach dem herkömmlichen Verfahren (Stand der Technik) eher sporadisch die später im Layout vorherrschenden Leitungskapazitäten getroffen [122].

**Fazit:** Das vorgeschlagene Verfahren zur Zuordnung von Leiterbahnen zu Verdrahtungsebenen läßt sich gut anwenden bei Schaltungen, die aufgrund des Verhältnisses aus der benötigten reinen Standardzellfläche und der benötigten Verdrahtungsfläche viele Routing-Ressourcen bieten. Problematisch ist der Flow des Layer Assignments bei Schaltungen, die sehr viele Routing-Ressourcen, aufgrund vieler Vias und aufgrund

einer großen totalen Leitungslänge, verschlingen. Das im Rahmen dieser Arbeit verwendete Standard-Layout-Werkzeug kann die für diesen Flow erforderlichen Bedürfnisse nur unzureichend erfüllen, allerdings ist die Entwicklung solcher Werkzeuge denkbar, die diesen Anforderungen besser gerecht werden.

### 7.3 Ergebnisse bei der Verlustleistungsanalyse auf Logikebene

In Abschnitt 7.2 wurde gezeigt, daß durch die Zuordnung von Leiterbahnen zu Verdrahtungsebenen und die Ausnutzung der verdrahtungsebenenspezifischen Kapazität pro Längeneinheit zur Berechnung der Leitungskapazitäten der Fehler bei der Prognose der Verdrahtungslasten um durchschnittlich 7,4% verringert werden kann. Der erzielte Genauigkeitsvorteil läßt sich jedoch nicht unmittelbar auf eine Verlustleistungsanalyse übertragen, da hier die Gesamtleistungsaufnahme der Schaltung in Abhängigkeit aller Netze ermittelt wird. Dieses Modell wurde deshalb keiner Verlustleistungsanalyse zugeführt.

Die erzielte Erhöhung der Genauigkeit bei der Leitungslängenabschätzung mit Hilfe des in der vorliegenden Arbeit entwickelten Verfahrens ist so groß, daß dieser Vorteil deutliche Auswirkungen auf die Verlustleistungsanalyse haben kann. Die in Abschnitt 7.1 präsentierten Gewinne in der Größenordnung mehrerer Hundert Prozent können allerdings nicht unmittelbar auf eine Verlustleistungsanalyse übertragen werden. Neben der Leitungskapazität, die unmittelbar von der Leitungslänge abhängt, hat auch die Schaltaktivität der Netze Einfluß auf die aufgenommene Verlustleistung einer Schaltung. Deshalb leisten Netze mit hoher Schaltaktivität und zugleich großem Fehler bei der Leitungslängenabschätzung die größten Beiträge zu dem Fehler bei der Verlustleistungsanalyse einer Schaltung. Somit treten die größten Fehler bei der Verlustleistungsanalyse immer dann auf, wenn beide Faktoren gleichzeitig auftreten: Großer Längenfehler bei genau den Netzen mit großer Schaltaktivität.

Vorweg noch eine Erläuterung der in Tabelle 2.3 und der in Tabelle 7.5 bzw. Tabelle 7.6 dargestellten Fehler bei der Verlustleistungsanalyse mit Synopsys Wire Load Models: Zu den Benchmark-Schaltungen liegen keine Platzierungsvorgaben für die Ein-/ Ausgangs-Pads einer Schaltung vor. Deshalb wurden diese bei den Untersuchungen in Tabelle 2.3 zunächst entsprechend der Reihenfolge ihres Auftretens in der Verilog-Netzliste plaziert. Um die Verlustleistung und die IO-Längen der Schaltungen zu verringern wurden bei später durchgeführten Untersuchungen die Ein-Ausgangs-Pads am Rand einer Layout-Partition möglichst nahe zu der ersten Standardzelle plaziert. Die zur Verifikation verwendeten Layouts der Schaltungen in den Tabellen 7.5 und 7.6 wurden folglich mit optimiert plazierten Ein-/ Ausgangs-Pads erstellt. Daher kommen die geringfügigen Abweichungen des relativen Fehlers bei gleichen Schaltungen bei der Power-Analyse mit Synopsys-WLM zwischen Tabelle 2.3 und Tabelle 7.5 bzw. Tabelle 7.6. Der Fehler wurde wieder auf aus dem Layout extrahierte Leitungskapazitäten bezogen. Für die meisten hier diskutierten Schaltungen sinkt der Fehler bei optimiert

plazierten IOs geringfügig, sodaß das Potential für eine Verbesserung durch das in der vorliegenden Arbeit entwickelte Modell abnimmt. Dennoch konnten deutliche Verbesserungen erzielt werden.

In Tabelle 7.5 sind zunächst kombinatorische Schaltungen untersucht worden, um die Ergebnisse unabhängig von einem Taktbaum darzustellen. In Tabelle 7.5 und Tabelle 7.6 sind jene Schaltungen mit (\*) gekennzeichnet, bei denen eine Erhöhung des relativen Fehlers auftritt. Bei allen anderen Schaltungen hat sich der Fehler bei der Verlustleistungsanalyse unter Verwendung des entwickelten Modelles gegenüber dem Synopsys Wire Load Model verringert.

Der Fehler bei der Verlustleistungsanalyse beträgt bei kombinatorischen Schaltungen unter Verwendung von Synopsys Wire Load Models 15%, unter Verwendung des hier vorgeschlagenen Verdrahtungslastmodelles bzw. Längenabschätzungsverfahrens 7%. Dies entspricht einer durchschnittlichen Erhöhung der Genauigkeit um 8%. Das Spektrum des relativen Fehlers liegt im Falle kombinatorischer Schaltungen und unter Verwendung von Synopsys Wire Load Models zwischen 3% und 24%. Das Fehlerspektrum konnte unter Verwendung des in dieser Arbeit vorgeschlagenen Modelles verringert werden. Es wurde ein minimaler relativer Fehler von 2% und ein maximaler relativer Fehler von 11% erzielt. Bei der Schaltung C1355 konnte mit 17% die größte Verbesserung erzielt werden (siehe Tabelle 7.5, Spalte 4). Bei der Schaltung *apex7* hingegen nahm der Fehler mit 0,06% geringfügig zu.

Schaltung	Relativer Fehler mit Synopsys Wire Load Models / %	Relativer Fehler mit Untergittern, nichtlinear modelliert / %	Verringerung/ Erhöhung des relativen Fehlers / %
<b>apex7</b>	3%	3%	0,06% (*)
<b>C432</b>	12%	2%	10%
<b>C499</b>	9%	3%	6%
<b>C880</b>	15%	11%	4%
<b>C1355</b>	23%	6%	17%
<b>C1908</b>	12%	11%	1%
<b>C3540</b>	11%	9%	2%
<b>C6288</b>	24%	9%	15%
<b>dalü</b>	22%	5%	17%
<b>Durchschnitt</b>	15%	7%	8%

**Tabelle 7.5 Kombinatorische Schaltungen: Relativer Fehler bei der Verlustleistungsanalyse.**

Auch bei den sequentiellen Schaltungen *s344* und *s832* erhöht sich der relative Fehler geringfügig. Bei diesen drei Schaltungen (*apex7*, *s344* und *s382*) ist einerseits das Verbesserungspotential sehr niedrig, d.h. der relative Fehler bei der Verlustleistungsanalyse mit Synopsys Wire Load Models liegt bereits unter 5%. Andererseits liegt der Fehler bei der Verlustleistungsanalyse unter Verwendung des in dieser Arbeit entwickelten Verfahrens ebenfalls deutlich unter 5% und die Erhöhung des Fehlers bewegt sich lediglich zwischen 0,06% und 0,45%.

Der durchschnittliche relative Fehler bei der Verlustleistungsanalyse von sequentiellen Schaltungen unter Verwendung des Synopsys Wire Load Models liegt bei 30% (Tabelle 7.6). Dies liegt einerseits daran, daß von den zwölf untersuchten Schaltungen eine (*clma*) mit einem Fehler von 184% starken Einfluß auf den Durchschnittswert ausübt. Aber auch sechs weitere Schaltungen (*s208.1*, *s5378*, *s9234.1*, *s38417*, *mm30a*, *ProcA16Reg*) stellen mit einem relativen Fehler zwischen 21% und 35% großes Verbesserungspotential zur Verfügung. Da der durchschnittliche relative Fehler bei sequentiellen Schaltungen erheblich größer ist als bei kombinatorischen Schaltungen (15%), ist eine Ursache hierfür auch im Taktbaum zu sehen. Bei dem Synopsys Wire Load Model wird der Taktbaum auf Logikebene im Prinzip vernachlässigt. Es werden keine Takttrei-

Schaltung	Relativer Fehler mit Synopsys Wire Load Models / %	Relativer Fehler mit Untergittern, nichtlinear modelliert / %	Verringerung/ Erhöhung des relativen Fehlers / %
<b>mm4a</b>	2%	1%	1%
<b>mult32a</b>	5%	3%	2%
<b>ProcA8</b>	11%	10%	1%
<b>s208.1</b>	28%	1%	27%
<b>s344</b>	3%	3%	0,45% (*)
<b>s832</b>	2%	2%	0,40% (*)
<b>s5378</b>	21%	4%	17%
<b>s9234.1</b>	26%	4%	22%
<b>s38417</b>	35%	7%	28%
<b>clma</b>	184%	34%	150%
<b>mm30a</b>	28%	5%	23%
<b>ProcA16Reg</b>	21%	13%	8%
<b>Durchschnitt</b>	30%	7%	23%

**Tabelle 7.6** Sequentielle Schaltungen: Relativer Fehler bei der Verlustleistungsanalyse.

berzellen berücksichtigt und die Lastkapazität ergibt sich aus der großen Anzahl der Knotenabzweigungen an dem Taktnetz. Das Taktnetz wird wegen der vielen Pins als extrem lang abgeschätzt und erhält dadurch eine unrealistisch große Lastkapazität. Die durch das Taktnetz hervorgerufene Verlustleistung wird dadurch sehr groß, obwohl dieses keine Treiberzellen enthält; die ganze Taktnetzverlustleistung ist nach diesem Modell die kapazitive Leitungsverlustleistung des Taktnetzes. Dieser eher unkontrollierte Effekt wirkt sich zugunsten des Synopsys Wire Load Models aus, d.h. der relative Fehler bei der Verlustleistungsanalyse wäre bei sequentiellen Schaltungen eigentlich noch größer, weil das Taktnetz wie ein gewöhnliches Signalnetz behandelt wird. Dies entspricht einer ungenügenden Modellierung der tatsächlichen Verhältnisse in dem späteren Schaltungs-Layout.

Mit Hilfe des in der vorliegenden Arbeit vorgeschlagenen Verdrahtungslastmodelles ergab sich ein durchschnittlicher relativer Fehler von 7%. Die Genauigkeit konnte im Durchschnitt um 23 Prozentpunkte erhöht werden. Während das Fehlerspektrum bei Synopsys Wire Load Models zwischen 2% und 184% liegt, ergibt sich bei dem vorgeschlagenen Verdrahtungslastmodell ein Fehlerspektrum zwischen 1% und 34%.

Die drei Schaltungen *clma*, *mm30a* und *ProcA16Reg* wurden wie bereits in dem vorhergehenden Abschnitt erwähnt mit zeitoptimierter Layout-Synthese realisiert.

Eine Ausnahme aufgrund ihrer Charakteristika stellt die Schaltung *clma* dar. Dieses Bus-Interface ist dadurch gekennzeichnet, daß sehr viele Eingangsnetze mit hoher Schaltaktivität vorhanden sind. Eingangsnetze weisen durchschnittlich größere Längen auf, als schaltungsinterne Netze. Da dieser Aspekt bei dem hier vorgeschlagenen Modell durch die Klassifizierung der Netze und die klassenspezifische Modellierung bei der Längenabschätzung berücksichtigt wird, konnten gravierende Vorteile gegenüber dem Synopsys Wire Load Model erzielt werden, bei dem dieser Aspekt nicht berücksichtigt wird. Durch das sehr große Verbesserungspotential (sehr großer Fehler bei der Verlustleistungsanalyse von 184%) konnte auch eine sehr große Erhöhung der Genauigkeit erzielt werden (Reduktion des Fehlers um 150 Prozentpunkte).

Die beiden industrienahen Schaltungen *ProcA8* und *ProcA16Reg* liegen mit einem Fehler von 10% und 13% etwas über dem durchschnittlichen Fehler von 7%, sind damit aber vom Verhalten vergleichbar mit der Gesamtheit der untersuchten Schaltungen.

### **Folgerungen und Beurteilung**

Das Verbesserungspotential des in dieser Arbeit vorgeschlagenen Verfahrens zur Leitungslängenabschätzung ist immer dann niedrig, wenn der relative Fehler bei der Verlustleistungsanalyse mit Synopsys Wire Load Models bereits niedrig ist (z.B. Schaltungen *apex7*, *mm4a*, *s344* und *s832*). Dies ist in drei verschiedenen Fällen möglich:

1. Bei Schaltungen, bei denen die zellinterne Verlustleistung deutlich höher ist, als die kapazitive Verlustleistung, die durch die Netze hervorgerufen wird. In diesem Fall wirken sich die erzielten Verbesserungen bei der Prognose der Leitungskapazitäten bzw. der Leitungslängen nicht so stark auf die Verlustleistung insgesamt und den Fehler bei der Verlustleistungsanalyse im speziellen aus.
2. Bei Schaltungen, bei denen die Leitungslänge von Netzen mit hoher Schaltaktivität mit Hilfe des Synopsys Wire Load Models bereits relativ genau getroffen wurde (sporadisch auftretend).
3. Bei Netzen, die zwar mit dem Synopsys Wire Load Model mit großen Fehlern abgeschätzt wurden, die jedoch eine niedrige Schaltaktivität aufweisen. Die fehlerhaft ermittelte Leitungskapazität liefert aufgrund der niedrigen Schaltaktivität der Netze kaum Beiträge zur Verlustleistung.

Wenn man berücksichtigt, daß bei der Längenabschätzung der Netze der relative Fehler im Durchschnitt bei allen Schaltungen deutlich verringert werden konnte (Tabelle 7.2, Tabelle 7.3 und Tabelle 7.4) und sich dies dennoch kaum auf die Verlustleistungsanalyse auswirkte, so kann daraus geschlossen werden, daß in diesem Fall jene Netze mit hoher Schaltaktivität mit dem Synopsys Wire Load Model mit geringem Fehler prognostiziert werden. Diese Erscheinung kann als "sporadisch auftretend" bewertet werden, da bei dem Synopsys Wire Load Model kein Zusammenhang zwischen der Längenabschätzung und der Schaltaktivität eines Netzes hergestellt wird.

Die größten Verbesserungen wurden bei Schaltungen erzielt, die einen großen relativen Fehler bei der Verlustleistungsanalyse mit Synopsys Wire Load Models aufweisen. Einerseits weisen diese Schaltungen aufgrund des großen Fehlers bereits ein großes Verbesserungspotential auf. Andererseits liegt die Genauigkeit der Verlustleistungsanalyse mit dem hier vorgeschlagenen Modell bei allen Schaltungen unter 10% Fehler mit Ausnahme der Schaltungen C880, C1908, ProcA8, ProcA16Reg (knapp über 10%) und clma (mit 34% deutlich über 10%). Es kann beobachtet werden, daß bei den Schaltungen mit den größten relativen Fehlern die Differenz des Fehlers bei einer Verlustleistungsanalyse mit dem Synopsys Wire Load Model und dem hier vorgeschlagenen Verdrahtungslastmodell deutlich in Erscheinung tritt, d.h. die Erhöhung der Genauigkeit beträgt über 10% (Schaltungen C1355, C6288, dalu, s208.1, s5378, s9234.1, s38417, clma und mm30a).

Die Ungenauigkeiten durch die ebenenspezifische Kapazität pro Längeneinheit können bei einem Vergleich zwischen einer Verlustleistungsanalyse mit dem Synopsys Wire Load Model und der in dieser Arbeit entwickelten Leitungslängenabschätzung vernachlässigt werden, da beide Verfahren zunächst mit einer mittleren Kapazität pro Längeneinheit über alle Verdrahtungsebenen arbeiten. *Das hier vorgeschlagene Längenabschätzungsverfahren könnte jedoch um diesen zusätzlichen Aspekt erweitert werden.*

**Fazit:** Selbst wenn der relative Fehler bei der Leitungslängenabschätzung deutlich reduziert werden kann, so ist noch nicht sicher gestellt, daß dadurch auch die Genauigkeit der Verlustleistungsanalyse erhöht wird.

Ein gravierender Fehler bei der Verlustleistungsanalyse, der seine Ursache in einer fehlerhaften Prognose der Leitungskapazitäten hat, hängt von folgenden drei Faktoren ab:

1. Der Anteil der Leitungsverlustleistung an der gesamten Verlustleistung erreicht ein nennenswertes Ausmaß ( $> 15\%$ )
2. Es existieren aufgrund der Schaltungsfunktion Netze mit hoher Schaltaktivität.
3. Hauptsächlich jene Netze mit hoher Schaltaktivität wurden in der Leitungslänge bzw. der Leitungskapazität mit großem Fehler prognostiziert.

Insbesondere wenn alle drei Faktoren gleichzeitig auftreten, sind beste Voraussetzungen gegeben, um unter Anwendung der vorgeschlagenen Leitungslängenabschätzung eine signifikante Erhöhung der Genauigkeit bei der Verlustleistungsanalyse zu erzielen.

Abschließend bleibt noch der Rechenzeitaufwand für die vorgeschlagene Methodik zur Leitungslängenabschätzung gegenüber dem Stand der Technik zu beurteilen. Der Zeitaufwand bei der Längenabschätzung mit dem Synopsys Wire Load Model ist nahezu Null. Eine exakte Untersuchung kann nicht durchgeführt werden, da die Zuweisung von Leitungslastkapazitäten zu konkreten Netzen während des Einlesens einer vorhandenen Netzliste in das Logik-Synthesewerkzeug erfolgt. Der Lese- bzw. anschließende Vorgang zur Erzeugung einer Wire-Load-Datei dauert im Falle der größten Schaltung ProcA16Reg ca. 10 min. auf einer Sun Ultra Sparc 60 mit einer Taktfrequenz von 450 MHz und einem Arbeitsspeicher von 1,5 GB. Bei dem Synopsys Wire Load Model sind die Informationen in einer Datenbank abgelegt, aus der lediglich die Lastkapazitäten gelesen und Netzen zugeordnet werden müssen. Bei dem vorgeschlagenen Verfahren zur Längenabschätzung dauert die Berechnung der Leitungslängen etwa 15 min. auf obiger Ultra Sparc 60. Da diese Aufgabe mit Hilfe eines C-Programmes realisiert wird, muß berücksichtigt werden, daß auch in diesem Fall der größte Zeitaufwand durch das Einlesen der Netzliste in ASCII-Format entsteht und nicht durch die Analyse der Netzliste und die daran anschließende Berechnung der Leitungslängen. Bei den kleineren Schaltungen dauert der ganze Vorgang weniger als eine Sekunde bis zu mehrere Sekunden.



## Kapitel 8

# Zusammenfassung und Ausblick

### 8.1 Zusammenfassung und Diskussion

Die vorliegende Arbeit leistet einen Beitrag zur Erhöhung der Genauigkeit bei der Prognose von Leitungslastkapazitäten sowie bei der Verlustleistungsanalyse integrierter Schaltungen. Denn seit Einführung von CMOS-Technologien mit einer gezeichneten Gate-Länge von kleiner  $0,5\ \mu\text{m}$  darf der Einfluß von Leitungskapazitäten auf die Verlustleistung und die Schaltungsgeschwindigkeit nicht mehr vernachlässigt werden. Die Verlustleistung einer integrierten Schaltung wiederum ist der bestimmende Faktor im Hinblick auf die Betriebsdauer und die Bereitschaftszeit mobiler Geräte oder auch die Ursache für thermische Probleme auf dem Chip.

Die Verlustleistungsanalyse stellt ein wichtiges Mittel dar, um Maßnahmen beurteilen zu können, die zur Verringerung der Leistungsaufnahme auf eine Schaltung angewendet wurden. Im Gegensatz zur Verlustleistungsanalyse auf Transistorebene kann auf Logikebene die Leistungsaufnahme auch von komplexen Schaltungen in der Größenordnung ganzer Layout-Partitionen noch innerhalb realistischer Simulationszeiträume analysiert werden. Dabei liegt der Fehler zwischen 10% und 25% und ist damit deutlich geringer als bei Methoden zur Verlustleistungsanalyse auf höheren Entwurfsebenen.

Verdrahtungslastmodelle (wire load models) können als eine der Ursachen für die oben genannten Fehler betrachtet werden. Denn typischerweise werden auf Logikebene die später im Layout auftretenden Leitungskapazitäten mit Hilfe von Modellen prognostiziert. Um eine Verlustleistungsanalyse mit hoher Genauigkeit zu erzielen, ist folglich auch eine genaue Ermittlung der Leitungslastkapazitäten unerlässlich. Verdrahtungslastmodelle, die rein auf Informationen basieren, die einer Gatternetzliste entnommen werden können, zeichnen sich dadurch aus, daß diese bereits verfügbar sind, bevor eine Layout-Synthese durchgeführt wurde. Allerdings erwiesen sich die entsprechend dem Stand der Technik verfügbaren Modelle als zu ungenau. Eine Weiterentwicklung dieser Klasse von Verdrahtungslastmodellen ist derzeit nicht zu beobachten. Diesem Problem wurde vielmehr mit Hilfe von Werkzeugen begegnet, welche eine gleichzeitige Logik-

synthese und Standardzellplatzierung durchführen. Auf diese Weise kann zwar die Genauigkeit der Leitungslängenabschätzung erhöht werden, weil die Zellplatzierung als zusätzliche Information ausgewertet wird. Die Leitungskapazität hängt jedoch auch stark davon ab, auf welcher Verdrahtungsebene eine Leiterbahn verläuft. Dieser Aspekt wird von Werkzeugen zur gleichzeitigen Logiksynthese und Standardzellplatzierung derzeit nicht berücksichtigt. Weiterhin entsteht ein zusätzlicher Zeitaufwand für die Zellplatzierung, um zu einer Längen- bzw. Leitungskapazitätsabschätzung zu kommen. Demgegenüber bieten prognostische Verfahren zur Leitungslängenabschätzung zudem die Möglichkeit, Aussagen über Schaltungen in zukünftigen Technologien zu machen. Denn es ist schwierig oder unmöglich mehrere zeitaufwendige Versuchs-Layouts für Schaltungen zu erstellen die in der *Zukunft* viel größere Komplexität aufweisen werden und dann allerdings nur mit den *derzeit* zur Verfügung stehenden Rechengeschwindigkeiten analysiert werden können [97].

Die Ziele der Arbeit, die Erhöhung der Genauigkeit bei der Prognose der Leitungskapazitäten sowie der Verlustleistungsanalyse auf Logikebene wurden durch die Lösung folgender Teilprobleme erreicht:

- Genaue Abschätzung der Leitungslängen und
- Berücksichtigung der verdrahtungsebenenspezifischen Leiterbahneigenschaften

Die beiden Ansätze wurden unabhängig voneinander verfolgt.

Die Leitungslängenabschätzung basiert auf Informationen, die aus einer Gatternetzliste entnommen werden können. Auf Daten, die nach der Layout-Synthese zur Verfügung stehen würden, wurde verzichtet. Die Gesamtkapazität einer Leitung wird bei dieser Vorgehensweise aus dem Produkt der durchschnittlichen Kapazität pro Längeneinheit über alle Verdrahtungsebenen und der abgeschätzten Leitungslänge berechnet. Dieses Verfahren mündet in einem eigenständigen Verdrahtungslastmodell.

Ursprünglich wurde von Pedram und Preas ein Verfahren vorgeschlagen, welches zur Prognose der Leitungslängen die unmittelbar an ein Netz angeschlossenen Zellen als auch die an diese Zellen wiederum angeschlossenen Zellen in der Nachbarschaft eines Netzes betrachtet. Die Flächen von Verdrahtungszonen, innerhalb derer sich ein Netz erstrecken kann, werden dabei als *linear* anwachsend mit der Anzahl der Zellen angenommen. Weiterhin werden verschiedene Verteilungen der Anschluß-Pins der Standardzellen über eine Verdrahtungszone berücksichtigt. Die Leitungslänge wird dann als Mittelwert der Längen aller rechtwinkligen Steinerbäume berechnet, die einer bestimmten Pin-Verteilung innerhalb einer Verdrahtungszone zugeordnet werden können.

Ein Ziel der vorliegenden Arbeit ist die möglichst individuelle Abschätzung der Längen aller in der Schaltung enthaltenen Netze. Da bei Pedram und Preas der Einfluß von Zellen in der Nachbarschaft zu einer deutlichen Überschätzung der Länge von Netzen mit niedriger Pin-Zahl geführt hatte, wird bei dem hier vorgeschlagenen Modell die Fläche einer Verdrahtungszone mit einer *nichtlinearen* Abhängigkeit von der Anzahl der

betreffenden Zellen ermittelt. Als weiteres Unterscheidungsmerkmal zu Pedram und Preas wird eine Klassifizierung nach schaltungsinternen sowie Ein-/ Ausgangsnetzen vorgenommen. Da Ein-/ Ausgangszellen in der Regel am Rand einer Layout-Partition platziert werden, unterliegen diese nicht der selben Platzierungsoptimierung wie gewöhnliche Standardzellen und als Folge davon sind die daran angeschlossenen Ein-/ Ausgangsnetze im Durchschnitt länger als schaltungsinterne Netze. In dem Modell zur Ermittlung der Fläche möglicher Verdrahtungszonen wird der Einfluß von Ein-/ Ausgangszellen deshalb als doppelt so groß angenommen, wie der Einfluß gewöhnlicher Standardzellen. Weiterhin werden Hinweise für die Modifizierung der vorgeschlagenen Methodik der Längenabschätzung gegeben, um auch jener Variante der Layout-Synthese Rechnung zu tragen, bei der Ein-/ Ausgangszellen über die gesamte Fläche der integrierten Schaltung verteilt werden. Allerdings konnte dies experimentell nicht untersucht werden, da die Standardzellbibliothek sowie das verwendete Werkzeug zur Layout-Synthese diesen Entwurstil nicht unterstützte.

Mit Hilfe der vorgeschlagenen Methodik konnte eine Abschätzung der *individuellen Leitungslängen* mit einem durchschnittlichen relativen Fehler zwischen 54% und 83% erzielt werden. Gegenüber der Längenabschätzung mit den Synopsys Wire Load Models (Industriestandard) konnte dadurch der durchschnittliche relative Fehler sowohl bei kombinatorischen als auch bei sequentiellen Schaltungen um den Faktor 12 verringert werden. Bei Schaltungen mit zeitoptimierter Layout-Synthese wurde der Fehler um den Faktor 18 reduziert. Gegenüber dem Verfahren von Pedram und Preas konnte eine Reduktion des durchschnittlichen relativen Fehlers bei kombinatorischen Schaltungen um den Faktor 5, bei sequentiellen Schaltungen um den Faktor 13 und bei zeitoptimierten Layouts um den Faktor 32 erzielt werden. Tendenziell wird die Leitungslänge mit dem in der vorliegenden Arbeit entwickelten Verfahren unterschätzt, jedoch mit deutlich niedrigerem Fehler im Vergleich zu den beiden anderen Verfahren. Die individuellen Leitungslängen sind von Interesse für eine Verlustleistungsanalyse, da zu diesem Zweck ein möglichst typischer Wert der Lastkapazitäten berücksichtigt werden soll.

Bei dem zweiten Ansatz, dem Verfahren zur Berücksichtigung der verdrahtungsebenenspezifischen Kapazität pro Längeneinheit, wurde zusätzlich eine Standardzellplatzierung vorgenommen. Die Leitungslänge wurde in diesem Fall mit dem halben Rechteckumfang der platzierten Standardzellen ermittelt. Die Gesamtkapazität einer Leiterbahn wird in diesem Fall modelliert als das Produkt aus der verdrahtungsebenenspezifischen Kapazität pro Längeneinheit und der Leitungslänge nach dem halben Rechteckumfang.

Das neuartige an der vorgeschlagenen Methodik ist, daß die verdrahtungsebenenspezifische Kapazität pro Längeneinheit bereits vor der Verdrahtung der Schaltung im Layout zur Verfügung steht und zur Berechnung der Leitungskapazitäten herangezogen werden kann. Dies wird dadurch erreicht, indem bereits auf Logikebene Leiterbahnen gezielt konkreten Verdrahtungsebenen zugeordnet werden. Da diese Zuordnungsvorschriften bei der später stattfindenden Layout-Verdrahtung als Zielvorgaben (cons-

traints) eingehalten werden, kann Konsistenz zwischen den prognostizierten und den im späteren Layout auftretenden Leitungskapazitäten erzielt werden.

Die vorgeschlagene Methodik wurde auf eine Reihe von Benchmark-Schaltungen angewendet. Eine selbst gesetzte Zielvorgabe war dabei, daß unter Anwendung der neuartigen Layout-Verdrahtung exakt der selbe Flächebedarf einer Schaltung erzielt wird, wie bei herkömmlicher Layout-Synthese. Zur Layout-Verdrahtung nach der vorgeschlagenen Entwurfsmethodik wurde ein kommerzielles Werkzeug verwendet, welches mit Hilfe spezieller Skripten zur Einhaltung der Ebenenzuordnung gezwungen wurde. Da diese Vorgehensweise von einer Standard-Layout-Synthese abweicht, konnte das Werkzeug die geforderten Bedürfnisse nicht immer erfüllen. Als problematisch erwiesen sich Schaltungen, bei denen bei einem Standardentwurf die Verdrahtungsressourcen durch die enthaltenen Netze bereits weitgehend belegt werden. Diese Schaltungstypen konnten in einigen Fällen nicht verdrahtet werden. Die totale Leitungslänge einer Schaltung stieg an. Günstige Eigenschaften hingegen wiesen jene Schaltungstypen auf, die aufgrund der reinen Zellfläche und kurzer Leitungslängen bereits ausreichend Verdrahtungsressourcen enthielten. Schaltungen mit dieser Eigenschaft konnten problemlos verdrahtet werden.

Unter Berücksichtigung der verdrahtungsebenenspezifischen Kapazität pro Längeneinheit zur Berechnung der Verdrahtungslastkapazitäten konnte der Fehler bei der Prognose der Leitungskapazitäten im Durchschnitt um 7% verringert werden. Die geringste Verbesserung lag bei ca. 2% und die größte Verbesserung bei ca. 13%.

Mit Hilfe des ersten Ansatzes wurden für eine Reihe von Benchmark-Schaltungen Verdrahtungslastmodelle ermittelt, die einer Verlustleistungsanalyse auf Logikebene zugeführt wurden. Zusätzlich wurden zwei am Lehrstuhl für Integrierte Systeme der Technischen Universität München entworfene Schaltungen dieser Methodik unterzogen, um die Anwendbarkeit auch für industrienahen Schaltungen zu demonstrieren. Im Falle sequentieller Schaltungen ergibt sich ein weiterer Aspekt, der im Rahmen dieser Arbeiten berücksichtigt wurde. Während auf Logikebene lediglich ein einziges Taktnetz mit allen in der Schaltung enthaltenen Flip-Flops verbunden ist, liegt auf Layout-Ebene bzw. in einer realen integrierten Schaltung ein verzweigter Taktbaum mit Treiberzellen und den verbindenden Taktnetzabschnitten vor. Da die Taktnetzabschnitte und damit auch die Takttreiberzellen die höchste Schaltaktivität in einer Schaltung aufweisen, leisten diese einen Beitrag zur Verlustleistung, der nicht vernachlässigt werden darf. Deshalb wurde neben der Abschätzung der Leitungslängen auch ein Taktbaum auf Logikebene prognostiziert. Die im Rahmen dieser Methodik neu erzeugte Netzliste sowie das entwickelte Verdrahtungslastmodell wurden schließlich einer Verlustleistungsanalyse zugeführt. Die auftretenden Fehler liegen bei kombinatorischen Schaltungen zwischen 2% und 11% (durchschnittlich 6%), was einer Erhöhung der Genauigkeit gegenüber einer Verlustleistungsanalyse mit Synopsys Wire Load Models um durchschnittlich ca. 8% entspricht. Bei sequentiellen Schaltungen liegt der relative Fehler bei Verwendung des neuen Verdrahtungslastmodelles zwischen 0,6% und 34% (durchschnittlich 7%).

Der Fehler bei der Verlustleistungsanalyse konnte somit gegenüber Synopsys Wire Load Models um durchschnittlich 23% verringert werden.

## 8.2 Ausblick und Anwendungsbeispiel

Grundsätzlich war das Ziel dieser Arbeit, die Leitungskapazitäten *aller* in der Schaltung enthaltenen Netze möglichst individuell abzuschätzen. Denn eine genauere Verlustleistungsanalyse vor der Layout-Synthese kann nur durch einen Blick auf alle Verdrahtungslasten erreicht werden, da jedes schaltende Netz einen Beitrag zur Verlustleistung liefert. Ein Verdrahtungslastmodell zur Verlustleistungsanalyse könnte jedoch noch verfeinert werden, indem Netze mit hoher Schaltaktivität und besonders hoher Leitungskapazität besonders genau modelliert werden. Netze mit hoher Schaltaktivität liefern potentiell einen größeren Beitrag zur Verlustleistung, als Netze mit niedriger Schaltaktivität. Den größten Beitrag zur dynamischen Verlustleistung liefern allerdings jene Netze, welche ein großes Produkt aus Schaltaktivität und Leitungskapazität aufweisen. Für ein spezielles Verdrahtungslastmodell zum Zwecke der Verlustleistungsanalyse könnte deshalb diesen Netzen in zukünftigen Arbeiten besondere Aufmerksamkeit bei der Modellierung gewidmet werden.

Die vorgeschlagene Entwurfsmethodik, bei der die Zuordnung von Leiterbahnen zu Verdrahtungsebenen bereits auf Logikebene erfolgt, könnte auch zur Realisierung eines Low-Power-Routings verwendet werden [121]. Netze mit hoher Schaltaktivität würden in diesem Fall gezielt jenen Verdrahtungsebenen zugeordnet, die eine niedrige Kapazität pro Längeneinheit aufweisen, um auf diese Weise eine möglichst niedrige Leitungskapazität zu erzielen. Auch wenn gemeinhin Maßnahmen zur Reduzierung der Verlustleistung auf höheren Entwurfsebenen größere Einsparpotentiale aufweisen, so kann eine Low-Power-Maßnahme auf Layout-Ebene eine sinnvolle Ergänzung sein. Da für eine Schaltung ohnehin ein Layout erstellt werden muß, erscheinen automatisiert erzielte Einsparungen attraktiv.

Bei der in der vorliegenden Arbeit vorgeschlagenen Leitungslängenabschätzung wird die Länge der Leiterbahnabschnitte in horizontaler und vertikaler Richtung separat ermittelt. Dies eröffnet die Möglichkeit das vorgeschlagene Längenabschätzungsverfahren mit dem Verfahren zur Zuordnung von Leiterbahnen zu Verdrahtungsebenen zu kombinieren. Da die bevorzugte Verdrahtungsrichtung von Ebene zu Ebene um jeweils 90 Grad versetzt ist, können vertikale und horizontale Leitungsabschnitte konkreten Ebenen zugeordnet werden. Auf diese Weise könnte die Genauigkeit bei der Prognose der Leitungskapazitäten noch weiter erhöht werden.

Eine interessante Anwendung der Verlustleistungsanalyse auf Logikebene wurde von der Firma Cadence angeregt, die CAD-Werkzeuge für den Entwurf integrierter Schaltungen entwickelt. Einer der ersten Schritte beim Entwurf eines Schaltungs-Layouts ist

die Reservierung der Fläche für die Stromversorgungsleitungen und deren Dimensionierung. Um dies jedoch flächengünstig realisieren zu können, müßte die Leistungsaufnahme und als Folge davon die Stromaufnahme möglichst genau prognostiziert werden. Die Stromaufnahme beeinflußt den erforderlichen Leiterbahnquerschnitt der Stromversorgungsleitungen und der Querschnitt wiederum den Flächenbedarf. Um diesem Aspekt Rechnung tragen zu können, muß der Verlustleistungsanalyse ein Verdrahtungsmodell zugeführt werden, welches auf Information aus dem Layout verzichtet. Mit dem im Rahmen dieser Arbeit vorgeschlagenen Modell wurde ein Beitrag geleistet, diesem Anspruch Rechnung zu tragen.

## Anhang A

# Parasitäre Leitungselemente R, C, L und Verlustleistung

Die als Leitungsparasitäten (wire parasitics) bezeichneten Netzwerkelemente Leiterbahninduktivität, Leiterbahnwiderstand und Leiterbahnkapazität gewinnen beim Entwurf integrierter Schaltungen immer stärker an Bedeutung. Bereits ab einer gezeichneten Gate-Länge der MOS-Transistoren von etwa  $0,6\ \mu\text{m}$  wirkt die durch Leiterbahnen hervorgerufene Signalverzögerungszeit dominant gegenüber den Gatterverzögerungszeiten [55]. Bei einer Timing-Analyse können die Einflüsse von Leiterbahnen deshalb nicht mehr vernachlässigt werden. Darüber hinaus kann durch kapazitive oder induktive Charakteristiken von Leiterbahnen eine gegenseitige Störung der Signale von nebeneinander verlaufenden Signalleitungen auftreten (Übersprechen, crosstalk; signal noise) [124]. Weiterhin können aufgrund von Lastspitzen und des endlichen Widerstandes der Stromversorgungsleitungen auftretende Spannungseinbrüche zu Deformationen der Nutzinformation auf den Signalleitungen führen (low frequency power noise). Ein weiterer Aspekt sind hochfrequente Störsignale auf den Stromversorgungsleitungen, die auf Signalleitungen überkoppeln können (high frequency power noise) [45], [123].

In der vorliegenden Arbeit wurde hingegen der Einfluß von parasitären Leitungskapazitäten auf die Verlustleistung untersucht. Die vorgeschlagenen Verdrahtungslastmodelle zielen auf die Berücksichtigung von Leiterbahneigenschaften bei der *Verlustleistungsanalyse* ab. Leitungsinduktivität und -widerstand wurden dabei nicht modelliert. In den folgenden Abschnitten soll erläutert werden, ob und welchen Einfluß die einzelnen parasitären Leitungselemente auf die Verlustleistung haben und weshalb auf eine Modellierung von Widerstand und Induktivität verzichtet wurde. Da die Auswirkungen der einzelnen Netzwerkelemente nicht immer isoliert betrachtet werden können, wird in Abschnitt A.3 eine Kombination aus Leiterbahnwiderstand und Leiterbahnkapazität diskutiert.

## A.1 Leitungsinduktivität

Ein nennenswerter induktiver Charakter von Leiterbahnen kann bei derzeit verwendeten Halbleitertechnologien nur bei relativ langen Leitungen beobachtet werden. Leitungen dieser Länge treten beispielsweise bei Verbindungen zwischen Layout-Partitionen, Datenbussen, Taktnetzen oder auch bei den Verbindungen zwischen der Siliziumschaltung und den Gehäuseanschlüssen auf. Dabei können Längen von 1 bis 2 cm erreicht werden, die in der Größenordnung einer ganzen Chip-Kante liegen können [18]. Schwerpunkt dieser Beobachtungen ist meist der induktive Blindwiderstand. Bei langen Leitungen kann dieser Werte annehmen, die von der Größenordnung mit dem resistiven Leitungswiderstand vergleichbar sind [36], [58].

Neben dem induktiven Blindwiderstand ist ein weiterer Ansatz zur Abschätzung des induktiven Charakters von Leiterbahnen in integrierten Schaltungen die Konzentriertheitshypothese. Danach kann eine Schaltung mit den Methoden der Schaltungstechnik analysiert bzw. modelliert werden, solange die Ausdehnung der darin enthaltenen elektrischen Bauelemente so klein ist, daß die kontinuierliche Abhängigkeit der elektrischen Größen wie Strom und Spannung von den Ortskoordinaten nicht berücksichtigt werden muß. Die Wellenlänge der betreffenden Signale muß dabei wesentlich größer sein, als die Ausdehnung der Leiterbahnen. Es muß die Bedingung

$$l \ll \lambda \quad (\text{Gl. A.1})$$

erfüllt sein. Dabei ist  $l$  die Länge der Leiterbahn und  $\lambda$  die Wellenlänge des betreffenden Signales. In der vorliegenden Arbeit wurde eine 0,25- $\mu\text{m}$ -Technologie verwendet. Bei Mikroprozessoren wurden mit einer 0,25- $\mu\text{m}$ -Technologie Taktfrequenzen mit bis zu 300 MHz erzielt [112]. Bei dieser Taktfrequenz kann ein Signal maximal mit der halben Frequenz (150 MHz) schalten, da bei integrierten Schaltungen, die mit statischer CMOS-Logik realisiert sind, nur bei steigender Taktflanke ein Signalwechsel erfolgen kann. Dies beschreibt allerdings den Extremfall, da die meisten Signale eine deutlich niedrigere Schaltfrequenz haben. Aus diesem Extremfall (worst case) ergibt sich gemäß

$$\lambda = \frac{c}{f} \quad (\text{Gl. A.2})$$

für ein Signal eine minimale Wellenlänge von 2 m. In obigem Zusammenhang ist  $c$  die Vakuumlichtgeschwindigkeit,  $f$  die Schaltfrequenz und  $\lambda$  die Wellenlänge des Signales. Die Wellenlänge ist damit deutlich größer als die Länge der Leiterbahnen. Die Konzentriertheitshypothese ist erfüllt und Leiterbahnen, insbesondere die kurzen Netze innerhalb von Layout-Blöcken weisen keinen induktiven Charakter auf.

Bei Mikroprozessoren und zukünftigen Schaltungen zeichnen sich allerdings jetzt schon Taktfrequenzen zwischen 3 und 4 GHz ab. Im Falle von 4 GHz kann gemäß obi-

ger Abschätzung eine maximale Signalfrequenz von 2 GHz angenommen werden, was zu einer Wellenlänge von 15 cm führt. Wie oben bereits erwähnt können Leitungen im Extremfall Längen von 1 bis 2 cm annehmen. Falls aufgrund eines hohen Integrationsgrades große Schaltungen bzw. Leitungslängen vorliegen und erwartungsgemäß in Zukunft noch höhere Schaltfrequenzen auftreten, müssen Leiterbahninduktivitäten berücksichtigt werden.

Die vorliegende Arbeit zielt jedoch auf eine Verlustleistungsanalyse ganzer Layout-Blöcke ab. Mit Hilfe der vorgeschlagenen Verdrahtungslastmodelle werden die Einflüsse der Signalleitungen auf die Verlustleistungsanalyse vor der Layout-Synthese modelliert. Im Zentrum der Betrachtungen liegen deshalb die relativ kurzen Signalleitungen innerhalb von Layout-Blöcken (local wiring). Etwa 60% bis 80% dieser Leitungen weisen Längen von 3 bis 20  $\mu\text{m}$  auf. Diese lokalen Verbindungsleitungen werden in der Regel auf den unteren Verdrahtungsebenen (Ebene 1 bis 4 oder, je nach verwendeter Technologie, auch bis zu Verdrahtungsebene 6) verlegt. Aufgrund ihres geringen Querschnittes, der durch die Halbleitertechnologie vorgegeben ist, weisen Leiterbahnen auf den unteren Verdrahtungsebenen einen relativ großen Widerstand auf. Hinzu kommt, daß bei einigen Technologien die unterste Verdrahtungsebene sowie Durchkontaktierungen zwischen Verdrahtungsebenen (vias) in Wolfram ausgeführt sind. Kontakte von den Leiterbahnen hinab auf die Source- und Drain-Gebiete der Transistoren sind in jedem Fall aus Wolfram, da dieses Material ein vorteilhaftes, geringes Diffusionsverhalten in die Siliziumschichten hinein aufweist. Wolfram weist jedoch einen relativ großen elektrischen Widerstand auf.

Leitungen dieser Art sind deshalb so stark verlustbehaftet ( $R \gg j\omega L$ ), daß diese über keinen nennenswerten induktiven Charakter verfügen. Wegen der vernachlässigbar kleinen Induktivitäten der lokalen Netze wurden bei den vorgeschlagenen Verdrahtungslastmodellen keine Leitungsinduktivitäten berücksichtigt [35]. Der Leitungswiderstand nimmt jedoch durchaus nennenswerte Ausmaße an. Die Ursachen und Auswirkungen werden in den nun folgenden Abschnitten diskutiert.

## A.2 Leitungswiderstand

Der Leiterbahnwiderstand ist hauptsächlich bestimmt durch die Leitungslänge, den Leiterbahnquerschnitt und das Leiterbahnmaterial. Zusätzlich beeinflusst die Streuung der Elektronen an den Korngrenzen des Leiterbahnmaterials sowie die Streuung an der Oberfläche der Leiterbahnen den Widerstand. Die beiden letzt genannten Phänomene können jedoch, wie der spezifische Leiterbahnwiderstand, in guter Näherung mit Hilfe eines Widerstandes pro Längen- und Flächeneinheit berücksichtigt werden.

Der Leitungswiderstand hat allerdings keinen Einfluß auf die kapazitive dynamische Verlustleistung. Zum Beweis wird in dem letzten Abschnitt ein Schaltungsbeispiel diskutiert, an dessen Ausgang sowohl ein Leitungswiderstand als auch eine Lastkapazität

angeschlossen ist. Der Leiterbahnwiderstand wurde bei den in dieser Arbeit vorgeschlagenen Verdrahtungslastmodellen deshalb nicht modelliert.

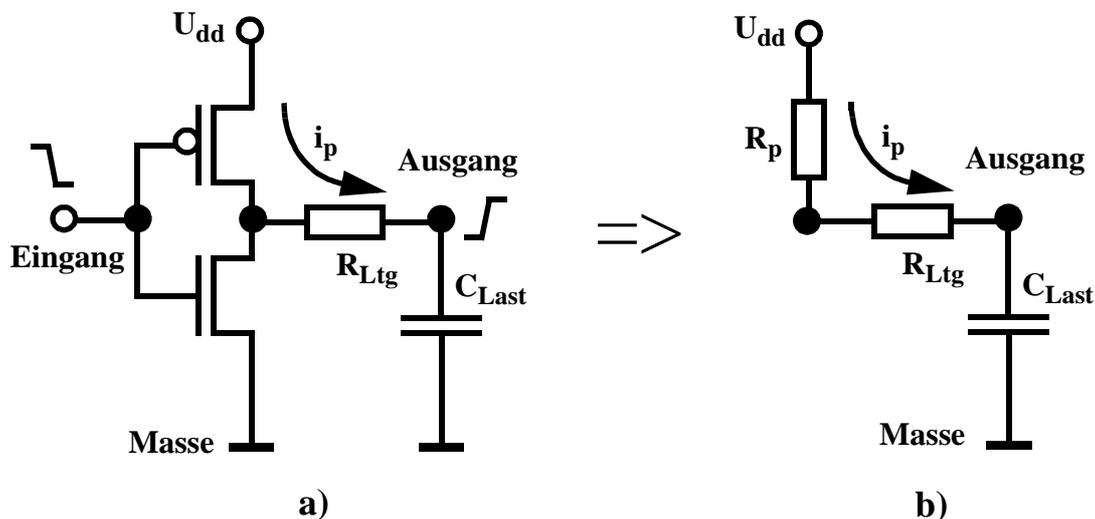
An dieser Stelle soll jedoch darauf hingewiesen werden, daß die vorgeschlagenen Verdrahtungslastmodelle auf einfache Weise um einen Widerstand pro Netz erweitert werden können. Zur Ermittlung des Leiterbahnwiderstandes muß lediglich ein eindimensionales Problem gelöst werden (Leitungslänge), wie dies beispielsweise in Kapitel 4 durchgeführt wird. Der Widerstand ist im Gegensatz zur Kapazität unabhängig von der Umgebung einer Leiterbahn, so daß keine Koppeleffekte berücksichtigt werden müssen. Die ermittelte Leitungslänge kann dann mit dem *Widerstand pro Längeneinheit* multipliziert werden. Dieser hängt wiederum vor allem vom Leitungsquerschnitt und vom Leiterbahnmaterial ab. Bei manchen Technologien wird aus Gründen der Elektromigration auf der untersten Verdrahtungsebene Wolfram und auf den restlichen Ebenen Aluminium verwendet. Andere Technologien verwenden Kupfer auf allen Verdrahtungsebenen. Querschnitt und Leiterbahnmaterial bleiben innerhalb einer Verdrahtungsebene gleich. Die Abschätzung des verdrahtungsebenenspezifischen Widerstandes pro Längeneinheit kann z.B. durch das in Kapitel 5 beschriebene *Verfahren der kontrollierten Zuordnung von Leiterbahnen zu Verdrahtungsebenen* erfolgen.

Leiterbahnwiderstände wirken sich jedoch auf die Querstromverlustleistung der Logikgatter aus. Die Querstromverlustleistung eines Gatters hängt von der Steilheit der Eingangsflanke ab (siehe Kapitel 1). Da der Leitungswiderstand am Ausgang des treibenden Gatters die Steilheit des Eingangssignales an den angeschlossenen Gattern beeinflusst, wirkt sich dies auf die Querstromverlustleistung der getriebenen Gatter aus. Der Anteil der Querstromverlustleistung an der gesamten dynamischen Verlustleistung beträgt in der Regel zwischen 15% und 35% [115], [116]. Unter den beiden dynamischen Verlustleistungskomponenten wirkt daher die kapazitive Verlustleistung dominant. Der Zusammenhang zwischen dem Widerstand und der Kapazität einer Leiterbahn sowie der kapazitiven dynamischen Verlustleistung wird in dem nun folgenden Abschnitt A.3 diskutiert.

### A.3 Leitungskapazität und Leitungswiderstand

Zur Ermittlung des Beitrages der Verlustleistung, der durch die Einflüsse von Leiterbahnen entsteht, kann *der Leitungswiderstand nicht isoliert betrachtet werden*. Deshalb soll in die folgende *Diskussion die Leitungskapazität mit einbezogen werden*. Zur Klärung der Frage, ob der Leitungswiderstand einen Beitrag zur dynamischen Verlustleistung liefert, werde nun folgendes Beispiel betrachtet:

Der in Abb. A.1 a) dargestellte CMOS-Inverter ist an seinem Ausgang über den Leitungswiderstand  $R_{Ltg}$  mit der Lastkapazität  $C_{Last}$  verbunden. Die Lastkapazität setzt sich zusammen aus den Eingangskapazitäten der angeschlossenen, getriebenen Gatter und den Kapazitäten der Leiterbahnen, welche die Eingänge der Gatter mit dem Ausgang des



**Abbildung A.1 Vereinfachtes CMOS-Invertermodell.**

**a) Inverter mit fallender Signalflanke am Eingang und RC-Glied am Ausgang.**

**b) Vereinfachtes Ersatzschaltbild mit Kanalwiderstand  $R_p$  des p-MOS-FET.**

Inverters verbinden. Zunächst werde der Fall betrachtet, daß an dem Eingang des Inverters eine fallende Signalflanke anliegt. Bei dem Signalwechsel wird die Lastkapazität über den leitenden p-MOS-Transistor und den Leitungswiderstand aufgeladen. Für diesen Fall kann der p-MOS-Transistor mit dem in Abb. A.1 b) dargestellten Ersatzschaltbild modelliert werden, wobei  $R_p$  den Kanalwiderstand des leitenden p-MOS-Transistors darstellt.

Allgemein berechnet sich die einer Quelle entnommenen Energie gemäß

$$W_{Quelle} = \int_{t=0}^{\infty} P(t)dt = \int_{t=0}^{\infty} i(t)u(t)dt \quad . \quad (\text{Gl. A.3})$$

Dabei ist  $u(t)$  die Spannung an der Quelle und  $i(t)$  der der Quelle entnommene Strom.

Da die Spannung an der Quelle  $U_{dd}$  konstant ist, gilt

$$u(t) = U_{dd} = konst \quad . \quad (\text{Gl. A.4})$$

Die Lastkapazität  $C_{Last}$  wird über den Transistorkanalwiderstand  $R_p$  und den Leitungswiderstand  $R_{Ltg}$  geladen. Da diese in Serie liegen, ist der Strom  $i_p$  durch alle Netzwerkelemente gleich. Der Strom  $i_p$  entspricht dem Strom, der zum Aufladen der Kapazität aufgebracht werden muß. Die Abhängigkeit des Stromes von der Zeit kann nun gemäß

$$i_p(t) = i_C(t) = C_{Last} \frac{du_C}{dt} \quad (\text{Gl. A.5})$$

ermittelt werden.

Substituiert man in Gl. A.3 die Spannung  $u(t)$  durch  $U_{dd}$  gemäß Gl. A.4 und den zeitabhängigen Strom  $i(t)$  durch den Ausdruck in Gl. A.5 folgt nun

$$W_{Quelle}(t) = \int_{t=0}^{\infty} C_{Last} \frac{du_C}{dt} \cdot U_{dd} dt \quad . \quad (\text{Gl. A.6})$$

Zur Durchführung der Integration, muß in Gl. A.6 eine Anpassung der Integrationsgrenzen erfolgen. Die Integration nach der Zeit  $dt$  wird in eine Integration nach der Spannung  $du$  überführt. Schließlich ergibt sich die vereinfachte Darstellung

$$W_{Quelle}(t) = C_{Last} U_{dd} \int_{u_C=0}^{U_{dd}} du_C \quad . \quad (\text{Gl. A.7})$$

Die der Quelle entnommene Energie ergibt sich folglich zu

$$W_{Quelle}(t) = C_{Last} U_{dd} u_C \Big|_0^{U_{dd}} = C_{Last} U_{dd}^2 \quad . \quad (\text{Gl. A.8})$$

Für die in einem Kondensator für  $t \rightarrow \infty$  gespeicherte Energie  $W_C$  gilt der bekannte Zusammenhang

$$W_C = \frac{1}{2} C U_{dd}^2 \quad . \quad (\text{Gl. A.9})$$

---

Vergleicht man nun die der Quelle entnommene Energie in Gl. A.8 mit der in einem Kondensator für  $t \rightarrow \infty$  gespeicherten Energie in Gl. A.9, so sind daran folgende Zusammenhänge bemerkenswert:

- Die der Quelle entnommene Energie ist exakt doppelt so groß, wie die für  $t \rightarrow \infty$  in einem Kondensator gespeicherte Energie.
- Die der Quelle entnommene Energie ist unabhängig von irgendwelchen Widerständen.

Da die Hälfte der der Quelle entnommenen Energie in der Lastkapazität gespeichert wird, wurde exakt die andere Hälfte in dem Kanalwiderstand des p-MOS-Transistors und dem Leiterbahnwiderstand in Wärme umgesetzt. Maßgeblich für die Höhe, der in Wärme umgesetzten Energie ist jedoch allein die Größe der Lastkapazität und die Höhe der Versorgungsspannung. Die Größe der Widerstände und damit auch des Leiterbahnwiderstandes beeinflusst zwar die Zeitdauer der Aufladung, nicht jedoch die Menge der in Wärme umgesetzten Energie.

Die zunächst in der Lastkapazität gespeicherte Energie wird anschließend im Falle einer steigenden Flanke am Eingang des Inverters in dem Kanalwiderstand des nun leitenden n-MOS-Transistors und dem Leiterbahnwiderstand gegen Masse abgeleitet und in Wärme umgesetzt.

**Fazit:** Die Höhe des Leitungswiderstandes hat keinen Einfluß auf die von der Schaltung aufgenommene kapazitive dynamische Verlustleistung. Durch das Verhältnis aus dem Transistorkanalwiderstand und dem angeschlossenen Leitungswiderstand ergibt sich lediglich, wieviel Wärme im Transistor und wieviel Wärme im Leiterbahnwiderstand umgesetzt wird. Leiterbahnwiderstände wirken sich jedoch auf die Querstromverlustleistung der Logikgatter aus. Der Anteil der Querstromverlustleistung an der gesamten dynamischen Verlustleistung ist jedoch deutlich niedriger als die kapazitive dynamische Verlustleistung. Unter den beiden dynamischen Verlustleistungskomponenten wirkt daher die kapazitive Verlustleistung dominant.

Die Höhe der kapazitiven Verlustleistung ist allein durch die Größe der Lastkapazität bestimmt. Aus diesem Grund lag der Schwerpunkt der Betrachtungen bei den Leitungskapazitäten und auf eine Modellierung der Leitungswiderstände wurde in der vorliegenden Arbeit verzichtet.



# Verzeichnis der verwendeten Symbole

$A$	Fläche, allgemein
$A_{\text{Gitter}}$	Fläche eines Untergitters
$A_i$	Querschnittsfläche einer Leiterbahn auf Verdrahtungsebene $i$
$A(i, d)$	Längenbeitrag in horizontaler Richtung, den ein Netz mit $d$ Pins leistet, welches sich über $i$ Zellreihen erstreckt
$A_1(i, d, \text{conf})$	Anzahl der möglichen, unterscheidbaren Zellreihenanordnungen
$A_2(i, d, \text{conf})$	Anzahl der unterschiedlichen Pin-Verteilungen
$\bar{b}_{\text{eff}}$	effektive Breite, Breite einer Gittermasche des abstrahierten Layouts
$b_{\text{Reihen}}$	Breite der Standardzellreihen, die sich aufgrund der geometrischen Abmessungen einer Layout-Partition ergibt
$\bar{b}_{\text{Verdr}}$	Flächenzuschlag zur mittleren Zellbreite aufgrund benötigter Verdrahtungsfläche
$b_{\text{Zelle}}$	Breite einer Standardzelle
$\bar{b}_{\text{Zellen}}$	Mittelwert der Breiten aller im Layout enthaltenen Standardzellen
$B(i, d)$	Anzahl der Möglichkeiten $d$ Pins auf $i$ Zellreihen zu platzieren
$c$	Vakuumlichtgeschwindigkeit ( $c = 2,9979 \cdot 10^8 \frac{m}{s}$ )
$c'$	Kapazität pro Längeneinheit
$C$	Kapazität, allgemein
$C_a$	Kapazität ausgehend von Boden- oder Deckfläche einer Leitung
$C_{\text{Boden}}$	Bodenflächenkapazität einer Leiterbahn
$C_C$	Koppelkapazität, allgemein

---

$C_{C\ i}$	Koppelkapazität zwischen benachbarten Leiterbahnen auf der Verdrahtungsebene $i$
$C_{f0}$	Seitenflächenkapazität (fringing capacitance) einer Leiterbahn in dem Fall, daß die benachbarten Leiterbahnen einen großen Abstand zur betrachteten Leiterbahn aufweisen (keine Kopplung)
$C_{f1}$	Seitenflächenkapazität einer Leiterbahn im Falle benachbarter Leiterbahnen
$C_{ges}$	Gesamtkapazität einer Leiterbahn (eines Leitungssegments) unter Berücksichtigung aller Kapazitätskomponenten $C_a$ , $C_{f0}$ , $C_{f1}$ und $C_c$
$C_{Gatter}$	Lastkapazität, hervorgerufen durch die Eingangskapazität eines Gatters
$C_{Koppel}$	Koppelkapazität zwischen zwei benachbarten Leiterbahnen
$C_{Last}$	Lastkapazität
$C_{Layout, k}$	Kapazität einer Leiterbahn, die aus dem Layout extrahiert wurde (wahrer Wert bei der Fehlerrechnung, Bezugswert)
$C_{Leiterbahn}$	Lastkapazität, hervorgerufen durch eine Leiterbahn
$C_{Modell, k}$	Kapazität einer Leiterbahn mit dem Index $i$ , die mit Hilfe des in dieser Arbeit vorgeschlagenen Modelles ermittelt wurde
$C_n$	Kapazität des Netzes mit dem Index $n$
$C_{Netz}$	Kapazität des Netzes
$C_{Seiten}$	Seitenflächenkapazität einer Leiterbahn
conf	Pin-Konfiguration; bestimmte Anordnung (Verteilung) von Zell-Pins innerhalb eines Untergitters
ConfLen( $i, x, conf$ )	abgeschätzte Länge eines Netzes, der die Verteilung der Netz-Pins gemäß einer bestimmten Konfiguration zugrunde liegt
$d$	Anzahl der Zell-Pins
$D$	Drain-Anschluß eines MOS-Feldeffekttransistors
$e$	Elementarladung ( $e = 1,6022 \cdot 10^{-19} \text{ C}$ )
$f$	Frequenz; Schaltfrequenz
$f_s$	Umschaltfrequenz

---

$f_{\text{Takt}}$	Taktfrequenz
$F_{\text{Rel, Netz}}$	relativer Fehler eines Netzes
$\bar{F}_{\text{Rel, Schaltung}}$	durchschnittlicher relativer Fehler aller in der Schaltung enthaltenen Netze
$g_{\text{DS}}$	Drain-Source-Leitwert eines MOS-Feldeffekttransistors
$G$	Anzahl der Gatter
$G$	Gate-Anschluß eines MOS-FETs (in Abbildungen)
$h_{\text{Zelle}}$	Höhe einer Standardzelle, festgelegt durch die verwendete Technologie
$\text{HLen}(\text{Pins}[k], x)$	Horizontaler Netzlängenanteil einer bestimmten Anzahl von Pins auf der k-ten Zellreihe
$\text{HorLenInSub}$	horizontale Längenbeiträge aller möglichen Netze innerhalb eines Untergitters, die sich aus den Pin-Konfigurationen ergeben
$\text{HorNetLen}(d)$	durchschnittliche Länge eines d-Pin-Netzes in horizontaler Richtung innerhalb eines Untergitters
$i$	kombinatorischer Parameter in Kap. 4
$i_0$	Strom eines Transistors, der um den Arbeitspunkt angesteuert wird
$i_{\text{ds}}$	Drain-Source-Strom im Kleinsignalersatzschaltbild
$i_{\text{n}}$	Strom durch einen n-Kanal MOS-FET
$i_{\text{p}}$	Strom durch einen p-Kanal MOS-FET
$i_{\text{quer}}$	Querstrom bzw. Kurzschlußstrom eines Logikgatters
$\dot{i}_{\text{Quelle}}$	Mittelwert des Stromes, der einer Quelle entnommen wird
$I_{\text{D0}}$	Drain-Sättigungsstrom
$I_{\text{DS}}$	Drain-Source-Strom
$I_{\text{Dsperr}}$	Diodensperrstrom
$I_{\text{gc}}$	Tunnelstrom durch das Gate-Oxid zwischen Gate und Kanal
$I_{\text{gdo}}$	Tunnelstrom durch das Gate-Oxid an dem überlappenden Gebiet zwischen Gate und Drain (gate-drain overlap)
$I_{\text{gso}}$	Tunnelstrom durch das Gate-Oxid an dem überlappenden Gebiet zwischen Gate und Source (gate-source overlap)

---

$I_{\text{sub}}$	Subschwellestrom
$I_{\text{sub}0}$	Subschwellestrom an der Stelle $U_{\text{GS}} = U_{\text{th}}$
$I_{\text{S}}$	Sperr-sättigungsstrom
$I_{\text{T}}$	Tunnelstrom
$IO_{\text{S}0}$	Anzahl der Ein-/ Ausgangszellen (inputs, outputs), die unmittelbar an ein betrachtetes Netz angeschlossen sind
$IO_{\text{S}1}$	Anzahl der Ein-/ Ausgangszellen, die an die Zellen im Abstand 0 angeschlossen sind
$j$	Stromdichte
$j_{\text{T}}$	Linienstromdichte des Tunnelstromes entlang der gezeichneten Gate-Länge $L$ eines MOS-Transistors
$k$	Boltzmannkonstante ( $k = 1,3807 \cdot 10^{-23} \frac{\text{J}}{\text{K}}$ )
$k_1, k_2$	Summationsgrenzen, Abmessungen der Untergitter
$l$	Länge, allgemein
$l_{\text{IO}}$	Länge eines Netzes, das mit einem Eingangs- oder Ausgangs-Pad oder einer Eingangs- oder Ausgangszelle verbunden ist (Länge eines Ein-/ Ausgangsnetzes)
$l_{\text{HR}}$	Länge eines Netzes nach dem halben Rechteckumfang
$l_{\text{Seg}}$	Länge eines Leiterbahnsegmentes
$L$	gezeichnete Gate-Länge eines MOS-Transistors
$L$	Anzahl der Leiterbahnen (Kap. 1)
$L$	Induktivität, allgemein
$m$	Anzahl der verschiedenen Signalwechsel
$n$	Prozeßparameter (Kap. 1)
$n$	Index, meist für Netze
$n+$	stark n-dotiertes Gebiet
$N$	Anzahl der Netze
$N_0$	Anzahl der Zellen, die unmittelbar an ein betrachtetes Netz angeschlossen sind
$N_1$	Anzahl der Zellen, die an die Zellen im Abstand 0 angeschlossen sind

---

NNP	Net Neighbourhood Populations
$p^+$	stark p-dotiertes Gebiet
$P_{\text{intern, Schaltung}}$	zellinterne Verlustleistung einer Schaltung
$P_{\text{intern, Zelle}}$	zellinterne Verlustleistung, einzelne Zelle
$P_{\text{kap}}$	kapazitive, dynamische Verlustleistung
$P_{\text{Quelle}}$	Leistung, die einer Quelle entnommen wird
$P_{\text{Schaltung}}$	Leistungsaufnahme bzw. Verlustleistung einer Schaltung
$P_{\text{ins}[k]}$	Anzahl der Pins auf der k-ten Reihe
$r$	Rent'scher Exponent
$r$	Anzahl der Standardzellreihen in einem Layout (= Höhe der Layout-Partition in Anzahl der Zellreihen)
$R$	elektrischer Widerstand, allgemein
$R_{\text{Ltg}}$	Leitungswiderstand
$R_{\text{Seg}}$	Widerstand eines Leitungssegments (Leiterbahnabschnittes)
RowUtil	Reihenausnutzungsfaktor (row utilization)
$s$	Anzahl der Umschaltvorgänge (toggle count)
$s_i$	Abstand zwischen benachbarten Leiterbahnen auf der Verdrahtungsebene $i$ (space)
$S$	Source-Anschluß eines MOS-Feldeffekttransistors
$S_i$	Anzahl der Signalwechsel vom Typ $i$
StdZellen <sub>0</sub>	Anzahl gewöhnlicher Standardzellen (nicht IOs), die unmittelbar an ein betrachtetes Netz angeschlossen sind
StdZellen <sub>1</sub>	Anzahl gewöhnlicher Standardzellen (nicht IOs), die an die Zellen im Abstand 0 angeschlossen sind
StdZellReihen	Anzahl der Standardzellreihen
$t_D$	Verzögerungszeit (z.B. eines Inverters)
$t_i$	Höhe einer Leiterbahn auf der Verdrahtungsebene $i$ (thickness)
$t_{\text{sim}}$	Simulationszeitraum, Simulationsdauer
$t_T$	Flankensteilheit, Anstiegs- bzw. Abfallzeit eines digitalen Signals
$T$	Temperatur (in Kap. 1)
$T_{\text{Takt}}$	Taktperiode

---

$U$	Spannung, allgemein
$U_d$	Drain-Spannung
$U_{dd}$	Versorgungsspannung
$U_{DS}$	Drain-Source-Spannung
$U_{DS0}$	Drain-Source-Spannung am Arbeitspunkt
$U_g$	Gate-Spannung
$U_{GS}$	Gate-Source-Spannung
$U_{GS0}$	Gate-Source-Spannung am Arbeitspunkt
$U_s$	Source-Spannung
$U_{th}$	Schwellenspannung (threshold voltage)
$U_{thn}$	Schwellenspannung eines n-Kanal-MOS-Transistors
$U_{thp}$	Schwellenspannung eines p-Kanal-MOS-Transistors
$U_T$	Temperaturspannung $kT/e$
$V_{Len}(i, y)$	Anzahl verschiedener Längenausdehnungen in vertikaler Richtung, die ein Netz mit $d$ Pins, das auf $l$ Standardzellreihen innerhalb eines Untergitters der Größe $x \times y$ limitiert ist, aufweisen kann; $i$ ist Laufparameter für die verschiedenen Längen
$VertLenInSub(d, y)$	vertikale Längenbeiträge aller möglichen Untergitter
$VertNetLen(d)$	durchschnittliche Länge eines Netzes in vertikaler Richtung innerhalb eines Untergitters
$w_i$	Breite (width) einer Leiterbahn auf der Verdrahtungsebene $i$
$W$	Gate-Weite eines MOS-Transistors
$W_{el}$	in einem Kondensator gespeicherte elektrische Energie
$W_{intern, Zelle}$	zellinterne Energie, die bei einem typischen Signalwechsel von einer Zelle aufgenommen wird
$W(x, y)$	Quotient aus der Anzahl der möglichen Untergitter in einem Hauptgitter und dem halben Rechteckumfang eines Untergitters
$x$	Anzahl der Taktperioden innerhalb eines Simulationszeitraumes
$x$	horizontale Richtung einer Leitung

---

$y$	vertikale Richtung einer Leitung
$z$	Index, meist für Standardzellen
$Z$	Anzahl der Standardzellen
$\alpha$	Prozeßparameter, Sättigungsgeschwindigkeitsindex (velocity saturation index) in Kap. 1
$\alpha$	Schaltaktivität
$\alpha_{01}$	Schaltaktivität der Umschaltvorgänge von log. 0 auf log. 1
$\beta, \beta_m$	Steilheit eines MOS-Feldeffekttransistors, allgemein
$\beta_n$	Steilheit eines n-Kanal-MOS-Feldeffekttransistors
$\beta_p$	Steilheit eines p-Kanal-MOS-Feldeffekttransistors
$\epsilon$	Dielektrizitätskonstante
$\epsilon_0$	elektrische Feldkonstante
$\epsilon_r$	Permittivitätszahl
$\lambda$	Wellenlänge eines Signales
$\rho_i$	spezifischer Widerstand des Leiterbahnmaterials auf der Verdrahtungsebene $i$
$\omega$	Kreisfrequenz



# Abkürzungsverzeichnis

ALU	Arithmetic Logic Unit
ASIC	Application Specific Integrated Circuit
CMOS	Complementary Metal Oxide Semiconductor
ESD	Electro Static Discharge (Protection)
FET	Field Effect Transistor
IOs	Input/ Output; Ein- oder Ausgang einer Schaltung
LUT	Look-Up Table
metal i	Verdrahtungsebene i
MCNC	Microelectronics Center of North Carolina
MOS	Metal Oxide Semiconductor
NNP	Net Neighbourhood Population
Parasitics	parasitäre Leitungselemente, d.h. R, L und C
Pin:	
Zell-Pin	Anschlußpunkt einer Standardzelle
Netz-Pin	alle Endpunkte eines Netzes
RowUtil	Reihenausnutzungsfaktor (row utilization)
RTL	Register Transfer Level/ Registertransferebene
RT-Block	Schaltungsblock auf Registertransferebene
toggle count	Anzahl der Umschaltvorgänge innerhalb eines Simulationszeitraumes
WLM	Wire Load Model/ Verdrahtungslastmodell
$\alpha$	Schaltaktivität, allgemein
$\alpha_{01}$	Schaltaktivität der Übergänge von log. 0 nach log. 1
$\mu$ BGA	Micro Ball Grid Array. Spezielle Gehäusebauform einer integrierten Schaltung.



# Literaturverzeichnis

- [1] A. Alvandpour, P. Larsson-Edefors, C. Svensson: "GLMC: Interconnect Length Estimation by Growth-Limited Multifold Clustering," IEEE Int. Symp. on Circuits and Systems (ISCAS), 2000.
- [2] H. B. Bakoglu: *Circuits, Interconnections, and Packaging for VLSI*, Addison Wesley, 1990.
- [3] A. Balboni, C. Costi, M. Pellencin, A. Quadrini, D. Sciuto: "Clock Skew Reduction in ASIC Logic Design: A Methodology for Clock Tree Management," IEEE Trans. On Computer-Aided Design of Integrated Circuits and Systems, Vol. 17, No. 4, 1998.
- [4] R. Bauer, S. Selberherr: "Capacitance Calculation of VLSI Multilevel Wiring Structures," Int. Workshop on VLSI Process and Device Modeling," 1993.
- [5] A. Bellaouar, M. I. Elmasry: *Low-Power Digital VLSI Design*, Kluwer Academic Publishers, 1995.
- [6] G. Bernacchia, M. Papaefthymiou: "Analytical Macromodeling for High-Level Power Estimation," IEEE Int. Conf. on CAD (ICCAD), 1999.
- [7] S. Bodapati, F. N. Najm: "Prelayout Estimation of Individual Wire Lengths," IEEE Trans. on Very Large Scale Integration (VLSI) Systems, Vol. 9, No. 6, 2001.
- [8] K. D. Boese, A. B. Kahng, S. Mantik: "On the Relevance of Wire Load Models," ACM Int. Workshop on System-Level Interconnect Prediction (SLIP), 2001.
- [9] M. T. Bohr: "Interconnect Scaling - The Real Limiter to High Performance ULSI," Int. Electron Devices Meeting (IEDM), 1995.
- [10] A. Bogliolo, L. Benini, B. Riccò: "Power Estimation of Cell-Based CMOS Circuits," ACM/ IEEE Design Automation Conference (DAC), 1996.
- [11] A. Bogliolo, B. Riccò, L. Benini, G. de Micheli: "Accurate Logic-Level Power Estimation," IEEE Int. Symp. on Low Power Design (ISLPD), 1995.
- [12] D. Brand, C. Visweswariah: "Inaccuracies in Power Estimation During Logic Synthesis," IEEE Int. Conf. on Computer-Aided Design (ICCAD), 1996.

- 
- [13] K. Büyüksahin, F. Najm: "High-Level Power Estimation with Interconnect Effects," Int. Symp. on Low Power Electronics and Design (ISLPED), 2000.
- [14] Cadence Design Systems, Inc.: *Envisia Ultra Placer Reference*, 2001.
- [15] Cadence Design Systems, Inc.: *Physically Knowledgeable Synthesis (PKS) Reference*, 2001.
- [16] Cadence Design Systems, Inc.: *Silicon Ensemble/ CTGen Reference*, 1999.
- [17] A. E. Caldwell, A. B. Kahng, S. Mantik, I. L. Markov, A. Zelikovsky: "On Wire-length Estimations for Row-Based Placement," IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems, Vol. 18, No. 9, 1999.
- [18] G. Cappuccino, P. Corsonello, G. Cocorullo, S. Perri, G. Staino: "Dynamic Power of CMOS Gates Driving Lossy Transmission Lines," IEEE Int. Conf. on Electronics, Circuits and Systems (ICECS), 2001.
- [19] A. P. Chandrakasan, R. W. Brodersen: *Low Power Digital CMOS Design*, Kluwer Academic Publishers, 1995.
- [20] A. P. Chandrakasan, R. W. Brodersen: "Minimizing Power Consumption in Digital CMOS Circuits," Proc. of the IEEE, Vol. 83, No. 4, 1995.
- [21] H. Chen, C. Qiao, F. Zhou, C.-K. Cheng: "Refined Single Trunk Tree: A Rectilinear Steiner Tree Generator For Interconnect Prediction," ACM Int. Workshop on System-Level Interconnect Prediction (SLIP), 2002.
- [22] K. Chen, C. Hu, P. Fang, M.R. Lin, D. L. Wollesen: "Predicting CMOS Speed with Gate Oxide and Voltage Scaling and Interconnect Loading Effects," IEEE Trans. on Electron Devices, Vol. 44, No. 11, 1997.
- [23] X. Chen, M. L. Bushnell: "A Module Area Estimator for VLSI Layout," Design Automation Conference (DAC), 1988.
- [24] S. Chowdhury, J. S. Barkatullah: "Estimation of Maximum Currents in MOS IC Logic Circuits," IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems, Vol. 9, No. 6, 1990.
- [25] P. Christie: "Rent Exponent Prediction Methods," IEEE Trans. on Very Large Scale Integration (VLSI) Systems, Vol. 8, No. 6, 2000.
- [26] P. Christie, D. Stroobandt: "The Interpretation and Application of Rent's Rule," IEEE Trans. on Very Large Scale Integration (VLSI) Systems, Vol. 8, No. 6, 2000.
- [27] Collaborative Benchmarking Laboratory (CBL): *LGSynth93 Benchmark Set*, vorgeschlagen auf dem Int. Workshop on Logic Synthesis 1993, zur Verfügung gestellt vom Microelectronics Center of North Carolina (MCNC), <http://www.cbl.ncsu.edu>, 2002.
- [28] Compass Design Automation: *PathFinderCB User Guide V9R3.1*, 1997.

- 
- [29] J. Cong: "Modeling and Layout Optimization of VLSI Devices and Interconnects in Deep Submicron Designs," Asia South-Pacific Design Automation Conference (ASP-DAC), 1997.
- [30] J. Cong, D. Z. Pan: "Interconnect Delay Estimation Models for Synthesis and Design Planning," Asia South-Pacific Design Automation Conference (ASP-DAC), 1999.
- [31] J. Dambre, D. Stroobandt, J. v. Campenhout: "Toward the Accurate Prediction of Placement Wire Length Distributions in VLSI Circuits," IEEE Trans. on Very Large Scale Integration (VLSI) Systems, Vol. 12, No. 4, 2004.
- [32] J. A. Davis, V. K. De, J. D. Meindl: "A Stochastic Wire-Length Distribution for Gigascale Integration (GSI) - Part I: Derivation and Validation," IEEE Trans. on Electron Devices, Vol. 45, No. 3, 1998.
- [33] J. A. Davis, V. K. De, J. D. Meindl: "A Stochastic Wire-Length Distribution for Gigascale Integration (GSI) - Part II: Applications to Clock Frequency, Power Dissipation, and Chip Size Estimation," IEEE Trans. on Electron Devices, Vol. 45, No. 3, 1998.
- [34] A.-C. Deng: "Power Analysis For CMOS/ BiCMOS Circuits," Int. Workshop on Low Power Design (IWLDP), 1994.
- [35] A. Deutsch, G. V. Kopcsay, C. W. Surovic, B. J. Rubin, L. M. Terman, R. P. Dunne, T. A. Gallo, R. H. Dennard: "Modeling and Characterization of Long On-Chip Interconnections for High-Performance Microprocessors," IBM Journal of Research and Development, Vol. 39, No. 5, 1995.
- [36] A. Deutsch, G. V. Kopcsay, P. J. Restle, H. H. Smith, G. Katopis, W. D. Becker, P. W. Coteus, C. W. Surovic, B. J. Rubin, R. P. Dunne, T. Gallo, K. A. Jenkins, L. M. Terman, R. H. Dennard, G. A. Sai-Halasz, B. L. Krauter, D. R. Knebel: "When are Transmission-Line Effects Important for On-Chip Interconnections," IEEE Trans. on Microwave Theory and Techniques, Vol. 45, No. 10, 1997.
- [37] W. E. Donath: "Placement and Average Interconnection Lengths of Computer Logic," IEEE Trans. on Circuits and Systems, Vol. CAS-26, No. 4, 1979.
- [38] M. Drazdziulis, P. Larsson-Edefors: "A Gate Leakage Reduction Strategy for Future CMOS Circuits," European Solid-State Circuits Conference (ESSCIRC), 2003.
- [39] L. Drost: Persönliche Mitteilung des vorgenannten Synopsys-Mitarbeiters aufgrund einer Email-Anfrage, 2000.
- [40] W. C. Elmore: "The Transient Response of Damped Linear Networks with Particular Regard to Wideband Amplifiers," Journal of Applied Physics, Vol. 19, No. 1, 1948.
- [41] M. Feuer: "Connectivity of Random Logic," IEEE Trans. on Computers, 1982.

- 
- [42] E. G. Friedman: "Clock Distribution Networks in Synchronous Digital Integrated Circuits," Proc. of the IEEE, Vol. 89, No. 5, 2001.
- [43] A. A. El Gamal: "Two Dimensional Stochastic Model for Interconnections in Master Slice Circuits," IEEE Trans. on Circuits and Systems, Vol. CAS-28, 1981.
- [44] A. Ghosh, S. Devadas, K. Keutzer, J. White: "Estimation of Average Switching Activity in Combinational and Sequential Circuits," ACM/ IEEE Design Automation Conference (DAC), 1992.
- [45] B. A. Gieseke, R. L. Allmon, D. W. Bailey, B. J. Benschneider, S. M. Britton, J. D. Clouser, H. R. Fair, J. A. Farrell, M. K. Gowan, C. L. Houghton, J. B. Keller, T. H. Lee, D. L. Leibholz, S. C. Lowell, M. D. Matson, R. J. Matthew, V. Peng, M. D. Quinn, D. A. Priore, M. J. Smith, K. E. Wilcox: "A 600 MHz Superscalar RISC Microprocessor with Out-Of-Order Execution," IEEE Int. Solid-State Circuits Conference (ISSCC), 1997.
- [46] S. Gupta, F. Najm: "Power Macromodeling for High Level Power Estimation," ACM/ IEEE Design Automation Conference (DAC), 1997.
- [47] T. Hamada, C.-K. Cheng, P. M. Chau: "A Wire Length Estimation Technique Utilizing Neighbourhood Density Equations," IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems, Vol. 15, No. 8, 1996.
- [48] W. R. Heller, W. F. Mikhail, W. E. Donath: "Prediction of wiring space requirements for LSI," Design Automation Conference (DAC), 1977.
- [49] S. Henzler, M. Koban, J. Berthold, G. Georgakos, D. Schmitt-Landsiedel: "Design Aspects and Technological Scaling Limits of ZigZag Circuit Block Switch-Off Schemes," IFIP Int. Conf. on Very Large Scale Integration (VLSI-SOC), 2003.
- [50] A. Heß, G. Zimmermann: "Interconnection Length Estimation During Hierarchical VLSI," ACM Int. Workshop on System-Level Interconnect Prediction (SLIP), 1999.
- [51] R. Ho, K. W. Mai, M. Horowitz: "The Future of Wires," Proc. of the IEEE, Vol. 89, No. 4, 2001.
- [52] W. Hong, W.K. Sun, Z. Zhu, H. Ji and B. Song: "A Novel Dimension Reduction Technique for the Capacitance Extraction of 3D VLSI Interconnects," IEEE Int. Conf. on Computer-Aided Design (ICCAD), 1996.
- [53] C. X. Huang, B. Zhang, A.-C. Deng, B. Swirski: "The Design and Implementation of PowerMill," IEEE Int. Symp. on Low Power Design (ISLPD), 1995.
- [54] IC Insights, Inc., *The McClean Report*, Scottsdale, 2002.
- [55] Integrated Circuit Engineering Corporation (ICE): *Status 1998 - A Report On The Integrated Circuit Industry*, 1998.
- [56] Integrated Circuit Engineering Corporation (ICE): *Status 1999 - A Report On The Integrated Circuit Industry*, 1999.

- 
- [57] T. Ishihara, H. Yasuura: "Basic Experimentation on Accuracy of Power Estimation for CMOS VLSI Circuits," IEEE Int. Symp. on Low Power Electronics and Design (ISLPED), 1996.
- [58] Y. I. Ismail, E. G. Friedman, J. L. Neves: "Exploiting the On-Chip Inductance in High-Speed Clock Distribution Networks," IEEE Trans. on Very Large Scale Integration (VLSI) Systems, Vol. 9, No. 6, 2001.
- [59] M.-S. Jang, J.-H. Park, Y.-N. Yeon, J.-Y. Lee, K.-M. Choi, J.-T. Kong: "Clock Network Analysis at the Pre-Layout Stage for Efficient Clock Tree Synthesis," IEEE Int. ASIC/ SOC Conference, 2002.
- [60] G. Jochens, L. Kruse, E. Schmidt, W. Nebel: "A New Parameterizable Power Macro-Model for Datapath Components," Design, Automation and Test in Europe (DATE), 1999.
- [61] A. B. Kahng, D. Stroobandt: "Wiring Layer Assignment with Consistent Stage Delays," ACM Int. Workshop on System-Level Interconnect Prediction (SLIP), 2000.
- [62] K. Keutzer, P. Vanbekbergen: "The Impact of CAD on the Design of Low Power Digital Circuits," IEEE Symp. on Low Power Electronics, 1994.
- [63] H. Kriplani, F. Najm, I. Hajj: "Maximum Current Estimation in CMOS Circuits," ACM/ IEEE Design Automation Conference (DAC), S 2-7, 1992.
- [64] B. S. Landman, R. L. Russo: "On a Pin Versus Block Relationship For Partitions of Logic Graphs," IEEE Trans. on Computers, Vol. C-20, No. 12, 1971.
- [65] P. Landman: "High-Level Power Estimation," Int. Symp. on Low Power Electronics and Design (ISLPED), 1996.
- [66] D. Langen, A. Brinkmann, U. Rückert: "High Level Estimation of the Area and Power Consumption of On-Chip Interconnects," IEEE Int. ASIC/ SOC Conference, 2000.
- [67] W.-C. Lee, C. Hu: "Modeling CMOS Tunneling Currents Through Ultrathin Gate Oxide Due to Conduction- and Valence-Band Electron and Hole Tunneling," IEEE Trans. on Electron Devices, Vol. 48, No. 7, 2001.
- [68] Jiing-Yuan Lin, Tai-Chien Liu, Wen-Zen Shen: "A Cell-Based Power Estimation in CMOS Combinational Circuits," IEEE Int. Conf. on Computer-Aided Design (ICCAD), 1995.
- [69] J. Lou, A. H. Salek, M. Pedram: "An Exact Solution to Simultaneous Technology Mapping and Linear Placement Problem," IEEE Int. Conf. on Computer-Aided Design (ICCAD), 1997.
- [70] E. Macii, M. Pedram, F. Somenzi: "High-Level Power Modeling, Estimation, and Optimization," IEEE Trans. on Computer-Aided Design, Vol. 17, No. 11, 1998.

- 
- [71] T. Mahnke, W. Stechele, M. Embacher, W. Hoeld: "Impact of Technology Evolution on Dual Supply Voltage Scaling and Gate Resizing in Power-Driven Logic Synthesis," IEEE Int. Conf. on Electronics, Circuits and Systems (ICECS), 2002.
- [72] J. B. Martins, F. Moraes, R. Reis: "Interconnection Length Estimation at Logic-Level," IEEE Symp. on Integrated Circuits and System Design (SBCCI), 2001.
- [73] R. Mehra, J. M. Rabaey: "Behavioral Level Power Estimation and Exploration," First Int. Workshop on Low Power Design, 1994.
- [74] N. P. v. d. Meijs, T. Smedes: "Accurate Interconnect Modeling: Towards Multi-million Transistor Chips As Microwave Circuits," IEEE/ ACM Int.Conf. on Computer-Aided Design (ICCAD), 1996.
- [75] J. Monteiro, S. Devadas: "Techniques for Power Estimation and Optimization at the Logic Level: A Survey," Journal of VLSI Signal Processing Systems, S. 259-276, 1996.
- [76] R. Müller: *Bauelemente der Halbleiter-Elektronik*, Springer, 1987.
- [77] F. N. Najm: "Transition Density: A New Measure of Activity in Digital Circuits," IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems, Vol. 12, No. 2, 1993.
- [78] F. N. Najm: "A Survey of Power Estimation Techniques in VLSI Circuits," IEEE Trans. on Very Large Scale Integration (VLSI) Systems, Vol.2, No. 4, 1994.
- [79] F. Najm: "Power Estimation Techniques for Integrated Circuits," IEEE Int. Conf. on CAD (ICCAD), 1995.
- [80] M. Nekili, G. Bois, Y. Savaria: "Pipelined H-trees for High-Speed Clocking of Large Integrated Systems in Presence of Process Variations," IEEE Trans. on Very Large Scale Integration (VLSI) Systems, Vol. 5, No. 2, 1997.
- [81] M. A. Ortega, J. Figueras: "Short-Circuit Power Modeling in Submicron CMOS," Int. Workshop on Power and Timing Modeling, Optimization and Simulation (PATMOS), 1996.
- [82] M. Pedram, B. Preas: "Interconnection Analysis for Standard Cell Layouts," IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems, Vol. 18, Nr. 10, 1999.
- [83] M. Pedram, B. Preas: "Interconnection Length Estimation for Optimized Standard Cell Layouts," IEEE Int. Conf. on Computer-Aided Design (ICCAD), 1989.
- [84] L. Pileggi: "Coping with RC(L) Interconnect Design Headaches," IEEE Int. Conf. on Computer-Aided Design (ICCAD), 1995.
- [85] J. M. Rabey, M. Pedram: *Low Power Design Methodologies*, Kluwer Academic Publishers, 1996.
- [86] A. Raghunathan, N. K. Jha, S. Dey: *High-Level Power Analysis And Optimization*, Kluwer Academic Publishers, 1998.

- 
- [87] N. Reifschneider: *CAE-gestützte IC-Entwurfsmethoden*, Prentice Hall, 1998.
- [88] P. J. Restle, A. Deutsch: "Designing the Best Clock Distribution Network," IEEE Symp. on VLSI Circuits, 1998.
- [89] S. Rusu, S. Tam: "Clock Generation and Distribution for the First IA-64 Microprocessor," IEEE Int. Solid-State Circuits Conference (ISSCC), 2000.
- [90] T. Sakurai: "Closed-Form Expressions for Interconnection Delay, Coupling, and Crosstalk in VLSI's," IEEE Trans. on Electron Devices, Vol. 40, No. 1, 1993.
- [91] T. Sakurai, R. Newton: "Alpha-Power Law MOSFET Model and its Application to CMOS Inverter Delay and other Formulas," IEEE Journal of Solid-State Circuits, Vol. 25, No. 2, 1990.
- [92] T. Sakurai, K. Tamaru: "Simple Formulas for Two- and Three-Dimensional Capacitances," IEEE Trans. on Electron Devices, Vol. ED-30, No. 2, 1983.
- [93] A. H. Salek, J. Lou, M. Pedram: "A DSM Design Flow: Putting Floorplanning, Technology-Mapping, and Gate-Placement Together," ACM/ IEEE Design Automation Conference (DAC), 1998.
- [94] S. Sastry, A. C. Parker: "Stochastic Models for Wirability Analysis of Gate Arrays," IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems, Vol. CAD-5, No. 1, 1986.
- [95] S. Sauter, D. Schmitt-Landsiedel, R. Thewes, W. Weber: "Effect of Parameter Variations at Chip and Wafer Levels on Clock Skews," IEEE Trans. on Semiconductor Manufacturing, Vol. 13, No. 4, 2000.
- [96] P. Saxena, C. L. Liu: "Optimization of the Maximum Delay of Global Interconnects During Layer Assignment," IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems, Vol. 20, No. 4, 2001.
- [97] L. Scheffer, E. Nequist: "Why Interconnect Prediction Doesn't Work," ACM Int. Workshop on System-Level Interconnect Prediction (SLIP), 2000.
- [98] C. Sechen: "Average Interconnection Length Estimation for Random and Optimized Placements," IEEE Int. Conf. on Computer-Aided Design (ICCAD), 1987.
- [99] Semiconductor Industry Association: *National Technology Roadmap for Semiconductors*, 1997.
- [100] G. Sigl: *Plazierung der Zellen bei der Layoutsynthese mittels Partitionierung und quadratischer Optimierung*, Dissertation an der Technischen Universität München, 1992.
- [101] ST Microelectronics: *HCMOS 7 Design Rules Manual*, 1997.
- [102] F. Stellari, A. L. Lacaita: "New Formulas of Interconnect Capacitances Based on Results of Conformal Mapping Method," IEEE Trans. on Electron Devices, Vol. 47, No. 1, 2000.

- 
- [103]D. Stroobandt: "Improving Donath's Technique for Estimating the Average Interconnection Length in Computer Logic," Technical Report DG 96-01, Univ. Ghent ELIS Dept., 1996.
- [104]D. Sylvester, K. Keutzer: "Getting to the Bottom of Deep Submicron," IEEE Int. Conf. On Computer-Aided Design (ICCAD), 1998.
- [105]Synopsys, Inc.: *Design Compiler Reference Manual: Constraints and Timing*, v.1999.10, p. 3-13 pp., 1999.
- [106]Synopsys, Inc.: *Physical Compiler Datasheet*, 2003.
- [107]Synopsys, Inc.: *Power Products Reference Manual*, v.1999.10, p. 4-10, 1999.
- [108]M. Sze: *Physics of Semiconductor Devices*, John Wiley & Sons, 1981.
- [109]Taiwan Semiconductor Manufacturing Corporation (TSMC): *TSMC Technology Symposium*, 2002.
- [110]A. Takahashi, Y. Kajitani: "Performance and Reliability Driven Clock Scheduling of Sequential Logic Circuits," IEEE Asia and South Pacific Design Automation Conference (ASP-DAC), 1997.
- [111]S. Takahashi, M. Eda, Y. Hayashi: "Interconnect Design Strategy: Structures, Repeaters and Materials with Strategic System Performance Analysis (S<sup>2</sup>PAL) Model," IEEE Trans. on Electron Devices, Vol. 48, No. 2, 2001.
- [112]S. Thompson, M. Alavi, M. Hussein, P. Jacob, C. Kenyon, P. Moon, M. Prince, S. Sivakumar, S. Tyagi, M. Bohr: "130nm Logic Technology Featuring 60nm Transistors, Low-K Dielectrics, and Cu Interconnections," Intel Technology Journal: Semiconductor Technology and Manufacturing, Vol. 6, Iss. 2, 2002.
- [113]A. Toulouse, D. Bernard, C. Landrault, P. Nouet: "Efficient 3D Modeling for Extraction of Interconnect Capacitances in Deep Submicron Dense Layouts," Design, Automation and Test in Europe (DATE), 1999.
- [114]H.-P. Tseng, L. Scheffer, C. Sechen: "Timing- and Crosstalk-Driven Area Routing," IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems, Vol. 20, No. 4, 2001.
- [115]H. J. M. Veendrick: "Short-Circuit Dissipation of Static CMOS Circuitry and Its Impact on the Design of Buffer Circuits," IEEE Journal of Solid-State Circuits, Vol. 19, No. 4 1984.
- [116]S. R. Vemuru, N. Scheinberg: "Short Circuit Power Dissipation Estimation for CMOS Logic Gates," IEEE Trans. on Circuits and Systems I: Fundamental Theory And Applications, Vol. 41, 1994.
- [117]R. Venkatesan, J. A. Davis, J. D. Meindl: "Performance Enhancement Through Optimal N-Tier Multilevel Interconnect Architectures," IEEE Int. ASIC/ SOC Conference, 1999.

- 
- [118]L. Wei, Z. Chen, K. Roy, M. C. Johnson, Y. Ye, V. K. De: "Design and Optimization of Dual-Threshold Circuits for Low-Power Applications," IEEE Trans. on Very Large Scale Integration (VLSI) Systems, Vol.7, No. 1, 1999.
- [119]A. Windschiegl, W. Stechele: *Verfahren und Vorrichtung zur Zuordnung von Leitungen auf Verdrahtungsebenen für integrierte Halbleiterschaltungsanordnungen*, Patentanmeldung DE 101 04 233.7-33, 2001.
- [120]A. Windschiegl, P. Zuber, W. Stechele: "A Wire Load Model For More Accurate Power Estimation," IEEE Int. Midwest Symposium on Circuits and Systems (MWSCAS), 2002.
- [121]A. Windschiegl, P. Zuber, W. Stechele: "Exploiting Metal Layer Characteristics For Low-Power Routing," Int. Workshop on Power and Timing Modeling, Optimization and Simulation (PATMOS), 2002.
- [122]A. Windschiegl, T. Mahnke, M. Eiermann, W. Stechele, P. Zuber: "A Wire Load Model Considering Metal Layer Properties," IEEE Int. Conf. on Electronics, Circuits and Systems (ICECS), 2002.
- [123]C. F. Webb, C. J. Anderson, L. Sigal, K. L. Shepard, J. S. Liptay, J. D. Warnock, B. Curran, B. W. Krumm, M. D. Mayo, P. J. Camporese, E. M. Schwarz, M. S. Farrell, P. J. Restle, R. M. Averill III, T. J. Slegel, W. V. Huott, Y. H. Chan, B. Wile, T. N. Nguyen, P. G. Emma, D. K. Beece, C.-T. Chuang, C. Price: "A 400-MHz S/390 Microprocessor," IEEE Journal of Solid-State Circuits, Vol. 32, No. 11, 1997.
- [124]L. Ye, F.-C. Chang, P. Feldmann, N. Ns, R. Chadha, F. Cano: "Chip-Level Verification for Parasitic Coupling Effects in Deep-Submicron Digital Designs," Design, Automation and Test in Europe (DATE) 1999.
- [125]G. K. Yeap: *Practical Low Power Digital VLSI Design*, Kluwer Academic Publishers, 1998.

