

Lehrstuhl für Technische Elektrophysik
Technische Universität München

Optimierung der elektrischen Eigenschaften von lateralen Superjunction-Bauelementen

Komet Permthammasin

Vollständiger Abdruck der von der Fakultät für Elektrotechnik
und Informationstechnik der Technischen Universität München
zur Erlangung des akademischen Grades eines

Doktor-Ingenieurs

genehmigten Dissertation.

Vorsitzender: Univ.-Prof. Dr.-Ing., Dr.-Ing. h.c. Dierk Schröder
Prüfer der Dissertation:

1. Univ.-Prof. Dr. rer. nat. Gerhard Wachutka
2. Univ.-Prof. Dr.-Ing. Walter Hansch

Die Dissertation wurde am 25.01.2007 bei der Technischen
Universität München eingereicht und durch die Fakultät für
Elektrotechnik und Informationstechnik am 21.12.2007
angenommen.

Zusammenfassung

Diese Dissertation befasst sich mit dem Design, der Modellierung, der Simulation und der Charakterisierung neuartiger lateraler Hochvolt-Superjunction-Bauelemente mit Anwendungen in Smart-Power-ICs. Zum Zweck eines optimalen Designs, insbesondere zur Vermeidung des parasitären Effektes der Substratverarmung, wie er in lateralen Superjunction-Bauelementen auf Basis der Siliziumtechnologie auftritt, werden zwei unterschiedliche Superjunction-Strukturen mit jeweils optimaler Geometrie und optimalem Dotierprofil vorgeschlagen. Mit Hilfe von dreidimensionalen Simulationen auf der Grundlage des Drift-Diffusions-Modells werden Voraussagen über die statischen und dynamischen Eigenschaften beider Bauelementestrukturen getroffen. Darüber hinaus werden die Auswirkungen der geometrischen Abmessungen, der Designmuster sowie der nichtidealen Kompensationsgrade auf das Bauelementeverhalten untersucht.

Abstract

This dissertation deals with the design, modelling, simulation and characterization of novel high voltage lateral superjunction power MOSFETs intended for applications in smart power integrated circuits. With a view to an optimized design, in particular to avoiding the parasitic effect of "substrate depletion" inherent in the implementation of the lateral superjunction MOSFETs in bulk silicon technology, two different structural designs with optimum device geometry and doping profile are proposed. Three-dimensional simulations based on the drift-diffusion model are carried out to predict the performance of the two device structures under static and dynamic operating conditions. In addition, the influence of geometry, design patterns and non-ideal charge balance conditions on the device behaviour is investigated.

Danksagung

Die vorliegende Arbeit entstand während meiner Tätigkeit als wissenschaftlicher Mitarbeiter am Lehrstuhl für Technische Elektrophysik der Technischen Universität München. An erster Stelle möchte ich meinem Doktorvater, Herrn Prof. Dr. G. Wachutka, meinen herzlichen Dank aussprechen.

Für die Übernahme des Koreferats bedanke ich mich bei Herrn Prof. Dr. W. Hansch vom Lehrstuhl für Technische Elektronik der Technischen Universität München.

Für die gute Zusammenarbeit und Begleitung dieser Arbeit danke ich meinem langjährigen Ansprechpartner bei der Infineon Technologies AG, Herrn Dr. M. Schmitt. Darüber hinaus gilt mein Dank allen Mitarbeitern der Infineon Technologies AG, die zum Gelingen dieser Arbeit beigetragen haben, insbesondere Herrn Dr. G. Deboy, Herrn Dr. H. Kapels, Herrn A. Willmeroth, Herrn Dr. G. Miller und Frau Dr. C. Tolksdorf.

Meinen Kollegen am Lehrstuhl für Technische Elektrophysik, vor allem Herrn Dr. F. Wittmann, Herrn Dr. P. Borthen, Herrn Dr. A. Castellazzi und Herrn A. Deckelmann, bin ich für die Hilfsbereitschaft, das sorgfältige Korrekturlesen, die regen Diskussionen und die nützlichen Verbesserungsvorschläge zu Dank verpflichtet.

Zu guter Letzt gebührt tiefe Dankbarkeit meinen Eltern sowohl für ihre Unterstützung in allen Stationen meines akademischen Werdeganges als auch für ihre liebende Güte, die sie mir bislang entgegengebracht haben.

Inhaltsverzeichnis

1	EINLEITUNG	1
2	GRUNDLAGEN DER NUMERISCHEN MODELLIERUNG	5
2.1	DICHTE FREIER LADUNGSTRÄGER IN HALBLEITERN	5
2.2	LADUNGSTRÄGERBEWEGLICHKEIT	9
2.3	GENERATION UND REKOMBINATION	14
2.3.1	<i>Shockley-Read-Hall-Rekombination</i>	14
2.3.2	<i>Auger-Rekombination</i>	16
2.3.3	<i>Stoßionisation</i>	17
2.4	HALBLEITERGRUNDGLEICHUNGEN	20
2.4.1	<i>Poisson-Gleichung</i>	20
2.4.2	<i>Trägerbilanzgleichungen</i>	20
2.4.3	<i>Drift-Diffusions-Modell</i>	21
2.5	ELEKTRISCHE RANDBEDINGUNGEN	22
2.6	MODELLIERUNG THERMISCHER EFFEKTE	25
2.7	NUMERISCHE BERECHNUNGSVERFAHREN	27
3	LATERALE SUPERJUNCTION-LEISTUNGSTRANSISTOREN	29
3.1	LATERAL- UND VERTIKALKONZEPT BEI LEISTUNGS-MOSFETs	29
3.2	SMART-POWER-ICs	32
3.3	ENTWICKLUNGSGESCHICHTE LATERALER INTEGRIERBARER LEIS- TUNGSBAUELEMENTE	35
3.3.1	<i>LDMOS-Transistor</i>	36
3.3.2	<i>RESURF-LDMOS-Transistor</i>	41
3.3.3	<i>Superjunction-LDMOS-Transistor</i>	45
3.4	DAS COOLMOS™-KONZEPT	49
3.5	NEUARTIGER SUPERJUNCTION-LDMOS-TRANSISTOR	51
3.5.1	<i>SJ-LDMOS-Transistor mit regelmäßiger Säulenstruktur</i>	51
3.5.2	<i>SJ-LDMOS-Transistor mit gradierter Säulenstruktur</i>	56

4	STATISCHES VERHALTEN VON SJ-LDMOS-TRANSISTOREN	59
4.1	DURCHLASSVERHALTEN	60
4.1.1	<i>Ausgangskennlinienfeld</i>	<i>60</i>
4.1.2	<i>Durchlasswiderstand</i>	<i>65</i>
4.1.3	<i>Transferkennlinie</i>	<i>69</i>
4.1.4	<i>Durchlasscharakteristik der Rückwärtsdiode</i>	<i>74</i>
4.2	SPERRVERHALTEN	76
4.2.1	<i>Durchbruchkennlinie</i>	<i>76</i>
4.2.3	<i>Durchbruchspannung</i>	<i>78</i>
4.3	SICHERER ARBEITSBEREICH (SAFE OPERATING AREA)	83
4.4	TRADE-OFF ZWISCHEN DURCHLASS- UND SPERRFÄHIGKEIT	86
4.5	EMPFINDLICHKEIT GEGEN NICHTIDEALE DOTIERUNGSVERHÄLTNISSE	92
4.6	AUSWIRKUNG HEXAGONALER SÄULENANORDNUNGEN	104
5	DYNAMISCHES VERHALTEN VON SJ-LDMOS-TRANSISTOREN	111
5.1	PARASITÄRE TRANSISTORKAPAZITÄTEN	111
5.2	SCHALTVOORGANG	120
5.2.1	<i>Schaltzeiten bei induktiver Last</i>	<i>120</i>
5.2.2	<i>Schaltzeiten bei ohmscher Last</i>	<i>131</i>
5.3	GATELADUNGS-CHARAKTERISTIK	138
5.4	PRÜFUNG DER BETRIEBSFESTIGKEIT	140
5.4.1	<i>Kommutierung der Rückwärtsdiode</i>	<i>140</i>
5.4.2	<i>Avalanchefestigkeit</i>	<i>150</i>
6	ZUSAMMENFASSUNG	157
	ANHANG A QUANTITATIVE ABSCHÄTZUNG DER SILIZIUM-LIMITS	159
A.1	SILIZIUM-LIMIT VON LDMOS-TRANSISTOREN	159
A.2	SILIZIUM-LIMIT VON RESURF-LDMOS-TRANSISTOREN	160
A.3	SILIZIUM-LIMIT VON SUPERJUNCTION-LDMOS-TRANSISTOREN	161
	ANHANG B DRAINSTROM IM QUASISÄTTIGUNGSBEREICH	163
	ANHANG C ZYLINDRISCHER DURCHBRUCH	167
	ANHANG D SPRUNGANTWORT DER GATE-SOURCE-SPANNUNG	171
	LITERATURVERZEICHNIS	173
	NOTATIONSVERZEICHNIS	181

Kapitel 1

Einleitung

Die elektronische Grundfunktion von Halbleiter-Leistungsbauteilen besteht in der Wandlung elektrischer Energie einer gegebenen Form in eine für einen bestimmten Verbraucher geeignete Form. Die Energiewandlung erfolgt durch ständiges Ein- und Ausschalten von Leistungshalbleiterschaltern in einer speziell gewählten periodischen Pulsfolge. Ideale Leistungsschalter sollten schnell und ohne Verzögerung schaltbar sein, damit man hohe Schaltfrequenzen bei möglichst geringen Schaltverlusten realisieren kann. Außerdem sollten sie im eingeschalteten Zustand einen möglichst kleinen elektrischen Widerstand aufweisen, im Sperrzustand dagegen eine möglichst hohe Spannung und jeglichen Stromfluss vollständig unterbinden. Unter den verschiedenartigen Leistungshalbleiterbauelementen bieten Leistungs-MOSFETs eine konkurrenzlos schnelle Schaltgeschwindigkeit. Dies liegt daran, dass beim Leistungs-MOSFET der Strom nur von Majoritätsträgern getragen wird. Die Schaltzeiten von Leistungs-MOSFETs können um zwei Größenordnungen kürzer sein als bei Bipolartransistoren gleicher Leistung. Damit sind Leistungs-MOSFETs für Frequenzen bis zu etwa 10^5 Hz geeignet. Weitere Vorteile von Leistungs-MOSFETs gegenüber Bipolartransistoren liegen in ihrer thermischen Stabilität und in der Tatsache, dass kein zweiter Durchbruch auftritt.

Eine der Herausforderungen des Leistungs-Schalttransistors ist es, ein möglichst hohes Sperrvermögen unter Beibehaltung der guten Durchlasseigenschaften zu erzielen. In Anbetracht der Tatsache, dass der Durchlasswiderstand von Si-basierten Leistung-MOS-Transistoren proportional zu einer Potenz zwischen 2,3 bis 2,7 der maximalen Sperrspannung ist, finden konventionelle Leistungs-MOSFETs einen wirtschaftlichen Einsatz nur in der Spannungsklasse bis etwa 300 Volt; bei Sperrspannungen größer als 300V verschlechtert sich der Durchlasswiderstand gegenüber

dem Bipolartransistor. Der Zusammenhang zwischen beiden Größen stellt die physikalische Limitierung für Leistungsbaulemente auf der Basis von Silizium dar, die auch als Silizium-Limit bezeichnet wird, und macht das gleichzeitige Erreichen beider Zielsetzungen so gut wie unmöglich. Auf der Suche nach einem möglichst guten Kompromiss werden ständig neue Halbleiterbaulementestrukturen erforscht. Erst mit der Einführung des Kompensationsprinzips ist die Überwindung des Silizium-Limits gelungen [DMS98]. Dies führte in der weiteren Entwicklung zu einer neuen Klasse von Leistungshalbleitern, die unter der Bezeichnung Kompensationsbaulemente (Superjunction-Baulemente) bekannt geworden sind. Kompensationsbaulemente sind schnell schaltbare Hochleistungs-Transistoren, die sich gegenüber dem bisherigen Stand der Technik durch einen um ein Vielfaches geringeren Durchlasswiderstand bei gleichem Sperrvermögen auszeichnen. Zu den Kompensationsbaulementen gehören unter anderem der CoolMOS™ von der Firma Infineon Technologies und der MDmesh™ von der Firma STMicroelectronics. Beide sind kommerziell erhältliche Vertikaltransistoren; bei ihnen erfolgt der Stromfluss von der Chipoberseite in vertikaler Richtung zur Rückseite, die im Sperrbetrieb auf hoher Spannung liegt. Diese Leistungstransistoren sind besonders gut für Anwendungen, die hohe Leistungen und Strombelastbarkeit erfordern.

In der Leistungselektronik wird zunehmend die Integration von Leistungsbaulementen und Schaltungen auf einem Chip angestrebt, das heißt, auf einem Siliziumplättchen sollen neben mehreren hunderttausend Leistungshalbleitern auch Ansteuerschaltungen, Sensoren, Schutzschaltungen, Controller usw. enthalten sein (Smart-Power-Technologie). Vertikale Leistungstransistoren sind jedoch nicht zu dieser Art der Integration geeignet. Daher sind Lateraltransistoren mit lateralem Stromfluss nahe der Chipoberfläche die typischen Leistungsbaulemente in der Smart-Power-Integration. Bei lateraler Ausführung ist die Unterseite aller Baulemente mit der elektrischen Masse verbunden, womit sich Lateraltransistoren geradezu für die Mehrfachintegration anbieten. Funktionselemente in solch einem integrierten Schaltkreis können dabei entweder durch einen dielektrischen Isolator oder durch eine pn-Sperrschicht voneinander getrennt werden. Laterale Baulementstrukturen ermöglichen zudem im Zell-Layout eine Ausführung, bei der die stets auf Null Volt liegende Sourcelektrode das Driftgebiet umgibt. Dadurch kann man die Problematik des bei Vertikaltransistoren üblichen hohen Platzbedarfs für die Randkonstruktion außer Acht lassen. Besondere Nachteile von Lateraltransistoren sind aber schlechte Wärmeabfuhr, hoher Flächenbedarf durch die an der Oberfläche verlaufende Driftzone, Komplikationen bei der Metallisierung bzw. Isolation und vergleichsweise großer Durchlasswiderstand aufgrund der weniger effektiven Ausnutzung des verfügbaren Siliziumvolumens.

In dieser Arbeit werden die halbleiterphysikalischen Grundlagen von neuartigen lateralen Superjunction-Leistungs-MOSFETs in der Spannungsklasse 600 Volt untersucht, die auf dem oben erwähnten Kompensationsprinzip beruhen. Eingesetzt sol-

len die neuentwickelten 600V-Superjunction-Bauelemente in Schaltnetzteilen bzw. DC/DC-Konvertern werden, wo eine hohe Stromergiebigkeit mit gleichzeitig geringen Schaltverlusten gefordert ist. Die untersuchten Fragestellungen umfassen den optimalen Entwurf einer neuartigen lateralen Kompensationsstruktur, sowohl innerhalb der technischen Herstellungsmöglichkeiten als auch unter Berücksichtigung von physikalischen Beschränkungen wie z.B. die Auswirkungen der Substratausräumung auf die elektrischen Eigenschaften der Transistoren, sowie deren Charakterisierung und Optimierung mit Hilfe von physikalischer Bauelementmodellierung und numerischer Simulation in drei Raumdimensionen.

Die vorliegende Arbeit beschäftigt sich zunächst mit der Zusammenstellung von wichtigen elektrophysikalischen Vorgängen, die für die Funktion von Leistungshalbleitern von Bedeutung sind, und der Ansätze zur Modellierung und Simulation der Bauelemente (Kapitel 2). Die neuartige Kompensationsstruktur des untersuchten Leistungstransistors wird im 3. Kapitel vorgestellt. Dort wird auch ein Überblick über typische integrierfähige Leistungsbauelemente zusammen mit deren zugrunde liegenden Bauelementekonzepten und theoretisch hergeleiteten Silizium-Limiten gegeben. Kapitel 4 befasst sich mit numerischen Untersuchungen des vorgestellten Superjunction-Bauelements im Durchlass- und Sperrbetrieb. Dabei werden physikalische und geometrische Einflussfaktoren berücksichtigt. Den Inhalt des 5. Kapitels bilden transiente Vorgänge im Bauelement und das Schaltverhalten unter verschiedenen dynamischen Betriebsbedingungen. Die Untersuchung des Bauelementeverhaltens und die Entwurfsoptimierung erfolgen mittels numerischer Bauelementesimulationen mit dem Softwarepaket *ISE-TCAD* der Firma ISE AG [NN01].

Kapitel 2

Grundlagen der numerischen Modellierung

Die Entwurfsanalyse neuartiger leistungselektronischer Bauelemente ist heutzutage ohne rechnergestützte Simulationswerkzeuge nicht mehr denkbar. Mit zunehmender Miniaturisierung der Integrations-Technologie gewinnt die Bauelementesimulation immer mehr an Bedeutung. Derartige Simulationsprogramme verwenden physikalische Modelle zur Beschreibung der elektrophysikalischen Phänomene im Inneren der Bauelemente. Dabei dienen die Halbleitergrundgleichungen als theoretische Beschreibung. Das Simulationsverhalten wird von Modellansätzen, Algorithmen und numerischen Methoden bestimmt [Sel84][Sno88][Sch98]. Im Rahmen dieses Kapitels wird vorwiegend auf halbleiterphysikalische und numerische Details eingegangen, die im Simulationsprogramm *DESSIS-ISE* zur Berechnung der untersuchten Superjunction-Bauelemente implementiert sind.

2.1 Dichte freier Ladungsträger in Halbleitern

Die meisten Leistungsbaulemente werden auf der Basis von einkristallinem Silizium hergestellt. Das elektronische Verhalten des Bauelements ist unter anderem durch die Dichte der freien Ladungsträger im einkristallinen Material bestimmt. Die Elektronendichte im Leitungsband bzw. Löcherdichte im Valenzband errechnet sich aus dem Produkt aus der Zustandsdichte, d.h. der Anzahl besetzbarer Energiezustände pro Volumen und pro Energieintervall, und der Besetzungswahrscheinlichkeit, mit der Ladungsträger solch einen Zustand besetzen.

Entspricht die Besetzungswahrscheinlichkeit der Boltzmann-Verteilung, was für die in dieser Arbeit relevanten Dotierkonzentrationen ($N < 10^{19} \text{ cm}^{-3}$) eine ausreichend gute Näherung darstellt, so ergibt sich für die Ladungsträgerdichte im Leitungs- bzw. Valenzband

$$n = N_C \exp\left(\frac{E_F - E_C}{kT}\right) \quad (2.1)$$

$$p = N_V \exp\left(\frac{E_V - E_F}{kT}\right) \quad (2.2)$$

Hierbei sind $E_{F_n} = -q\Phi_n$ und $E_{F_p} = -q\Phi_p$ die Quasi-Fermienergien für Elektronen bzw. Löcher mit den Quasi-Fermi-Potentialen der Elektronen Φ_n bzw. der Löcher Φ_p , und E_C und E_V sind die Leitungsbandkante bzw. Valenzbandkante. N_C und N_V sind die effektiven Zustandsdichten im Leitungs- bzw. Valenzband, die von der effektiven Masse der Ladungsträger m_n bzw. m_p und von der Temperatur T abhängen [Gre90]:

$$N_C(m_n, T) = 2,540933 \cdot 10^{19} \left(\frac{m_n}{m_0}\right)^{\frac{3}{2}} \left(\frac{T}{300\text{K}}\right)^{\frac{3}{2}} \quad \text{cm}^{-3} \quad (2.3)$$

$$N_V(m_p, T) = 2,540933 \cdot 10^{19} \left(\frac{m_p}{m_0}\right)^{\frac{3}{2}} \left(\frac{T}{300\text{K}}\right)^{\frac{3}{2}} \quad \text{cm}^{-3} \quad (2.4)$$

Hierin ist m_0 die Ruhemasse des Elektrons. Sowohl m_n als auch m_p sind ebenfalls von der Temperatur T abhängig. Nach [Gre90] besitzt die effektive Masse für Elektronen die Temperaturabhängigkeit:

$$m_n(T) = 1,0618 \left(\frac{E_g(0)}{E_g(T)}\right)^{2/3} m_0 \quad (2.5)$$

mit E_g als Bandlücke. Mit zunehmender Temperatur T verringert sich die Bandlücke infolge thermischer Ausdehnung des Atomgitters und der Wechselwirkung der Elektronen mit Gitterschwingungen. Nach *Klaassen et al.* [KSG92] lässt sich die Bandlücke von Silizium als Funktion der Temperatur darstellen durch

$$E_g(T) = 1,1648\text{eV} - \frac{4,73 \cdot 10^{-4} \text{eV K}^{-1} T^2}{T + 636\text{K}} \quad (2.6)$$

Für Löcher ergibt sich die Temperaturabhängigkeit der effektiven Masse entsprechend [LMH83]:

$$m_p(T) = \left(\frac{A + BT + CT^2 + DT^3 + ET^4}{F + GT + HT^2 + IT^3 + JT^4} \right)^{2/3} m_0 \quad (2.7)$$

wobei die Parameter A bis J in Tabelle 2.1 angegeben sind.

Tabelle 2.1: Parameter für die Temperaturabhängigkeit der effektiven Löchermasse.

Parameter	Wert	Einheit
A	0,4435870	-
B	0,003609528	K ⁻¹
C	0,0001173515	K ⁻²
D	$1,263218 \cdot 10^{-6}$	K ⁻³
E	$3,025581 \cdot 10^{-9}$	K ⁻⁴
F	1	-
G	0,004683382	K ⁻¹
H	0,0002286895	K ⁻²
I	$7,469271 \cdot 10^{-7}$	K ⁻³
J	$1,727481 \cdot 10^{-9}$	K ⁻⁴

Für den intrinsischen Halbleiter gilt im thermodynamischen Gleichgewicht $n = p = n_i$ und $E_{F_n} = E_{F_p} = E_{F_i}$, wobei E_{F_i} die intrinsische Fermi-Energie und n_i die intrinsische Ladungsdichte des Eigenhalbleiters bezeichnet. Durch Multiplizieren der Gleichungen (2.1) und (2.2) erhält man einen wichtigen Zusammenhang, der als Massenwirkungsgesetz bekannt ist:

$$np = N_C N_V \exp\left[-\frac{E_C - E_V}{kT}\right] = N_C N_V \exp\left(-\frac{E_g}{kT}\right) = n_i^2 \quad (2.8)$$

Die Differenz $E_C - E_V$ entspricht der Bandlücke E_g . Das Massenwirkungsgesetz gilt auch für den extrinsischen Halbleiter im thermodynamischen Gleichgewicht, weil in diesem Fall die Quasi-Fermienergie der Elektronen E_{F_n} mit der Quasi-Fermienergie der Löcher E_{F_p} zusammenfällt. Dennoch liegt das gemeinsame Fermienergie E_F im thermodynamischen Gleichgewicht wegen der Dotierung nicht mehr in der Mitte der Bandlücke, d.h. $E_F = E_{F_n} = E_{F_p} \neq E_{F_i}$. Nach Umformung von Gl. (2.8) kann man die intrinsische Ladungsdichte des Eigenhalbleiters n_i berechnen:

$$n_i = \sqrt{N_C N_V} \exp\left(-\frac{E_g}{2kT}\right) \quad (2.9)$$

Bei hohen Dotierkonzentrationen (10^{16} bis 10^{17} cm^{-3}) bewirkt die Wechselwirkung zwischen den Dotieratomen eine Überlappung des Störstellenspektrums mit der Bandkante des Leitungs- bzw. Valenzbandes und damit eine augenscheinliche Verschmälerung der Bandlücke. *Slotboom, de Graaff* und *Klassen* [KSG92] schlugen empirische Formeln für die Verschmälerung der Bandlücke in Silizium vor:

$$\Delta E_g(N_i) = 6,92 \cdot 10^{-3} \left[\ln\left(\frac{N_i}{1,3 \cdot 10^{17} \text{ cm}^{-3}}\right) + \sqrt{\left[\ln\left(\frac{N_i}{1,3 \cdot 10^{17} \text{ cm}^{-3}}\right) \right]^2 + 0,5} \right] \text{ eV} \quad (2.10)$$

wobei N_i die jeweilige Störstellenkonzentration (Donator bzw. Akzeptor) bezeichnet. Unter Berücksichtigung der Verschmälerung der Bandlücke definiert man die sogenannte „effektive intrinsische Ladungsdichte“ als

$$n_{i,eff} = n_i \exp\left(-\frac{\Delta E_g}{2kT}\right) \quad (2.11)$$

Im stationären Ungleichgewicht lassen sich die Ladungsträgerdichten nicht mehr durch ein gemeinsames Fermienergie E_F beschreiben. Für beide Ladungsträgertypen gibt es ein eigenes Quasi-Fermienergie, d.h. E_{F_n} für die Elektronen und E_{F_p} für die Löcher. Das elektrische Feld im Inneren eines Halbleiterbauelements wird in quasi-stationärer Näherung durch ein elektrisches Potential ψ gemäß

$$\vec{E} = -\nabla \psi \quad (2.12)$$

dargestellt. Das elektrische Potential moduliert den räumlichen Verlauf der Bandkanten $E_C(\vec{r})$ und $E_V(\vec{r})$. Seinen Nullpunkt kann man so wählen, dass

$$\psi(\vec{r}) = -\frac{1}{q} E_{F_i}(\vec{r}) \quad (2.13)$$

gilt. Bezieht man die Quasi-Ferminiveaus auf das intrinsische Ferminiveau $E_{F_i}(\vec{r})$ als Referenzwert:

$$q\varphi_n = -q\Phi_n - E_{F_i} \quad (2.14)$$

$$-q\varphi_p = -q\Phi_p - E_{F_i} \quad (2.15)$$

so folgt für die Trägerkonzentrationen die Darstellung

$$n = n_{i,eff} \exp\left(-\frac{q(\Phi_n - \psi)}{kT}\right) \quad (2.16)$$

$$p = n_{i,eff} \exp\left(\frac{q(\Phi_p - \psi)}{kT}\right) \quad (2.17)$$

Mit Gl. (2.16) und (2.17) lässt sich die Beziehung (2.8) verallgemeinern zu

$$np = n_{i,eff}^2 \exp\left[\frac{q(\Phi_p - \Phi_n)}{kT}\right] = n_{i,eff}^2 \exp\left(\frac{E_{F_n} - E_{F_p}}{kT}\right) \quad (2.18)$$

Die Differenz $E_{F_n} - E_{F_p}$ ist ein Maß für die Abweichung der Ladungsträgerdichten vom Gleichgewichtswert.

2.2 Ladungsträgerbeweglichkeit

Die Beweglichkeiten von Elektronen und Löchern in Silizium werden durch verschiedene Streuvorgänge bestimmt. Die wichtigsten Streumechanismen umfassen die Streuung an ionisierten Störstellen und quantisierten Gitterschwingungen (Phononen). Zusätzlich finden im MOS-Kanal akustische Phononenstreuung an der Si-SiO₂-Grenzfläche und Streuung aufgrund der Oberflächenrauigkeit statt. Die Oberflächenstreuung hat ihre Ursache im elektrischen Transversalfeld, welches die im Inversionskanal befindlichen Elektronen bzw. Löcher in Richtung der Oxid-Halbleiter-Grenzschicht treibt.

Gängige Bauelementesimulatoren verwenden als Transportmodell die Drift-Diffusions-Gleichungen (vgl. Abschn. 2.4.3). Für numerische Simulationen eignen sich deshalb solche Beweglichkeitsmodelle, die sich auf lokale Variablen wie z.B. das elektrische Feld, die Temperatur und die Dotierkonzentrationen als Eingangsvariable beziehen. Ein Beispiel hierfür ist das Modell von *Lombardi* [LMS88]. In diesem Modell errechnet sich die Beweglichkeit μ nach der *Mathiessen*-Regel aus reziproker Addition von drei Streuprozessen μ_{acr} , μ_b und μ_{sr} :

$$\frac{1}{\mu} = \frac{1}{\mu_{ac}} + \frac{1}{\mu_b} + \frac{1}{\mu_{sr}} \quad (2.19)$$

Der erste Term μ_{ac} beschreibt die akustische Phononenstreuung an der Grenzfläche:

$$\mu_{ac,n} = \frac{4,75 \cdot 10^7 \text{ cm/s}}{E_{\perp}} + \frac{5,8 \cdot 10^2 \text{ cm}^{5/3} \text{ V}^{-2/3} \text{ s}^{-1} [(N_A + N_D)/N_0]^{0,125}}{E_{\perp}^{1/3} (T/300\text{K})} \quad (2.20)$$

$$\mu_{ac,p} = \frac{9,925 \cdot 10^6 \text{ cm/s}}{E_{\perp}} + \frac{2,947 \cdot 10^3 \text{ cm}^{5/3} \text{ V}^{-2/3} \text{ s}^{-1} [(N_A + N_D)/N_0]^{0,0317}}{E_{\perp}^{1/3} (T/300\text{K})} \quad (2.21)$$

Hierin steht E_{\perp} für das elektrische Transversalfeld im MOS-Kanal senkrecht zur Oxid-Halbleiter-Grenzschicht, also

$$E_{\perp} = (\vec{E}(\vec{r}) \cdot \vec{e}_{\perp}) \exp\left(-\frac{|\vec{r} - \vec{r}_i(\vec{r})|}{10^{-6} \text{ cm}}\right) \quad (2.22)$$

mit $|\vec{r} - \vec{r}_i(\vec{r})|$ als die Entfernung des Ortsvektors \vec{r} zum nächsten Punkt $\vec{r}_i(\vec{r})$, welcher an der Oxid-Halbleiter-Grenzfläche liegt [NN01]. Die Fitdotierung N_0 beträgt 1 cm^{-3} .

Dem Modell von *Masetti* [MSS83] folgend berücksichtigt die zweite Komponente μ_b die Temperatur- und Dotierungseinflüsse auf die Ladungsträgerbeweglichkeit im Volumenanteil (siehe Abb. 2.1):

$$\mu_{b,n} = 52,2 \text{ cm}^2/\text{Vs} + \frac{\mu_n(T) - 52,2 \text{ cm}^2/\text{Vs}}{1 + \left(\frac{N_A + N_D}{9,68 \cdot 10^{16} \text{ cm}^{-3}}\right)^{0,68}} - \frac{43,4 \text{ cm}^2/\text{Vs}}{1 + \left(\frac{3,34 \cdot 10^{20} \text{ cm}^{-3}}{N_A + N_D}\right)^2} \quad (2.23)$$

$$\mu_{b,p} = 44,9 \text{ cm}^2/\text{Vs} \exp\left(-\frac{9,23 \cdot 10^6 \text{ cm}^{-3}}{N_A + N_D}\right) + \frac{\mu_p(T)}{1 + \left(\frac{N_A + N_D}{2,23 \cdot 10^{17} \text{ cm}^{-3}}\right)^{0,719}} - \frac{29 \text{ cm}^2/\text{Vs}}{1 + \left(\frac{6,1 \cdot 10^{20} \text{ cm}^{-3}}{N_A + N_D}\right)^2} \quad (2.24)$$

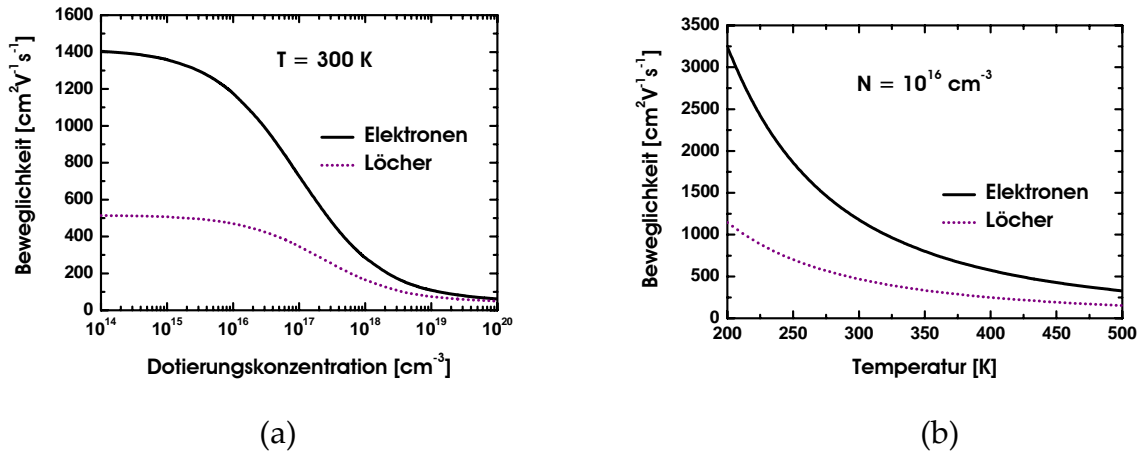


Abbildung 2.1: Beweglichkeit als (a) Funktion der Dotierung bei Raumtemperatur und (b) als Funktion der Temperatur bei konstanter Gesamtdotierung $N = 10^{16} \text{ cm}^{-3}$.

Hierbei kommt die Temperaturabhängigkeit der Beweglichkeit $\mu(T)$ einem Potenzgesetz nach

$$\mu_n(T) = 1417 \left(\frac{T}{300\text{K}} \right)^{-2,5} \text{ cm}^2/\text{Vs} \quad (2.25)$$

$$\mu_p(T) = 470,5 \left(\frac{T}{300\text{K}} \right)^{-2,2} \text{ cm}^2/\text{Vs} \quad (2.26)$$

Die entsprechenden Ausdrücke für die dritte Komponente μ_{sr} , die Streuungen durch Oberflächenrauhigkeit, lauten:

$$\mu_{sr,n} = \left(\frac{(E_{\perp}/E_{ref})^2}{5,82 \cdot 10^{14} \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}} + \frac{E_{\perp}^3}{5,82 \cdot 10^{30} \text{ V}^2 \text{ cm}^{-1} \text{ s}^{-1}} \right)^{-1} \quad (2.27)$$

$$\mu_{sr,p} = \left(\frac{(E_{\perp}/E_{ref})^2}{2,0546 \cdot 10^{14} \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}} + \frac{E_{\perp}^3}{2,0546 \cdot 10^{30} \text{ V}^2 \text{ cm}^{-1} \text{ s}^{-1}} \right)^{-1} \quad (2.28)$$

Das Referenzfeld $E_{ref} = 1 \text{ V/cm}$ sorgt für einen einheitslosen Zähler.

Für nicht zu hohe Felder (bis zu $E \approx 10^3 \text{ V/cm}$) gilt eine streng lineare Abhängigkeit der Driftgeschwindigkeit v_{Drift} von der elektrischen Feldstärke E , d.h. $v_{Drift} = \mu \cdot E$ mit konstantem μ . Bei hohen Feldern ($E \gg 10^3 \text{ V/cm}$) jedoch bricht die lineare v - E -Beziehung zusammen (siehe Abb. 2.2(a)). Die Driftgeschwindigkeit wächst nicht mehr mit

dem elektrischen Feld an, sondern geht allmählich in einen Sättigungswert über. Der Grund dafür ist, dass bei hohen Feldstärken optische Phononenstreuung infolge der Bilanz der Austauschenergie zwischen den häufiger gestreuten Trägern und Phononen überwiegt [SR83-I][SR83-II]. Das Beweglichkeitsmodell von *Canali* [CMM75] bringt über die elektrische Feldkomponente parallel zum Trägerstrom E_{\parallel} die Hochfeldbeweglichkeit $\mu(E_{\parallel})$ mit der Niederfeldbeweglichkeit μ_0 in Beziehung (Abb. 2.2(b)). Unter dem Einfluss von elektrischen Feldern parallel zur Stromrichtung ergibt sich die Elektronenbeweglichkeit danach zu

$$\mu_n(E_{\parallel,n}) = \frac{\mu_0}{\left[1 + \left(\frac{\mu_0 E_{\parallel,n}}{v_{Sat,n}}\right)^{\beta_n}\right]^{1/\beta_n}} \quad (2.29)$$

mit β_n als temperaturabhängigem Faktor

$$\beta_n = 1,109 \left(\frac{T}{300\text{K}}\right)^{0,66} \quad (2.30)$$

und $E_{\parallel,n}$ als elektrische Feldstärke parallel zur Stromflussrichtung

$$E_{\parallel}^n = \vec{E} \cdot \left(\frac{\vec{J}_n}{|\vec{J}_n|}\right) \quad (2.31)$$

Für Löcher gilt entsprechend

$$\mu_p(E_{\parallel,p}) = \frac{\mu_0}{\left[1 + \left(\frac{\mu_0 E_{\parallel,p}}{v_{Sat,p}}\right)^{\beta_p}\right]^{1/\beta_p}} \quad (2.32)$$

mit

$$\beta_p = 1,213 \left(\frac{T}{300\text{K}}\right)^{0,17} \quad (2.33)$$

und

$$E_{\parallel}^p = \vec{E} \cdot \left(\frac{\vec{J}_p}{|\vec{J}_p|}\right) \quad (2.34)$$

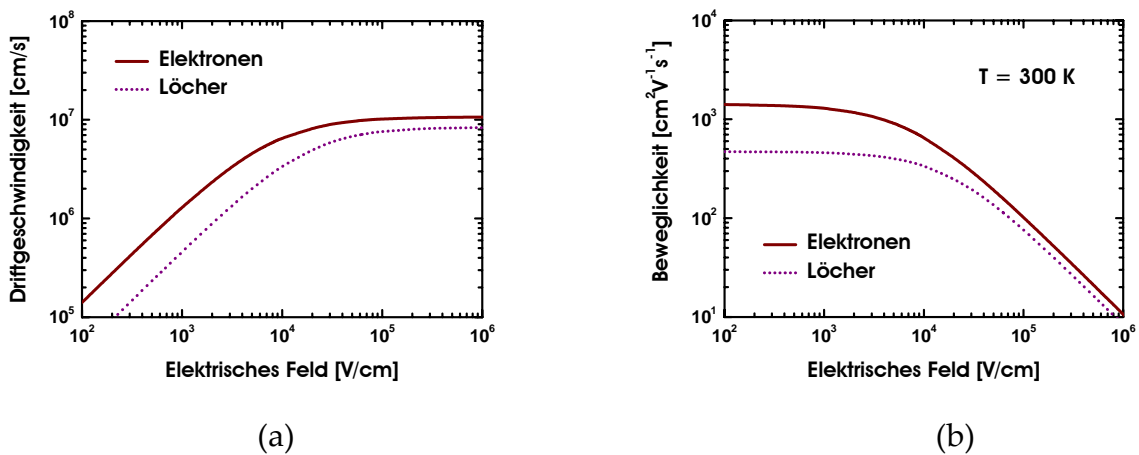


Abbildung 2.2: (a) Driftgeschwindigkeit und (b) Beweglichkeit als Funktion der elektrischen Feldstärke.

Für das *Canali*-Modell gilt die Temperaturabhängigkeit der Sättigungsgeschwindigkeit (Abb. 2.3)

$$v_{Sat,n} = 1,07 \cdot 10^7 \left(\frac{300\text{K}}{T} \right)^{0,87} \text{ cm/s} \quad (2.35)$$

$$v_{Sat,p} = 8,37 \cdot 10^6 \left(\frac{300\text{K}}{T} \right)^{0,52} \text{ cm/s} \quad (2.36)$$

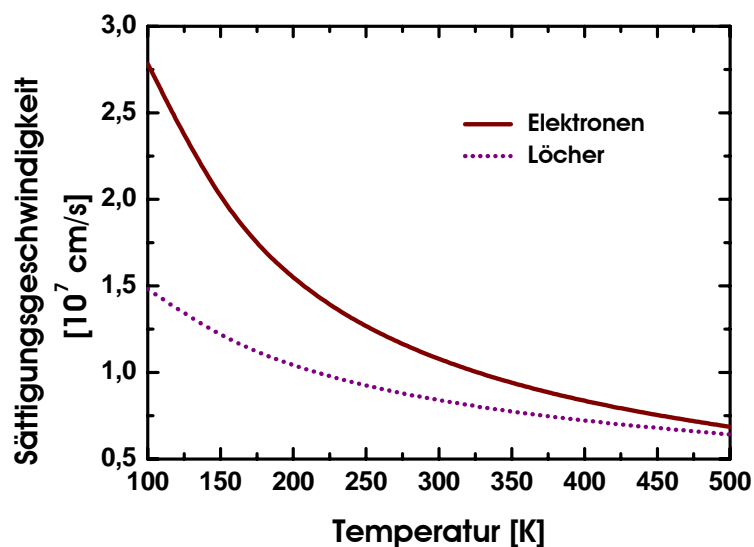


Abbildung 2.3: Sättigungsgeschwindigkeit der Elektronen bzw. Löcher in Silizium als Funktion der Temperatur.

2.3 Generation und Rekombination

Die Dichte der freien Ladungsträger in einem Halbleiter kann durch äußere Einflussnahme verändert werden. Aufgrund einer Anregung, z. B. durch Bestrahlung mit Licht, können Elektron-Loch-Paare erzeugt werden. Die Generationsrate G ist definiert als die Anzahl der erzeugten Paare pro Zeit- und Volumeneinheit. Sie hängt von vielen Parametern und den dynamischen Zustandsvariablen wie z.B. der Temperatur ab. Der Umkehrprozess zur Generation wird Rekombination genannt. Bei einem Rekombinationsprozess werden Ladungsträgerpaare vernichtet, so dass die Trägerdichte abnimmt. Die Rate der Vernichtung von Trägerpaaren heißt Rekombinationsrate R . Als Folge einer Anregung befinden sich die Ladungsträger im thermodynamischen Nichtgleichgewicht, wobei $G \neq R$ gilt. Für die Trägerbilanz ist nur die Nettorekombinationsrate $R-G$ von Interesse. Nach Abschalten der Anregung neigen die gestörten Träger dazu, durch Rekombination bzw. Generation in den Gleichgewichtszustand zurückzukehren. Man unterscheidet mehrere Arten von Rekombinationsprozessen, unter anderem strahlende und strahlungslose Rekombination. Strahlende Rekombination entsteht dadurch, dass Elektronen im Leitungsband unter Abgabe von Photonen mit einer Energie größer als die Bandlücke direkt mit einem Loch im Valenzband rekombinieren. Im Fall strahlungsloser Rekombination wird die Rekombinationsenergie unter anderem in Form von Wärme (thermischen Phononen) an das Gitter abgegeben. Strahlungslose Rekombinationsvorgänge dominieren in einem indirekten Halbleiter wie Silizium.

2.3.1 Shockley-Read-Hall-Rekombination

Den effizientesten indirekten Rekombinationskanal bilden Elektronenübergänge über sogenannte Rekombinationszentren; das sind Störstellen, deren Energieniveau sich innerhalb der Bandlücke befindet. Derartige Störstellen können durch Gitterfehlstellen, Gitterstörungen oder Fremdatome gebildet werden. Die indirekte Rekombination über tiefe Störstellen wird pauschal im Shockley-Read-Hall-Rekombinationsmodell dargestellt. Hierbei wird angenommen, dass die Energieniveaus der tiefen Störstellen durch ein einziges effektives Energieniveau E_T in der Mitte der Bandlücke approximiert werden können. Der Shockley-Read-Hall-Prozess besteht grundsätzlich aus vier Teilprozessen (Abb. 2.4): (1) Elektroneneinfang aus dem Leitungsband E_C in E_T , (2) Löchereinfang aus dem Valenzband E_V in E_T , (3) Elektronenemission aus E_T ins Leitungsband E_C , sowie (4) Löcheremission aus E_T ins Valenzband E_V . Eine zeitlich korrelierte Abfolge der Einfangprozesse (1) und (2) führt im Ergebnis zu einem Rekombinationsvorgang. Umgekehrt erhält man einen Generationsvorgang durch Korrelierung der Emissionsprozesse (4) und (3).

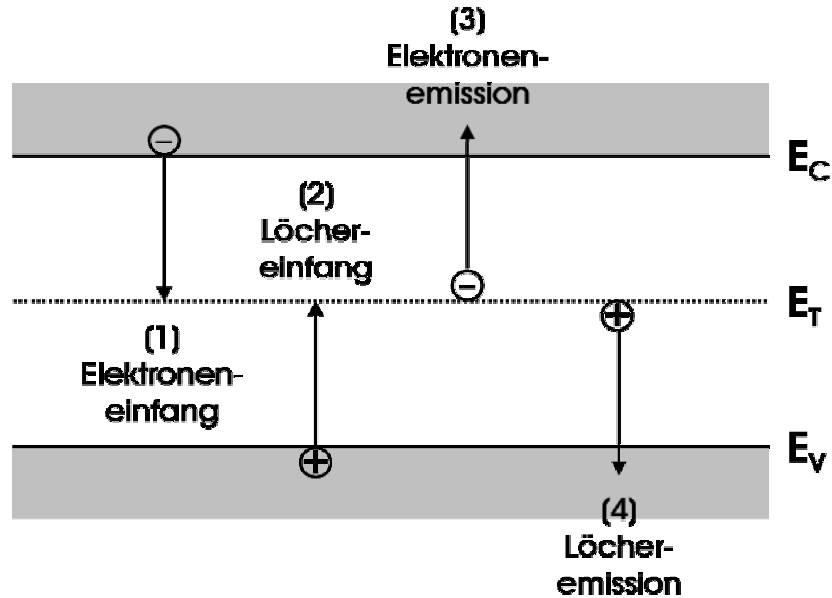


Abbildung 2.4: Teilprozesse im Shockley-Read-Hall-Rekombinationsmodell.

Im stationären Nichtgleichgewicht ist die Nettoeinfangrate von Elektronen $R_{(1)} - G_{(3)}$ der Nettoeinfangrate von Löchern $R_{(2)} - G_{(4)}$ gleich. Daraus lässt sich die totale Netto-rekombinationsrate des Shockley-Read-Hall-Vorgangs ableiten:

$$R^{SRH} = \frac{np - n_{i,eff}^2}{\tau_p (n + n_{i,eff}) + \tau_n (p + n_{i,eff})} \quad (2.37)$$

τ_p und τ_n stellen die effektiven Löcher- und Elektronen-Minoritätsträgerlebensdauern dar. Diese hängen von der Dotierung („Scharfetter-Relation“) [FOS76][FL82][FML83] und von der Temperatur [TO83][GH92] des Halbleiters ab. Mit Hilfe einer empirischen Beziehung von Kendall [KEN72] lässt sich die dotierungs- und temperaturabhängige Lebensdauer der Elektronen bzw. Löcher modellieren durch

$$\tau_n = \frac{\tau_{n0}}{1 + \left(\frac{N_A + N_D}{N_n^{ref}} \right)} \cdot \left(\frac{T}{300\text{K}} \right)^{-1,5} \quad (2.38)$$

$$\tau_p = \frac{\tau_{p0}}{1 + \left(\frac{N_A + N_D}{N_p^{ref}} \right)} \cdot \left(\frac{T}{300\text{K}} \right)^{-1,5} \quad (2.39)$$

Darin sind τ_{n0} und τ_{p0} die Rekombinationszeitkonstanten des undotierten Materials bei $T = 300\text{K}$ und N_n^{ref} und N_p^{ref} materialabhängige Referenzdotierungen; sie alle sind

technologieabhängige Modellparameter (Kalibrierung erforderlich). Bei der Simulation werden der Einfachheit halber die konstanten Werten $\tau_{n0} = \tau_{p0} = 1 \cdot 10^{-7}$ s und $N_n^{ref} = N_p^{ref} = 5 \cdot 10^{16}$ cm⁻³ angenommen.

2.3.2 Auger-Rekombination

Bei sehr hoher Ladungsträgerkonzentration ($> \text{ca. } 10^{18}$ cm⁻³) wird der direkte Band-Band-Auger-Rekombinationsprozess signifikant. Es handelt sich dabei um einen Dreiteilchen-Prozess, bei dem die durch direkte Rekombination eines Trägerpaares freiwerdende Energie an ein drittes Elektron bzw. Loch abgegeben wird (Abb. 2.5). Für die Nettorekombinationsrate ergibt sich

$$R^A = (C_n n + C_p p) (np - n_{i,eff}^2) \quad (2.40)$$

mit $C_n = 2,8 \cdot 10^{-31}$ cm⁶s⁻¹ und $C_p = 9,9 \cdot 10^{-32}$ cm⁶s⁻¹ als Auger-Koeffizient für Elektronen bzw. Löcher bei Raumtemperatur nach *Dziewior* und *W. Schmid* [DS77]. Mit diesen Werten werden alle isothermen Simulationen bei $T = 300$ K durchgeführt. Die Temperaturabhängigkeit des Auger-Koeffizienten wird in der Simulation modelliert durch [HNS79][LH80][HH94]

$$C_n(T) = \left[6,7 \cdot 10^{-32} + 2,45 \cdot 10^{-31} \left(\frac{T}{300\text{K}} \right) - 2,2 \cdot 10^{-32} \left(\frac{T}{300\text{K}} \right)^2 \right] \text{ cm}^6\text{s}^{-1} \quad (2.41)$$

$$C_p(T) = \left[7,2 \cdot 10^{-32} + 4,5 \cdot 10^{-33} \left(\frac{T}{300\text{K}} \right) + 2,63 \cdot 10^{-32} \left(\frac{T}{300\text{K}} \right)^2 \right] \text{ cm}^6\text{s}^{-1} \quad (2.42)$$

Bei experimenteller Untersuchung stellt sich außerdem heraus, dass die Auger-Koeffizienten bei starker Injektion abnehmen. Die Modellierung der Dotierungsabhängigkeit der Auger-Koeffizienten wird aber einfachheitshalber in der Simulation vernachlässigt.

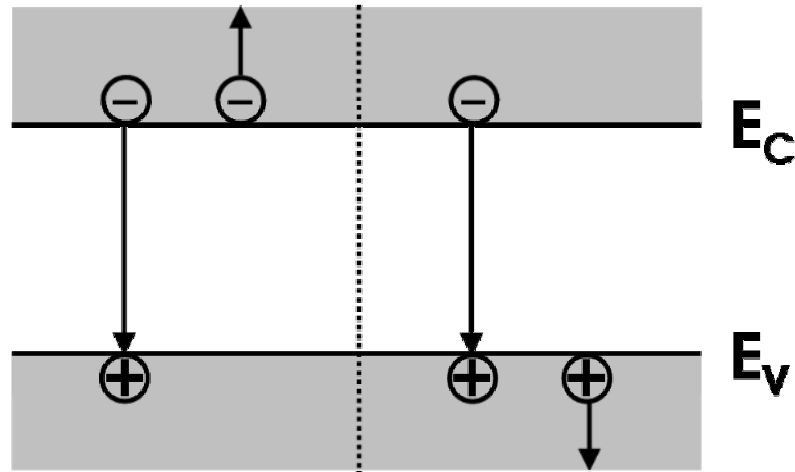


Abbildung 2.5: Teilprozesse der direkten Auger-Rekombination.

2.3.3 Stoßionisation

Außer durch thermische Energie und Lichtanregung entstehen Generationsvorgänge noch durch Stoßionisation („Avalanche-generation“). Bei einem hinreichend hohen Feld werden die Träger in der Raumladungszone so kräftig beschleunigt, dass sie bei Stößen mit dem Gitter neue Elektron-Loch-Paare auslösen. Die so erzeugten Elektronen und Löcher erfahren durch den Feldeinfluss weitere Zusammenstöße mit dem Gitter und generieren dabei lawinenartig weitere Trägerpaare. Dieser Prozess findet statt, wenn die elektrische Feldstärke einen kritischen Wert E_{krit} ($\approx 3 \cdot 10^5$ V/cm bei Silizium) überschreitet. Bei Erreichen des Lawinendurchbruchs steigt der Sperrstrom abrupt an. Der Avalanchedurchbruch ist der am häufigsten auftretende Durchbruchmechanismus bei Leistungsbau-elementen. Er ist reversibel, sofern keine thermischen Schäden auftreten.

Definiert man die inverse mittlere freie Weglänge zwischen zwei Zusammenstößen, die ein Elektron-Loch-Paar erzeugen, als Stoßionisationskoeffizienten α_i , so kann die Generationsrate dargestellt werden durch

$$G^{\parallel} = \alpha_n n |v_n| + \alpha_p p |v_p| \quad (2.43)$$

wobei v_n für die Driftgeschwindigkeit der Elektronen und v_p für die Driftgeschwindigkeit der Löcher steht. Der Stoßionisationskoeffizient ist im Bauelementesimulator als Modell von *Chynoweth* [Chy58] implementiert:

$$\alpha_i(E_{\parallel}) = \gamma a_i \exp\left(-\frac{\gamma b_i}{E_{\parallel}}\right) ; i = n, p \quad (2.44)$$

mit dem temperaturabhängigen Faktor γ

$$\gamma = \frac{0,84}{\tanh\left(\frac{0,063\text{eV}}{2kT}\right)} \quad (2.45)$$

Als Antriebskraft für die Stoßionisation dient wiederum die in Richtung des Trägerstromes projizierte Feldstärke E_{\parallel} nach Gl. (2.31) und (2.34). Messungen nach *Overstraeten* und *de Man* [OM70] haben die Faktoren a_i und b_i ergeben, die in Tabelle 2.2 aufgestellt sind.

Tabelle 2.2: Gemessene Werte der Stoßionisationskoeffizienten für das Modell von *Chynoweth*.

Formelzeichen	Elektronen	Löcher	Zulässiger Feldbereich	Einheit
a_i	$7,03 \cdot 10^5$	$1,582 \cdot 10^6$	$1,75 \cdot 10^5 < E < 4 \cdot 10^5$	cm^{-1}
	$7,03 \cdot 10^5$	$6,71 \cdot 10^5$	$4,5 \cdot 10^5 < E < 6 \cdot 10^5$	
b_i	$1,231 \cdot 10^6$	$2,036 \cdot 10^6$	$1,75 \cdot 10^5 < E < 4 \cdot 10^5$	Vcm^{-1}
	$1,231 \cdot 10^6$	$1,693 \cdot 10^6$	$4,5 \cdot 10^5 < E < 6 \cdot 10^5$	

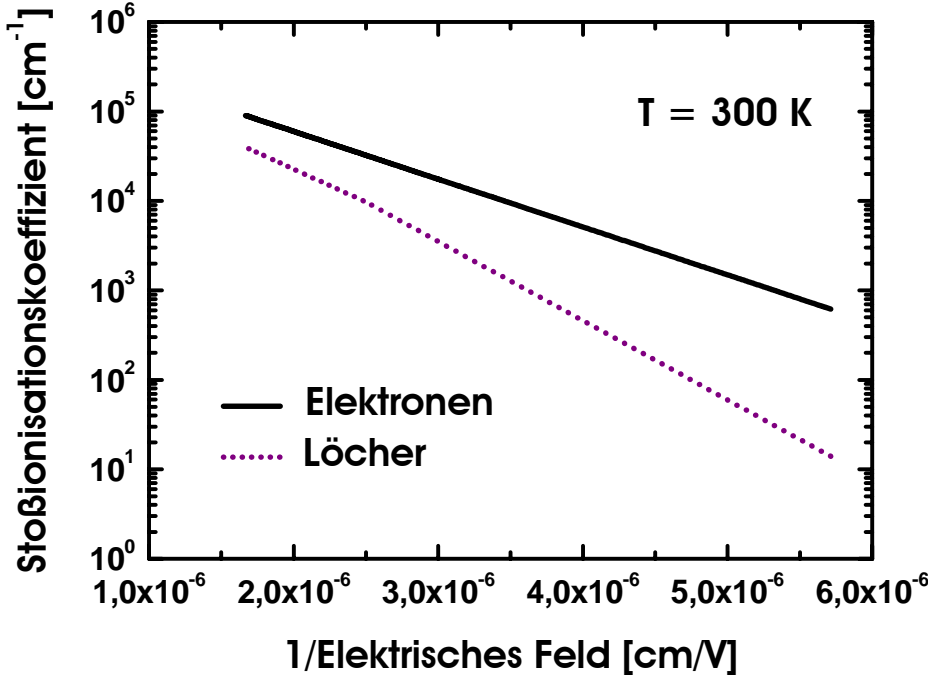


Abbildung 2.6: Stoßionisationskoeffizient als Funktion des Kehrwertes des elektrischen Feldes bei Raumtemperatur.

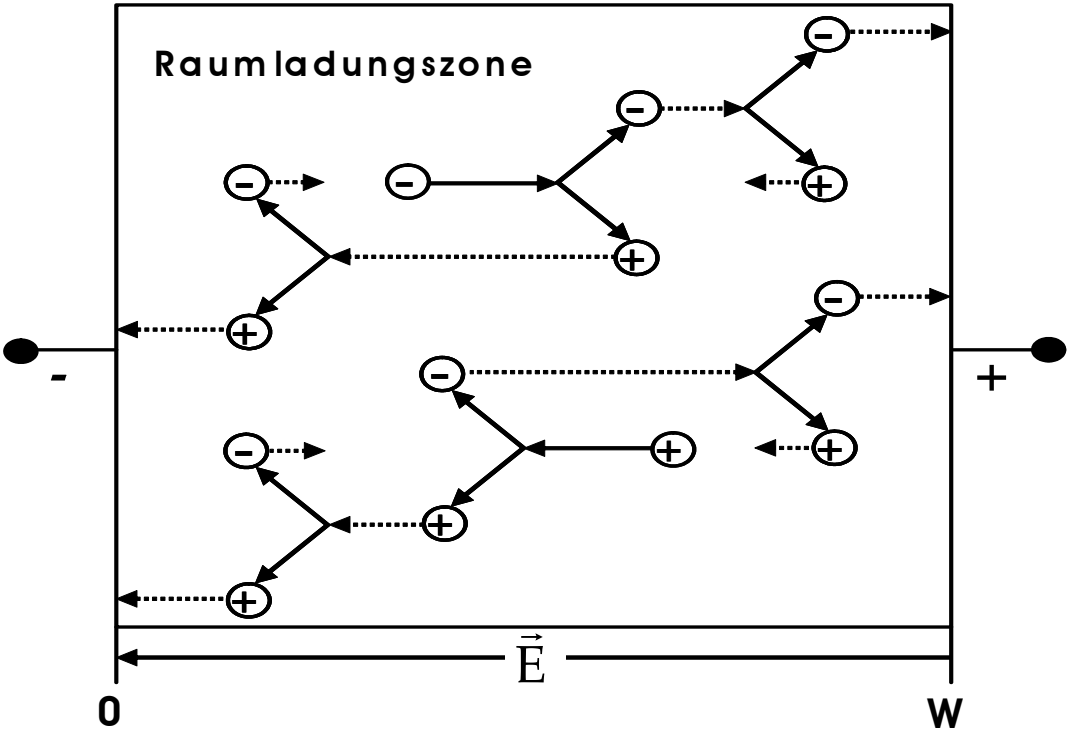


Abbildung 2.7: Lawinenvorgang in der Raumladungszone mit der Weite W .

Die Stoßionisationskoeffizienten hängen also stark vom elektrischen Feld ab (Abb. 2.6). Im Niederfeldbereich ist α_i noch relativ klein, da die Träger im Mittel eine zu geringe kinetische Energie zur Anregung eines Elektron-Loch-Paars besitzen. Bei hohen Feldstärken ($4,5 \cdot 10^5 < E < 6 \cdot 10^5$) erfahren die Träger weitaus mehr Stöße mit im Wirtsgitter gebundenen Elektronen, so dass der Stoßionisationskoeffizient rasch zunimmt. Generell gilt $\alpha_n > \alpha_p$ wegen der geringeren effektiven Elektronenmasse [SSP82]. Allerdings sind sowohl Elektronen als auch Löcher in der Lage, einen Avalanchedurchbruch einzuleiten. Man kann zeigen [TN98], dass das Kriterium für den durch Elektronen eingeleiteten Avalanchedurchbruch in der Raumladungszone lautet

$$\int_0^W \alpha_n(x) \exp\left(-\int_x^W (\alpha_n(x') - \alpha_p(x')) dx'\right) dx = 1 \quad (2.46)$$

und für den durch Löcher eingeleiteten Avalanchedurchbruch

$$\int_0^W \alpha_p(x) \exp\left(-\int_0^x (\alpha_p(x') - \alpha_n(x')) dx'\right) dx = 1 \quad (2.47)$$

wobei W für die Weite der Raumladungszone nach Abb. 2.7 steht.

2.4 Halbleitergrundgleichungen

2.4.1 Poisson-Gleichung

Der Ladungsträgertransport in Halbleitern ist durch die Poisson-Gleichung und die Trägerbilanzgleichungen für Elektronen und Löcher bestimmt. Die Poisson-Gleichung lautet:

$$\nabla(\varepsilon_{Si} \cdot \nabla \psi) = -q(p - n + N_D^+ - N_A^-) \quad (2.48)$$

Hierin ist ε_{Si} die Dielektrizitätskonstante von Silizium. Die Poisson-Gleichung erlaubt die Berechnung des elektrostatischen Potentials ψ aus der Verteilung der Trägerdichten n und p und der Dichten der ionisierten Störstellen N_D^+ und N_A^- .

2.4.2 Trägerbilanzgleichungen

Die Zahl der Ladungsträger in einem Volumenelement ändert sich sowohl durch Generation (G) bzw. Rekombination (R) der Träger als auch durch ein- und

ausströmende Träger (\vec{J}_n, \vec{J}_p). Die Kontinuitätsgleichungen berücksichtigen zeitliche und räumliche Trägerdichteänderungen im Halbleitervolumen:

$$\nabla \cdot \vec{J}_n = q(R_n - G_n) + q \frac{\partial n}{\partial t} \quad (2.49)$$

$$-\nabla \cdot \vec{J}_p = q(R_p - G_p) + q \frac{\partial p}{\partial t} \quad (2.50)$$

Das sind die einzigen Halbleitergleichungen, die explizit eine Zeitabhängigkeit enthalten. Sie sind für die Simulation der dynamischen Schalteigenschaften der Halbleiterbauelemente notwendig.

2.4.3 Drift-Diffusions-Modell

Die elektrische Stromdichte in Halbleitern setzt sich für Elektronen und Löcher jeweils aus der Diffusionsstromdichte infolge des örtlichen Konzentrationsgefälles und aus der Driftstromdichte aufgrund des äußeren elektrischen Feldes zusammen. Für die Driftstromdichten ergeben sich die Beziehungen

$$\vec{J}_{n,Drift} = q \cdot \mu_n \cdot n \cdot \vec{E} \quad (2.51)$$

$$\vec{J}_{p,Drift} = q \cdot \mu_p \cdot p \cdot \vec{E} \quad (2.52)$$

Hierin sind μ_n und μ_p die Beweglichkeit der Elektronen bzw. der Löcher. Für die Diffusionsstromdichten gelten die Gleichungen

$$\vec{J}_{n,Diff} = q \cdot D_n \cdot \nabla n \quad (2.53)$$

$$\vec{J}_{p,Diff} = -q \cdot D_p \cdot \nabla p \quad (2.54)$$

Es ist zu beachten, dass die Driftstromdichte der Löcher dem positiven Dichtegradient in der Dichteverteilung entgegengerichtet ist. Die Diffusionskonstanten D_p und D_n lassen sich über die Einsteinsche Beziehung aus den Beweglichkeiten bestimmen

$$\frac{D_n}{\mu_n} = \frac{D_p}{\mu_p} = \frac{kT}{q} \quad (2.55)$$

Die Größe kT/q heißt Temperaturspannung. Fasst man die entsprechenden Stromdichten jeweils für Elektronen und Löcher zusammen, so erhält man die Transportgleichungen

$$\vec{J}_n = q\mu_n n \vec{E} + q D_n \nabla n \quad (2.56)$$

$$\vec{J}_p = q\mu_p p \vec{E} - q D_p \nabla p \quad (2.57)$$

Daraus folgt die Gesamtstrom- oder Konvektionsstromdichte

$$\vec{J} = \vec{J}_n + \vec{J}_p \quad (2.58)$$

Nach diesem Drift-Diffusions-Modell werden die drei grundlegenden Halbleitergleichungen noch durch die Transportgleichungen vervollständigt. Die Transportgleichungen können auch in folgenden Ausdruck umformuliert werden

$$\vec{J}_n = -nq\mu_n \nabla \Phi_n \quad (2.59)$$

$$\vec{J}_p = -pq\mu_p \nabla \Phi_p \quad (2.60)$$

Entsprechend Gl. (2.16) und Gl. (2.17) sind die Quasi-Fermi-Potentiale mit den Ladungsträgerdichten und dem Potential verbunden durch

$$\Phi_n = \psi - \frac{kT}{q} \ln \frac{n}{n_{i,eff}} \quad (2.61)$$

$$\Phi_p = \psi + \frac{kT}{q} \ln \frac{p}{p_{i,eff}} \quad (2.62)$$

Ein Vorteil der Transportgleichungen auf der Basis der Quasi-Fermi-Potentiale (Gl. (2.59) und Gl. (2.60)) ist, dass die Variablen ψ , Φ_n und Φ_p von vergleichbaren Größenordnungen sind und damit effektiver numerisch behandelbar.

2.5 Elektrische Randbedingungen

Die Lösungen der Halbleitergleichungen (Poisson-Gleichung, Trägerbilanzgleichungen und Transportgleichungen) werden erst durch die Festlegung der Randbedingungen eindeutig bestimmt. Als elektrische Kontaktbedingungen nimmt man oft ideale Ohmsche Kontakte an, das heißt: Der Kontakt ist eine Äquipotentialfläche im elektrischen und thermischen Gleichgewicht:

$$n \cdot p = n_{i,eff}^2 \quad (2.63)$$

$$n - p = N_D - N_A \quad (2.64)$$

Die Lösung der beiden Gleichungen (2.63) und (2.64) nach n bzw. nach p führt zu Dirichlet-Randbedingungen für die Trägerdichten auf den Kontaktflächen:

$$n = \frac{1}{2} \left(\sqrt{(N_D - N_A)^2 + 4n_{i,eff}^2} + (N_D - N_A) \right) \quad (2.65)$$

$$p = \frac{1}{2} \left(\sqrt{(N_D - N_A)^2 + 4n_{i,eff}^2} - (N_D - N_A) \right) \quad (2.66)$$

Den Zusammenhang zwischen dem elektrostatischen Potential ψ an den Ohmschen Kontakten und dem Klemmenpotential U erhält man durch Einsetzen der Gleichungen (2.16) und (2.17) unter Berücksichtigung der thermodynamischen Gleichgewichtsbedingung, der zufolge $\Phi_n = \Phi_p = U$ gilt, in Gl. (2.64). Es folgt daraus:

$$\psi = U + \frac{kT}{q} \operatorname{arsinh} \left(\frac{N_D - N_A}{2n_{i,eff}} \right) \quad (2.67)$$

Für den Gatekontakt über dem MOS-Kanal ergibt sich das elektrostatische Potential einfach zu:

$$\psi = U - \Phi_{MS} \quad (2.68)$$

mit der Austrittsarbeitdifferenz Φ_{MS} ($\approx -0,55$ V) zwischen dem Gate aus Metall und einem intrinsischen, unter dem Gate liegenden Halbleiter. Die Austrittsarbeit legt die Mindestenergie zum Herauslösen eines Elektrons vom Fermivertaus eines Festkörpers fest und hängt verständlicherweise von der Art des Festkörpers ab. In MOS-Bauelementen ist hoch dotiertes Poly-Silizium als Gatematerial in allgemeiner Verwendung, weil in diesem Fall die Austrittsarbeitdifferenz zwischen Gate und Halbleitersubstrat geringer ist als z.B. bei Aluminium-Halbleiter-Austrittsarbeitdifferenz. Tabelle 2.3 zeigt typische Werte für Austrittsarbeitdifferenzen bei hoch dotiertem Polysilizium als Gatematerial an. Es gibt scheinbar vier Kombinationsmöglichkeiten zwischen hoch dotiertem Polysilizium und extrinsischem Halbleitersubstrat, von technologischer Bedeutung aber sind zwei Materialsysteme: n^+ -Poly-Gate auf p-Silizium für n-Kanal-MOSFET und p^+ -Poly-Gate auf n-Silizium für p-Kanal-MOSFET.

Tabelle 2.3: Typische Werte für die Differenz der Polysilizium-Halbleiter-Austrittsarbeiten.

	n⁺-Poly-Gate	p⁺-Poly-Gate
n-Silizium	$\Phi_{MS}^n = -0,3 \text{ V}$	$\Phi_{MS}^n = +0,9 \text{ V}$
p-Silizium	$\Phi_{MS}^p = -0,9 \text{ V}$	$\Phi_{MS}^p = +0,3 \text{ V}$

Für Leistungs-MOSFETs sind die Konzentrationen von beweglichen Ladungsträgern und fixen Störstellen im Oxid (SiO_2) und an der Si-SiO₂-Grenzfläche vernachlässigbar klein, das bedeutet, $n = p = N_D = N_A = 0$. Im Gateoxid tritt dann nur die Laplacesche Gleichung auf:

$$\Delta \psi_{ox} = 0 \quad (2.69)$$

An der Si-SiO₂-Grenzfläche muss die normale Komponente der elektrischen Verschiebung dem Gaußschen Gesetz folgen:

$$\epsilon_{Si} \vec{n} \nabla \psi_{Si} = \epsilon_{ox} \vec{n} \nabla \psi_{ox} \quad (2.70)$$

wobei \vec{n} die Oberflächennormale auf der Grenzfläche darstellt.

Außerdem fordert man, dass keine Ströme in das Oxid einfließen.

$$\vec{J}_n \cdot \vec{n} = \vec{J}_p \cdot \vec{n} = 0 \quad (2.71)$$

An sonstigen Rändern und Symmetrieebenen werden homogene Neumann-Randbedingungen verwendet:

$$\vec{E} \cdot \vec{n} = \vec{J}_n \cdot \vec{n} = \vec{J}_p \cdot \vec{n} = 0 \quad (2.72)$$

Unter diesen Randbedingungen wird die Normalkomponente des elektrischen Felds an den Rändern zu Null, die Stromdichten dürfen dabei nicht durch die Randflächen aus dem Simulationsgebiet durchfließen.

2.6 Modellierung thermischer Effekte

In der Praxis tritt die Erwärmung der Leistungsbaulemente während des Betriebes als Folge der in den Bauelementen umgesetzten Verlustleistung auf. Eine thermodynamische Simulation, d.h. eine Simulation mit der thermischen Rückkopplung, würde genauere Aussagen über das elektrische Verhalten der realen Leistungsbaulemente liefern. Für die thermodynamische Simulation ist neben der Kenntnis der thermischen Rückwirkung innerhalb der Bauelemente sowie der Wärmeableitungselemente auch die Wärmeleitungsgleichung [NN01] erforderlich:

$$c_L \frac{\partial T}{\partial t} = \nabla \cdot (\kappa \nabla T) - \nabla \cdot \left((P_n T + \Phi_n) \vec{J}_n + (P_p T + \Phi_p) \vec{J}_p \right) - \left(E_C + \frac{3}{2} kT \right) \nabla \cdot \vec{J}_n - \left(E_V - \frac{3}{2} kT \right) \nabla \cdot \vec{J}_p + q(R - G)(E_C - E_V + 3kT) \quad (2.73)$$

Dabei wird die Wärmekapazität c_L in Gl. (2.73) in Anlehnung an das Standardmodell im Programm *DESSIS* als konstant angenommen; für Si-Bauelemente beträgt sie $c_L = 1,63 \text{ J/Kcm}^3$. κ ist die Wärmeleitfähigkeit; ihre Temperaturabhängigkeit wird durch eine empirische Beziehung beschrieben:

$$\kappa(T) = \frac{1}{0,03 \text{ cm K W}^{-1} + 1,56 \cdot 10^{-3} \text{ cm W}^{-1} T + 1,65 \cdot 10^{-6} \text{ cm W}^{-1} \text{ K}^{-1} T^2} \quad (2.74)$$

P_n und P_p sind die absoluten Thermoleistungen für Elektronen und Löcher und können analytisch wie folgt modelliert werden:

$$P_n = -\frac{k}{q} \left[\frac{3}{2} + \ln \left(\frac{N_C}{n} \right) \right] \quad (2.75)$$

$$P_p = \frac{k}{q} \left[\frac{3}{2} + \ln \left(\frac{N_V}{p} \right) \right] \quad (2.76)$$

Andernfalls verwendet der Simulator *DESSIS-ISE* die Versuchsdaten der absoluten Thermoleistungen von Silizium als Funktion von Temperatur und Trägerkonzentration, welche von *Geballe* und *Hull* [GH55] veröffentlicht wurden und in Abb. 2.8 graphisch dargestellt sind.

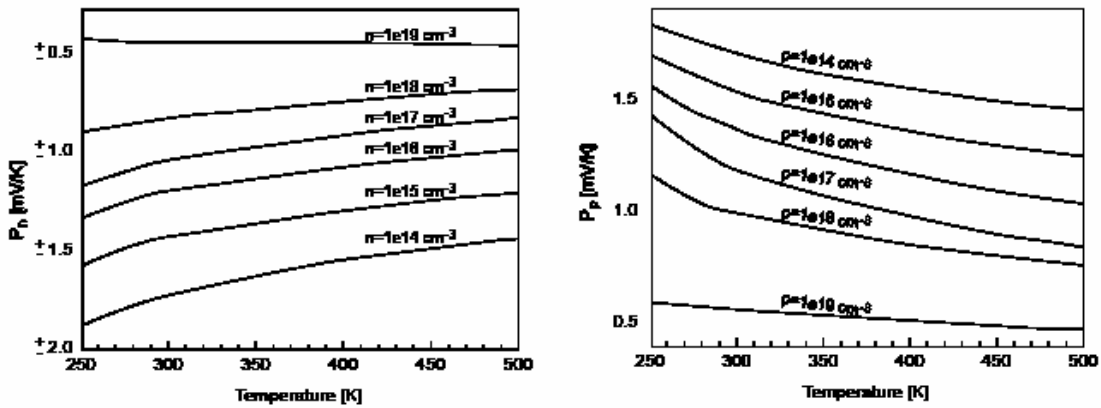


Abbildung 2.8: Absolute Thermoleistungen P_n und P_p von Silizium als Funktion von Temperatur und Trägerkonzentration [NN01].

Die Temperatur T beschreibt bei der Simulation thermischer Effekte sowohl die Trägertemperatur als auch die Gittertemperatur. Um die Stromabgabe aufgrund des Temperaturgradienten zu berücksichtigen, müssen zusätzlich die Transportgleichungen in folgender Form modifiziert werden:

$$\vec{J}_n = -nq\mu_n(\nabla\Phi_n + P_n\nabla T) \quad (2.77)$$

$$\vec{J}_p = -pq\mu_p(\nabla\Phi_p + P_p\nabla T) \quad (2.78)$$

Zur numerischen Lösung der Wärmeleitungsgleichung benötigt man zumindest eine thermische Randbedingung. Dies geschieht im Programm *DESSIS* gemeinhin durch Angabe einer thermischen Oberflächenleitfähigkeit λ und einer Umgebungstemperatur T_a . Es liegen hierbei inhomogene Neumannsche Randbedingungen vor

$$\kappa \frac{\partial T}{\partial \vec{n}} = \lambda(T_a - T) \quad (2.79)$$

mit $\partial T/\partial \vec{n}$ als Normalenableitung der Temperatur (senkrecht zur Randebene). Die thermische Oberflächenleitfähigkeit λ beschreibt die Wärmeleitfähigkeit zwischen der Halbleiteroberfläche und einer daran angeschlossenen Wärmesenke, wobei die andere Seite der Wärmesenke der konstanten Umgebungstemperatur T_a ausgesetzt ist.

An Randbereichen, die nicht mit einer Wärmesenke in Berührung kommen, knüpfen sich homogene Neumannsche Randbedingungen.

$$\kappa \frac{\partial T}{\partial \vec{n}} = 0 \quad (2.80)$$

Es fließt also keine Wärme über wärmeisolierende Ränder ab, d.h. $\lambda \rightarrow 0$. Durch Verwendung von idealen Wärmesenken ($\lambda \rightarrow \infty$) erfährt die Wärmefluss an den Grenzflächen zwischen Halbleitern und Senken überhaupt keinen thermischen Widerstand mehr. In solchen Fällen verwandeln sich die inhomogenen Neumannschen Randbedingungen in Gl. (2.79) zu Dirichletschen Randbedingungen

$$T = T_a \tag{2.81}$$

An thermischen Kontakten herrscht konstante Temperatur T_a .

2.7 Numerische Berechnungsverfahren

Zusammen mit den für die zu untersuchenden Superjunction-Bauelemente angesetzten Randbedingungen werden die Halbleitergleichungen mit Hilfe des Bauelementesimulators *DESSIS-ISE* numerisch in drei Dimensionen gelöst. Da sich die Variablen n , p und ψ in den Gleichungen um viele Größenordnungen unterscheiden, beginnt das numerische Verfahren mit der Skalierung der Halbleitergleichungen nach dem Ansatz von *de Mari* [Mar68]. Die numerische Lösung erfordert die Diskretisierung der zugrunde liegenden partiellen Differentialgleichungen mittels der Finite-Boxen-Methode [BRF83]. Dabei ist zunächst die gesamte Bauelementestruktur in eine Vielzahl kleiner Volumenelemente aufzuteilen, so dass sich eine dreidimensionale *Dalaunay*-Partitionierung der Bauelementestruktur ergibt. Zum automatischen Aufbau solch eines Diskretisierungsgitters wird der Gittergenerator *MESH-ISE* anhand der eingegebenen Geometriedaten und Dotierprofile der Bauelemente eingesetzt. Durch die Diskretisierung der skalierten Halbleitergleichungen entsteht ein nichtlineares algebraisches Gleichungssystem, welches unter Anwendung eines Newton-ähnlichen Iterationsverfahrens [BR81] zu lösen ist. Um den Rechenzeitbedarf, der bei dreidimensionalen Strukturen überlinear mit der Anzahl von Gitterpunkten wächst, zu begegnen, macht man von lokalen Gitterverfeinerungen und Symmetrieeigenschaften der Bauelemente Gebrauch. Auf diese Weise beläuft sich die Anzahl der Gitterpunkte der zu untersuchenden Superjunction-Bauelemente auf ca. 25,000. Zur transienten Simulation wird das transiente Schema nach *Bank et al.* [BCF85] auf die zeitabhängigen Anteile der Halbleitergleichungen abgebildet. In Abb. 2.9 ist der prinzipielle Ablauf des numerischen Verfahrens illustriert.

Eine zusätzliche Lösung der Wärmeleitungsgleichung kann bei Bedarf vorgenommen werden, sie führt aber häufig zu Konvergenzschwierigkeiten und nimmt darüber hinaus eine erhebliche Rechenzeit in Anspruch, insbesondere bei einer Darstellung aller Gleichungen in drei Ortskoordinaten, was in der vorliegenden Arbeit der Fall ist. Aus diesem Grund geschieht im Rahmen dieser Arbeit die Bauelementesimulation mit Drift-Diffusionsformulierungen, sofern nicht anders angegeben, isotherm, d.h. ohne Berücksichtigung von Selbsterwärmungseffekten.

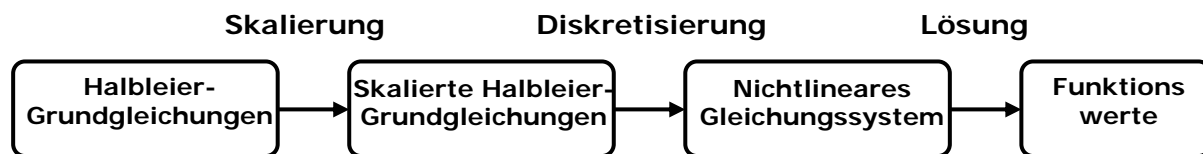


Abbildung 2.9: Ablauf der numerischen Berechnung der Halbleitergrundgleichungen.

Kapitel 3

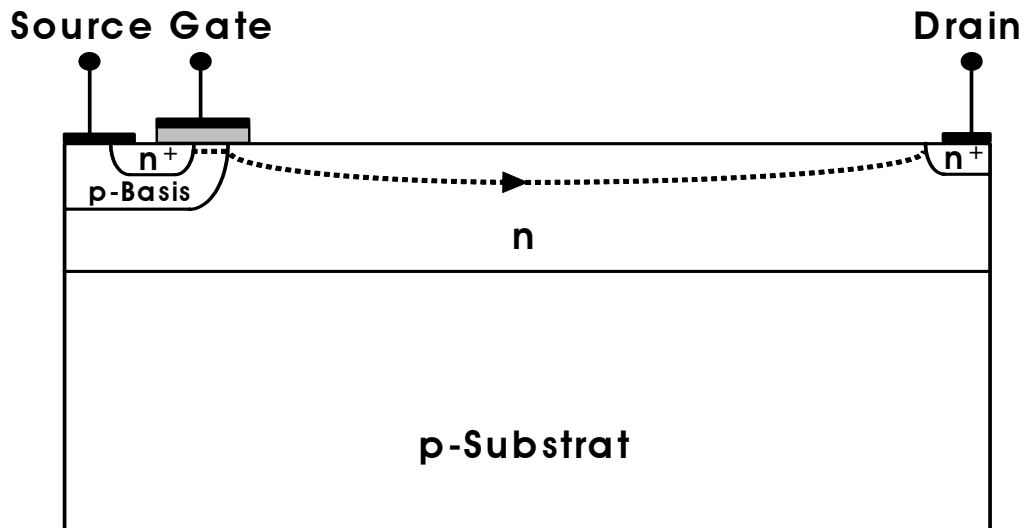
Laterale Superjunction-Leistungs-transistoren

In den letzten Jahren hat sich eine rasante Entwicklung im Bereich der Leistungshalbleiter vollzogen. Die treibenden Kräfte dafür sind ständige Fortschritte in der Mikroelektronik, insbesondere die sogenannte Smart-Power-Integration von lateralen, integrierbaren Leistungstransistoren zusammen mit Ansteuerschaltungen und Logikfunktionen auf einem Chip. Grundsätzliche Anforderungen an laterale Leistungsbauelemente umfassen neben der Integrierbarkeit auch hohe Sperrfähigkeit mit guten Durchlasseigenschaften, hohe Latch-up-Festigkeit, gutes Schaltverhalten, geringe Größe und niedrige Kosten. In dem Bestreben, solche Anforderungen zu erfüllen, wurden im Verlauf der Zeit innovative Bauelementekonzepte eingeführt, die schließlich zu Superjunction-Bauelementen führten.

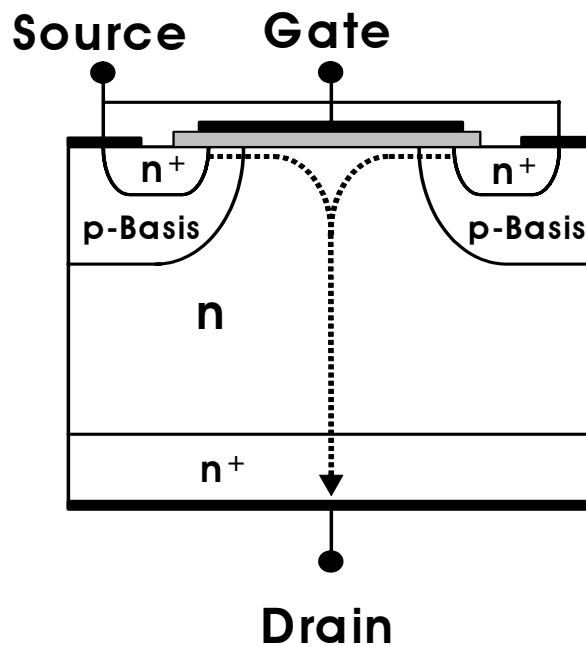
3.1 Lateral- und Vertikalkonzept bei Leistungs-MOSFETs

Bei Leistungs-MOS-Transistoren unterscheidet man grundsätzlich je nach Stromflussrichtung zwischen Lateral- und Vertikaltransistoren. Lateraltransistoren werden mit der klassischen Planartechnologie gefertigt. Der Stromfluss in diesem Transistor verläuft überwiegend parallel zur Chipoberfläche (Abb. 3.1a). Bei einem lateralen Transistoraufbau sind Source- und Drainelektroden sowie Kanalgebiet der Transistoren in der gleichen Ebene an der Chipoberfläche angeordnet. Laterale Leistungs-MOSFETs sind typischerweise integrierte Bestandteile von Smart Power ICs (siehe Abschn. 3.2). Aufgrund des lateralen Stromflusses nahe der

Chipoberfläche bleibt allerdings das Siliziuminnere unterhalb der Transistorstruktur völlig ungenutzt. Dieser Nachteil führte in der Leistungselektronik zur Einführung des Vertikalkonzepts für Leistungs-MOSFETs. Bei Vertikaltransistoren wird die Großflächigkeit erreicht durch die Verlagerung der Drainelektrode auf die Unterseite des Chip, dadurch erfolgt der Elektronenstromfluss senkrecht zur Chipoberfläche in das Siliziumvolumen der Vertikaltransistoren hinein, wie in Abb. 3.1(b) ersichtlich ist.



(a)



(b)

Abbildung 3.1: Elektronenstromfluss in (a) einem lateralen Leistungs-MOSFET und in (b) einem vertikalen Leistungs-MOSFET.

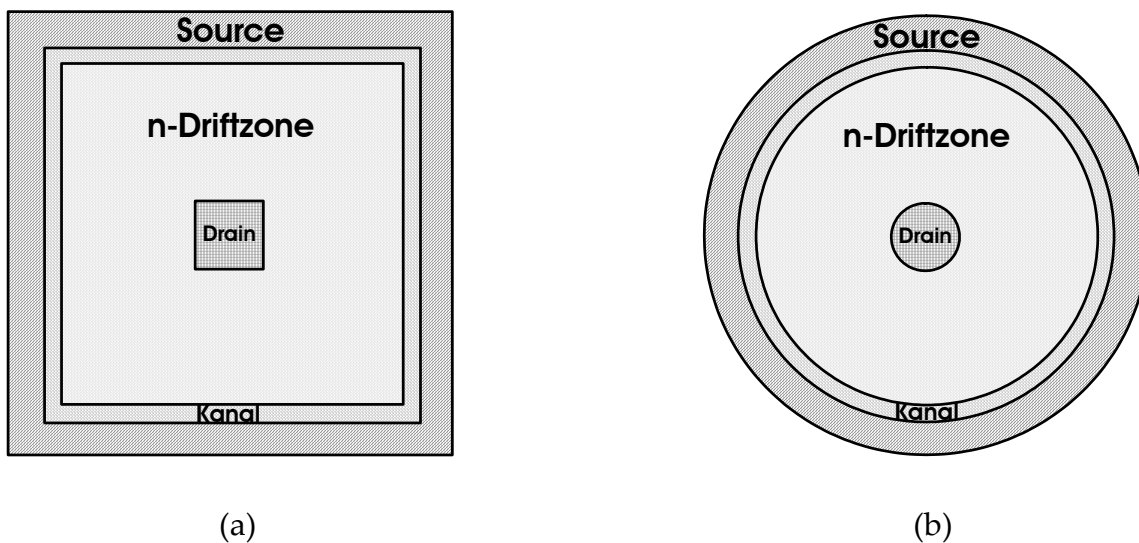


Abbildung 3.2: Draufsicht eines Randabschlusslayouts von lateralen Leistungs-MOSFETs; (a) Kammförmige Randkonstruktion (b) Ringförmige Randkonstruktion.

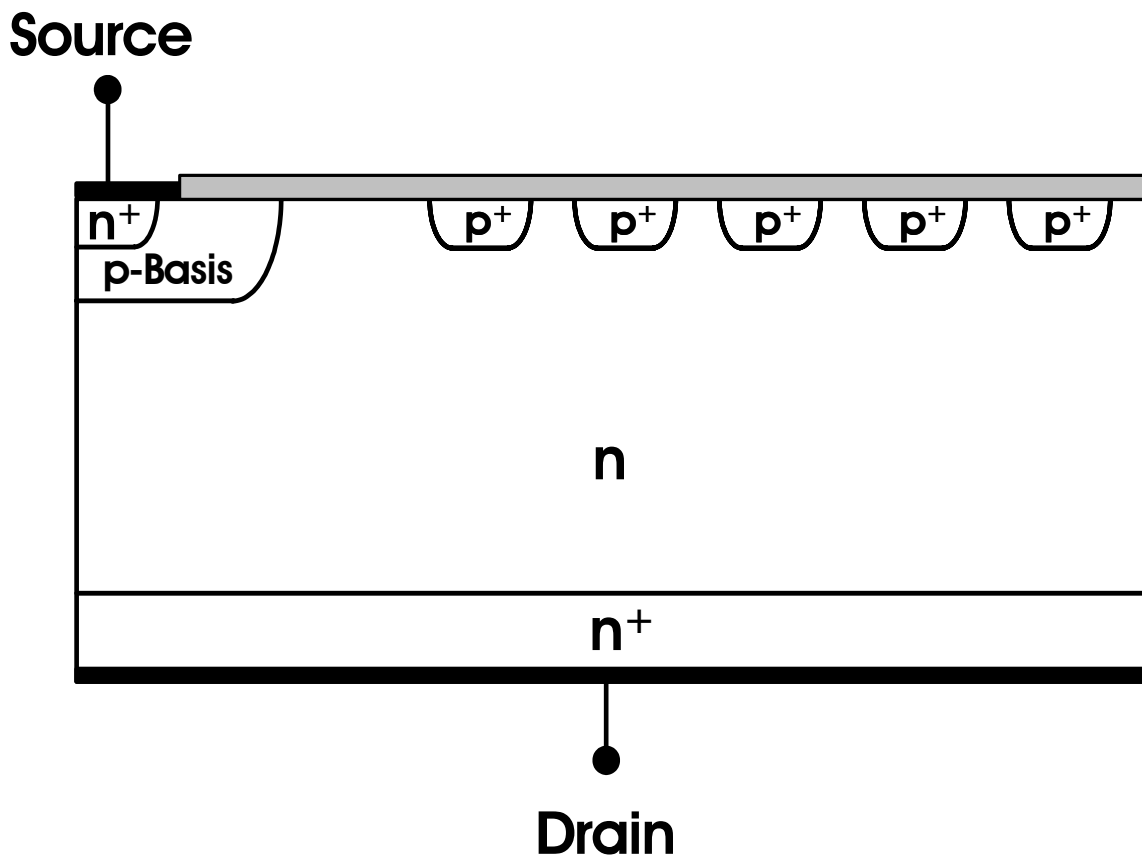


Abbildung 3.3: Randabschluss mit Hilfe von Guard-Ringen bei vertikalen Leistungs-MOSFETs.

Ein grundsätzliches Problem beim Design von vertikalen Leistungs-MOSFETs besteht in der Optimierung des Randabschlusses am Chiprand. Am Rand jedes Bauelements können Feldüberhöhungen zu einem frühzeitigen Durchbruch des Bauelements führen. Um eine maximale Sperrfähigkeit sicherzustellen, sind geeignete Maßnahmen für den Randabschluss heranzuziehen. Der Randbereich des vertikalen Leistungs-MOSFETs nimmt eine größere Chipfläche in Anspruch als derjenige des lateralen Leistungs-MOSFETs. Die Erklärung hierfür ist, dass der Randabschluss vertikaler Leistungs-MOSFETs im Grunde genommen in Form einer Guard-Ringen-Struktur vorgenommen wird (Abb. 3.3). Die Guard-Rings (Schutzringe) entstehen durch Diffusion oder Implantation einer Reihe von hochdotierten p^+ -Zonen ringförmig um die aktive Chipfläche am Chiprand. Sie bewirken sowohl eine Vergrößerung des Krümmungsradius des pn-Übergangs zwischen Basis und Driftzone als auch eine Aufweitung der Raumladungszone an der Chipoberfläche; die Folge ist eine Abschwächung der elektrischen Feldstärke am Chiprand. Eine Konstruierung der Ringe setzt den optimalen Abstand vom pn-Übergang zum ersten Ring sowie zwischen den einzelnen Ringen zueinander voraus. Für hochsperrende vertikale Leistungs-MOSFETs können bis zu sechs Ringe zum Einsatz kommen. Somit sind Schutzringstrukturen sehr platzaufwendig; die Feldstabilisierung am Rand eines vertikalen Leistungs-MOSFETs wird auf Kosten der unbrauchbaren Chipfläche erkauft.

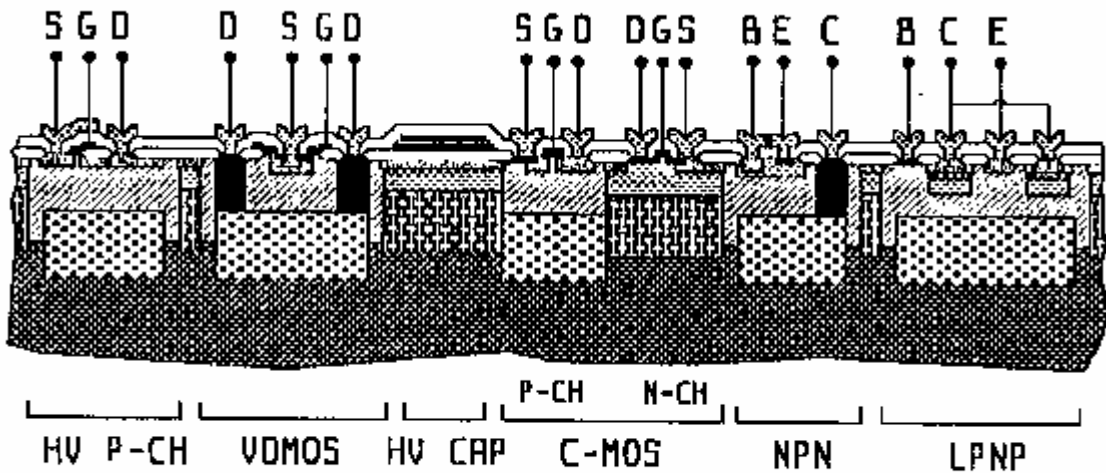
Solche Maßnahme zum Abbau der Feldstärke am Chiprand entfällt bei lateralen Leistungs-MOSFETs. Dort führt man stattdessen ein kammförmiges oder ein ringförmiges Transistorgebiet nach Abb. 3.2 aus. Im Layout wird die Driftzone komplett vom Sourcegebiet umgeben. Dadurch, dass der Sourceanschluss stets mit Masse verbunden ist, tritt im Randbereich keine Feldüberhöhung auf. Auf vertikale Leistungs-MOSFETs, deren Drainkontakt sich an der Unterseite befindet, ist dieses platzsparende Randabschlusslayout offensichtlich nicht zu übertragen.

3.2 Smart-Power-ICs

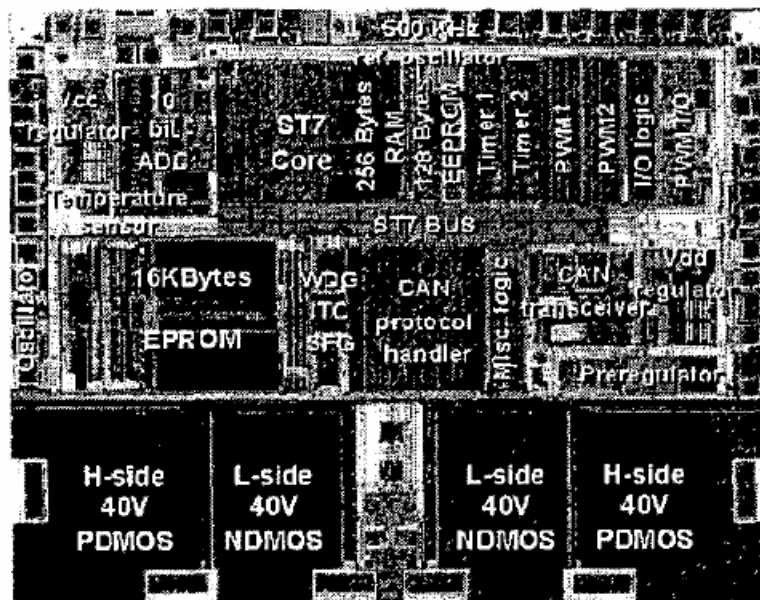
Unter *Smart-Power-ICs* versteht man integrierte Leistungsschaltkreise, welche die monolithische Integration von Leistungshalbleitern mit Logikbausteinen wie Treiber-, Ansteuer- und Schutzschaltungen auf einem Chip ermöglichen (Abb. 3.4b), und zwar mit Hilfe einer BCD-Technologie (Bipolar-, CMOS- und DMOS-Technologie) (Abb. 3.4a).

Eingesetzt werden die Smart-Power-ICs vor allem in Schaltnetzteilen, der Steuer-, Automatisierungs- und Kraftfahrzeugtechnik sowie der Telekommunikation. Im Allgemeinen sind laterale Bauelemente integrierbar, denn sie lassen sich einfacher mit kompatibeltem Herstellungsverfahren für die Logikbausteine fertigen als Vertikaltransistoren. Bei der Smart-Power Integration ist allerdings zu beachten, dass der

Leistungsteil mit mehreren hunderttausend Lateraltransistoren viel höheren Spannungen ausgesetzt wird als die Logikbausteine. Um sich nicht gegenseitig zu beeinflussen, müssen deswegen die einzelnen Funktionselemente in einem integrierten Schaltkreis voneinander isoliert werden.



(a)



(b)

Abbildung 3.4: (a) BCD-II-Prozesstechnologie von der Firma STMicroelectronics [Mur03] und (b) Smart-Power ICs [MCG00].

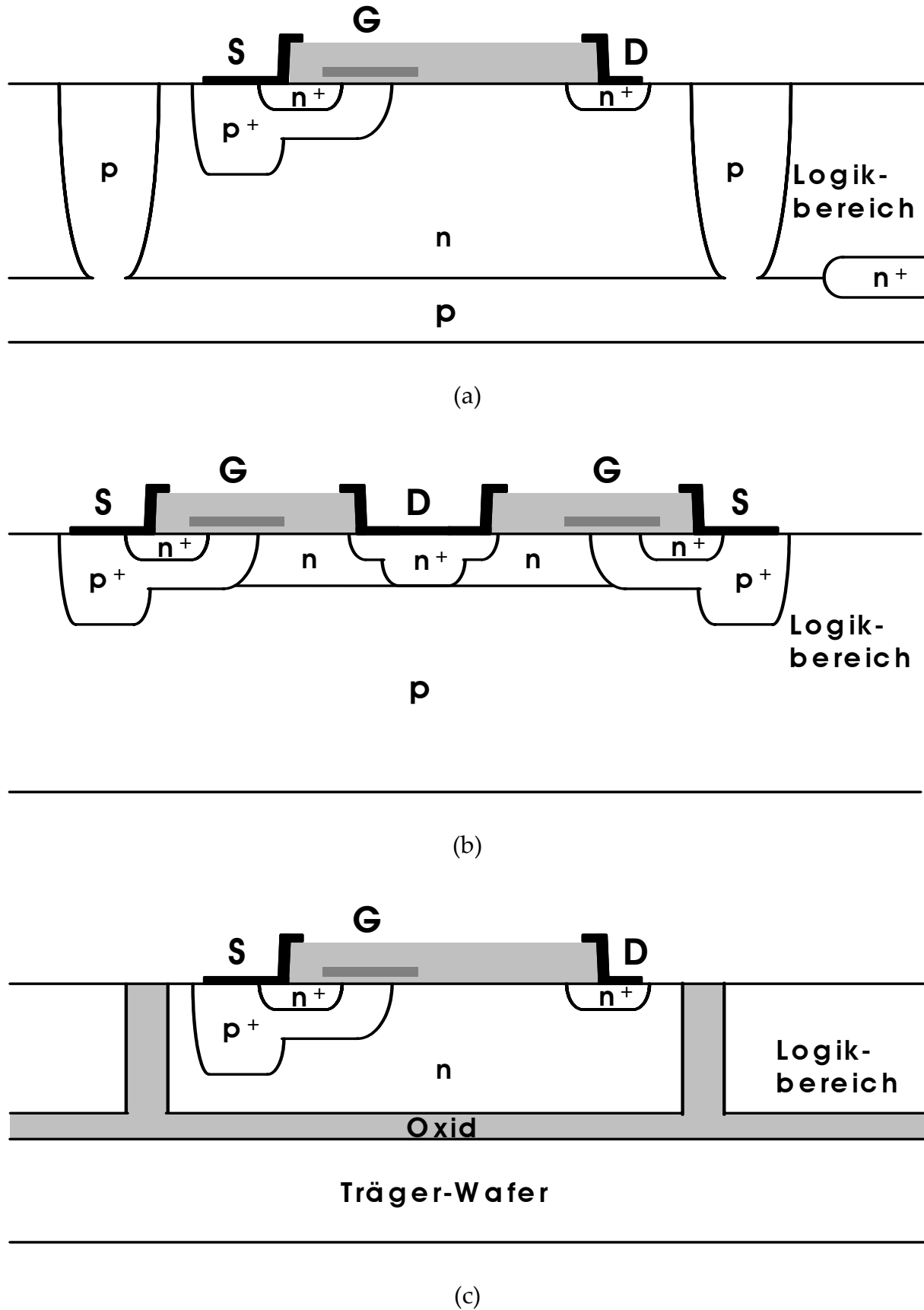


Abbildung 3.5: Isolation eines lateralen Bauelementes (LDMOS) (a) Sperrschicht-isolation (b) Selbstisolierende Isolation (c) Dielektrische Isolation.

Praktisch können Smart-Power-Technologien nach der Isolationstechnik klassifiziert werden. Drei gängige Isolationstechniken [FJ86] sind in Abb. 3.5 am Beispiel eines LDMOS-Transistors skizziert: Sperrschichtisolation, selbstisolierende Isolation und dielektrische Isolation. Die Sperrschichtisolation geschieht mittels gesperrten pn-Übergängen. Hierbei werden Schichten mit sperrgepolten pn-Übergängen durch Diffusion von p-Gebieten bis in die ganze tiefe einer n-leitenden Schicht erzeugt, die epitaktisch auf ein p-Substrat aufgewachsen wird. Diese Technik stellt eine Kompromisslösung zwischen Preis und Einsatzflexibilität dar, so dass sie in den Technologien für Hochvolt-ICs am weitesten gebräuchlich ist. Die Schwäche dieser Lösung aber sind relativ große parasitäre Sperrschichtkapazitäten, hoher Flächenbedarf und hohe Leckströme der Isolations-pn-Übergänge.

Bei selbstisolierender Isolation erfolgt die elektrische Trennung auch durch Sperrschichten, jedoch müssen keine zusätzlichen Isolationsstrukturen geschaffen werden, sondern man gestaltet den Aufbau des integrierten Bauelements derartig, dass es sich von selbst im Sperrbetrieb vom Substrat trennt. Diese Technik bringt dennoch einen Nachteil mit, dass sie nicht so flexibel ist, weil das Sourcegebiet stets auf Null Volt liegen muss, um die elektrischen Felder in diesem Gebiet abzubauen. Strukturbedingt sind Feldeffekttransistoren bereits durch Verarmungsschichten vom Substrat isoliert, und somit erübrigen sich zusätzliche Maßnahmen (Prinzip der Selbstisolation).

Wesentlich bessere Isolationstechnik ist die dielektrische Isolation, bei der die Isolierung mittels Isolatorwannen aus SiO_2 erfolgt. Als vorteilig erweist sich höhere Packungsdichte einer dielektrischen Isolationstechnologie im Vergleich zur Sperrschichtisolation. Nachteile dieses Ansatzes sind der recht umständliche und kostspielige Technologieaufwand und die schlechte Wärmeleitfähigkeit des Isolators.

3.3 Entwicklungsgeschichte lateraler integrierbarer Leistungsbaulemente

In der Leistungshalbleiterindustrie gelten MOS-Leistungstransistoren aufgrund ihrer attraktiven Eigenschaften wie z.B. der leistungslosen Steuerung, des Nichtauftretens des zweiten Durchbruchs, des Selbstschutzes gegen Überhitzung, kleiner Schaltzeiten, hoher Ströme und Spannung usw. als wichtige Vertreter der Leistungsbaulemente. Im Folgenden werden klassische laterale Leistungsbaulemente besprochen, deren Aufbau eine doppelt diffundierten MOS-Struktur (DMOS) enthält. Hierzu gehören LDMOS-, RESURF- und Superjunction-MOSFETs. Die erzielbaren flächenspezifischen Widerstände der entsprechenden Bauelemente in Abhängigkeit von der Sperrspannung werden dabei mathematisch hergeleitet und miteinander verglichen.

3.3.1 LDMOS-Transistor

Der laterale DMOS-Transistor (LDMOS) wurde Anfang der 70er Jahre entwickelt [SVC709][THS71] und gehört heutzutage zu den typischen Leistungsbau-elementen bei der Smart-Power-Integration. Die grundsätzliche Bauform eines LDMOS ergibt sich aus Abb. 3.6. Auf einem Siliziumsubstrat befindet sich eine n-dotierte Driftzone, die so genannt wird, weil während des Durchlassbetriebs nur Driftströme durch sie fließen. Die Driftzone nimmt während des Sperrbetriebs hohe Spannungen auf. Der Kanal entsteht durch sukzessive Diffusion zweier unterschiedlicher, nacheinander eingebrachter Dotiersubstanzen. Im Fall des n-leitenden Kanals geschieht zunächst zur Bildung einer p-Basis das Einbringen von Akzeptoren mittels Diffusion bzw. Ionenimplantation durch das Source-Oxid-Fenster in die n-Driftzone oder auch mit dem Gatepolysilizium als Implantationsmaske. Anschließend wird die *drive-in* Diffusion von Akzeptoratomen in einem Prozess vorgenommen. Dann erfolgt für das Source-Gebiet eine starke Dotierung mit Donatoren, und zwar in dasselbe Fenster, und schließlich eine weitere Diffusion von Donatoratomen. Die Differenz in seitlicher Diffusion der Akzeptoren gegenüber den Donatoren unter der Gateelektrode bestimmt die Kanallänge, die typischerweise im Mikrometerbereich¹ liegt. Je kürzer der Kanal ist, umso niedriger wird der Kanalwiderstand. Mit kleinen Kanallängen ist deswegen ein hoher Strom erzielbar. Dieser auf eine doppelte Diffusion im Gate-Source-Bereich bezogene Ansatz heißt, wie oben bereits erwähnt, doppelt diffundierter MOS (DMOS). Zusätzlich zu der p-Basis ist ein schmales p⁺-Gebiet unter dem Sourcekontakt eindiffundiert. Es sorgt dafür, dass Löcher, die durch thermische Generation, Stoßionisation oder Injektion erzeugt werden, aus der p-Basis entfernt werden können, so dass der parasitäre Bipolartransistor aus n⁺-Source, p-Basis und n-Driftzone nur sehr schwer zur Injektion gebracht werden kann [BLA85].

Die Forderung nach einer hohen Spannungsfestigkeit kann sowohl durch eine schwache Driftzonendotierung als auch durch eine Verlängerung der Driftzone erfüllt werden. Allerdings besitzen LDMOS-Transistoren mit sehr langer schwachdotierter Driftzone im eingeschalteten Zustand einen großen Ohmschen Widerstand (Durchlasswiderstand $R_{DS(on)}$). Darüber hinaus ist eine Driftzonenverlängerung mit dem zusätzlichen Bedarf an der aktiven Querschnittschipfläche A verbunden und sorgt mithin für steigende Herstellungskosten von Transistoren. Das Produkt aus dem Durchlasswiderstand und der aktiven Chipfläche, d.h. $R_{DS(on)} \cdot A$, wird als flächenspezifischer Durchlasswiderstand bezeichnet, dessen Minimierung ein Technologiekriterium darstellt. Allgemein lässt sich die Abhängigkeit von $R_{DS(on)} \cdot A$ als Funktion der Abmessungen und der Dotierung der Driftzone durch die folgende Beziehung darstellen:

¹ Bei den heute verwendeten DMOS-Bau-elementen liegen die Kanallängen etwa zwischen 1 μm und 2 μm .

$$R_{DS(on)} \cdot A = \frac{L_D^2}{q\mu_n N_D d} \quad (3.1)$$

mit $A = L_D \cdot b$ als aktive Chipfläche. Hierbei sind b die Breite, L_D die effektive Driftlänge und d die Driftzonentiefe. Wie im Folgenden gezeigt wird, besteht zwischen dem Durchlasswiderstand und der Durchbruchspannung ein Zusammenhang; der bestmögliche Kompromiss zwischen den konträren Anforderungen „kleiner Durchlasswiderstand“ und „hohe Durchbruchspannung“ wird als „Silizium-Limit“ bezeichnet.

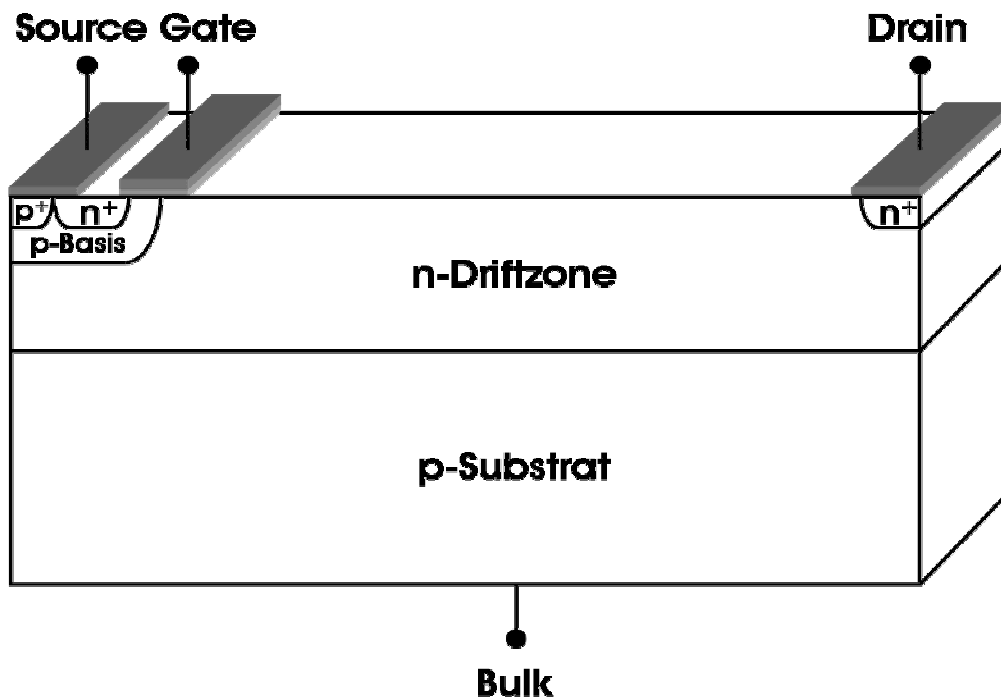


Abbildung 3.6: Bauform eines LDMOS-Transistors.

Konstruktionsbedingt besitzt der LDMOS eine laterale p-n-n⁺-Diodenstruktur und eine vertikale p-n-n⁺-Diodenstruktur. Ausgehend von der Tatsache, dass die Dotierung der Driftzone N_D weitaus höher liegt als diejenige des p-Substrats, jedoch um mehrere Zehnerpotenzen unter derjenigen des Sourcegebiets, erfolgt bei herkömmlichen Driftzonentiefen des LDMOS ein Avalanchedurchbruch grundsätzlich am lateralen p⁺-n⁺-Übergang in der Nähe der Siliziumoberfläche. Das heißt, die laterale p⁺-n⁺-Diode bestimmt das Durchbruchverhalten des LDMOS. Zur Ermittlung des Silizium-Limits des LDMOS lässt sich somit eine pin-Diodenstruktur heranziehen (i steht für *intrinsic*, d.h. sehr schwache bzw. keine Dotierung).

In der Abb. 3.7 sind drei mögliche Durchbruchfälle einer solchen pin-Diode, zusammen mit den zugehörigen Verteilungen der Feldstärke entlang der Driftstrecke, dargestellt. Die Pfeilspitze gibt dabei die Ausräumungsrichtung an. Im Falle von (a) endet die Raumladungszone bei der Durchbruchspannung U_{BR1} im Driftgebiet, im Falle von (b) dagegen erreicht die Raumladungszone bei der Durchbruchspannung U_{BR2} genau den nn^+ -Übergang. Für beide Fälle (a) und (b) hat der Feldverlauf eine dreieckige Form. Im Falle von (c) dehnt sich die Raumladungszone bei der Durchbruchspannung U_{BR3} über den nn^+ -Übergang hinaus aus. Es kommt ein *Punch-Through* vor, der Feldstärkeverlauf gestaltet sich nun trapezförmig. Da sich für eindimensionale Struktur exakt die Durchbruchspannung als Flächeninhalt unter der Feldstärkekurve ergibt, gilt $U_{BR3} > U_{BR2} > U_{BR1}$. Für eine möglichst hohe Sperrfestigkeit ist eindeutig eine Punch-Through-Bedingung anzustreben. Angenommen, dass ein optimaler Punch-Through bei vorgegebener Durchbruchspannung $U_{(BR)DSS}$ vorliegt, wenn die Raumladungszone so tief in das n^+ -Gebiet eindringt, dass die elektrische Feldstärke am nn^+ -Übergang den halben Wert der kritischen Feldstärke $E_{krit}/2$ annimmt (Abb. 3.8), so führt die Auswertung dieser Punch-Through-Bedingung zur optimalen Driftzonenlänge L_D :

$$L_D = \frac{4}{3} \cdot \frac{U_{(BR)DSS}}{E_{krit}} \quad (3.2)$$

Andererseits lässt sich unter einer Punch-Through-Bedingung der Spannungsverlauf aus dem Integral der Feldstärke über die gesamte Länge der Raumladungszone x herleiten [GRO67][SCH96].

$$U = E_{krit}x - \frac{qN_Dx^2}{2\epsilon_{Si}} \quad (3.3)$$

Setzt man $U = U_{(BR)DSS}$ und $x = L_D$ aus (3.2) in Gleichung (3.3) ein, so erhält man die optimale Dotierung N_D :

$$N_D = \frac{3}{8} \cdot \frac{\epsilon_{Si}E_{krit}^2}{qU_{(BR)DSS}} \quad (3.4)$$

Mit den erhaltenen optimalen Werten L_D und N_D ergibt sich das Silizium-Limit für den LDMOS:

$$R_{DS(on)} \cdot A = \frac{128}{27} \cdot \frac{U_{(BR)DSS}^3}{\mu_n \cdot \epsilon_{Si} \cdot E_{krit}^4 \cdot d} \quad (3.5)$$

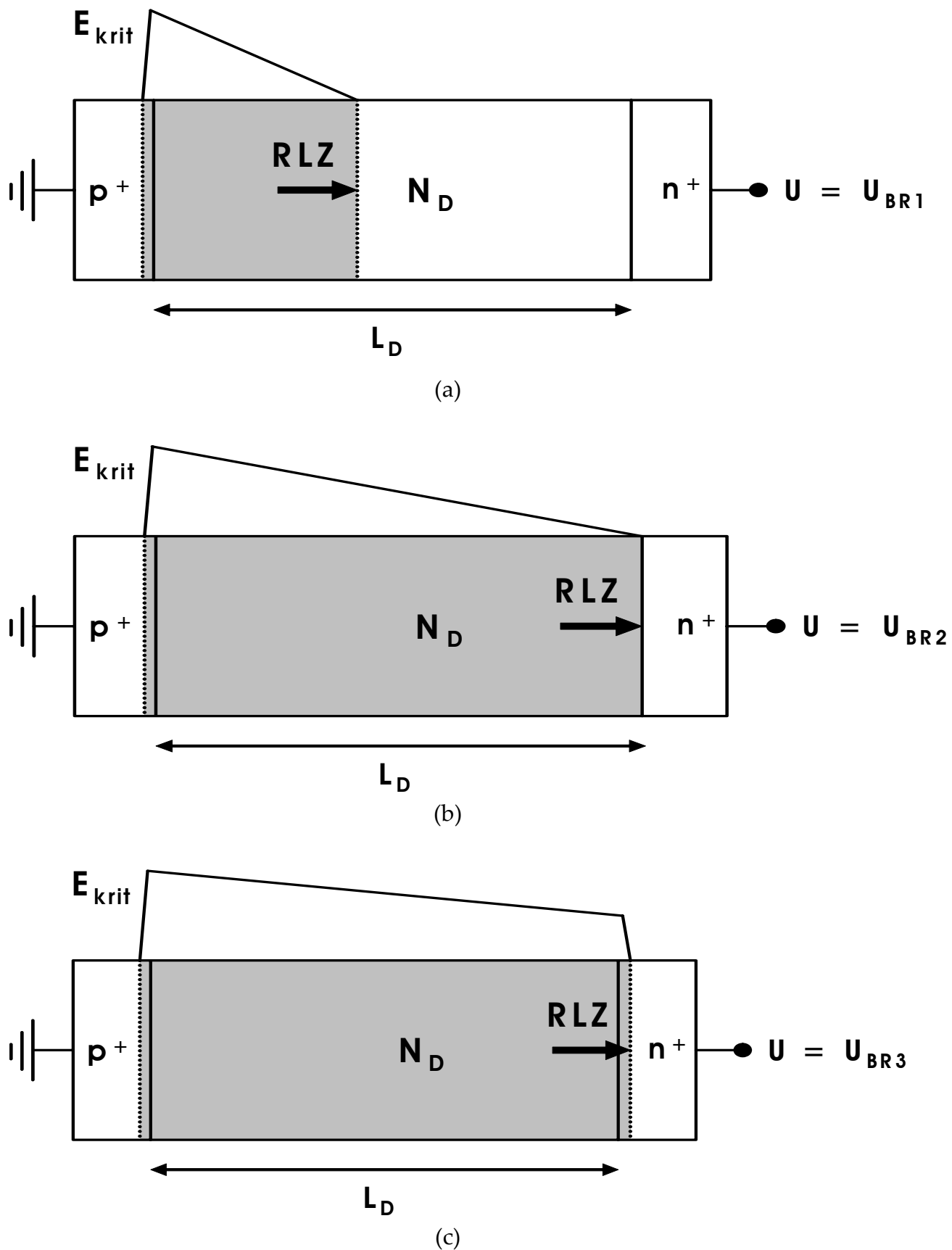


Abbildung 3.7: Drei Durchbruchfälle eines pin-Überganges; (a) Non-Punch-Through (b) Am Rand des Punch-Through (c) Punch-Through.

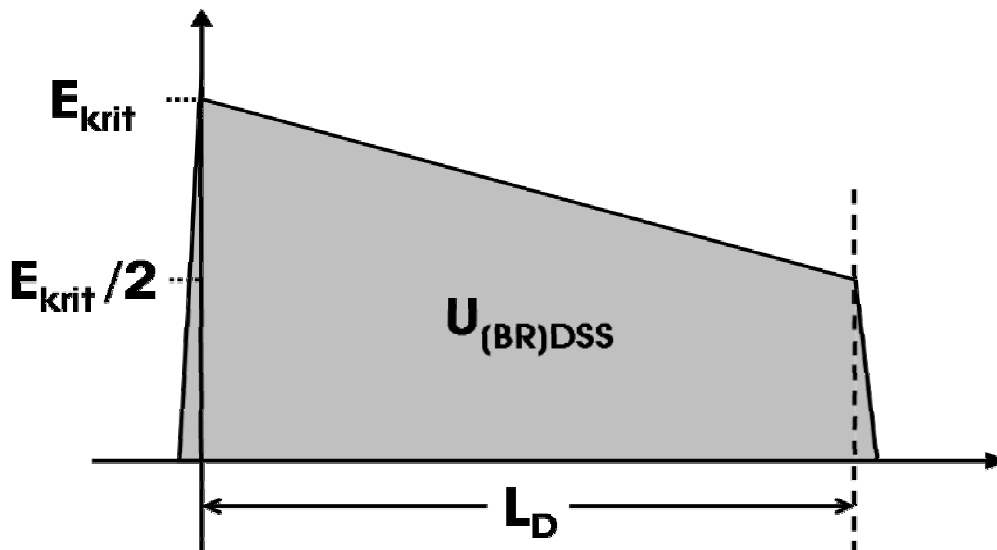


Abbildung 3.8: Elektrischer Feldverlauf unter einer optimalen Bedingung für Punch-Through.

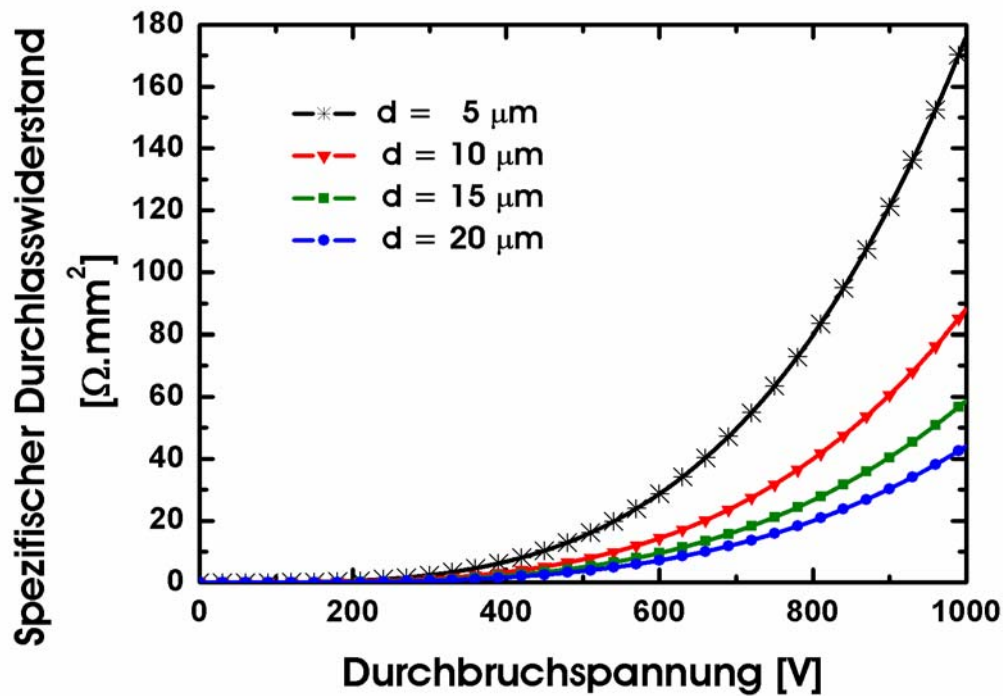


Abbildung 3.9: Silizium-Limits von LDMOS-Transistoren mit verschiedenen Driftzonentiefen.

Die Näherungsrechnung von Gl. (3.5) findet sich in Anhang A.1 und führt zu der Darstellung

$$\frac{R_{DS(on)} \cdot A}{\Omega \cdot \text{cm}^2} = 1,9 \cdot 10^{-14} \cdot \left(\frac{d}{\text{cm}}\right)^{-1} \cdot \left(\frac{U_{(BR)DSS}}{\text{V}}\right)^{32/9} \quad (3.6)$$

Der LDMOS besitzt also nicht nur eine, sondern eine Schar von Silizium-Limit-Relationen, je nachdem, wie tief die Driftzone (=Scharparameter) ausgelegt ist. Je tiefer die Driftzone ausgelegt ist, umso geringer wird der spezifische Durchlasswiderstand. In Abb. 3.9 sind die flächenspezifischen Durchlasswiderstände des LDMOS in Abhängigkeit von der Durchbruchspannung für verschiedene Werte der Driftzontentiefe d aufgetragen.

3.3.2 RESURF-LDMOS-Transistor

Von einer konventionellen LDMOS-Struktur unterscheidet sich der prinzipielle Aufbau eines RESURF-LDMOS nach Abb. 3.10 durch eine dünnere Driftzonen-schicht. Das Bauelement geht in seiner Konzeption auf das RESURF-Prinzip zurück, welches im Jahre 1979 in einer Veröffentlichung von *Appels* und *Vaes* [AV79] vorgestellt wurde. RESURF ist ein Akronym für *REduced SURface Field*. Die Technik ist heutzutage zum Design von lateralen integrierbaren Leistungstransistoren allgemein gebräuchlich. Wie im Name angedeutet, ermöglicht das RESURF-Prinzip eine Reduktion der elektrischen Feldstärke an der Siliziumoberfläche von lateralen Leistungstransistoren und damit eine Erhöhung der Blockierfähigkeit.

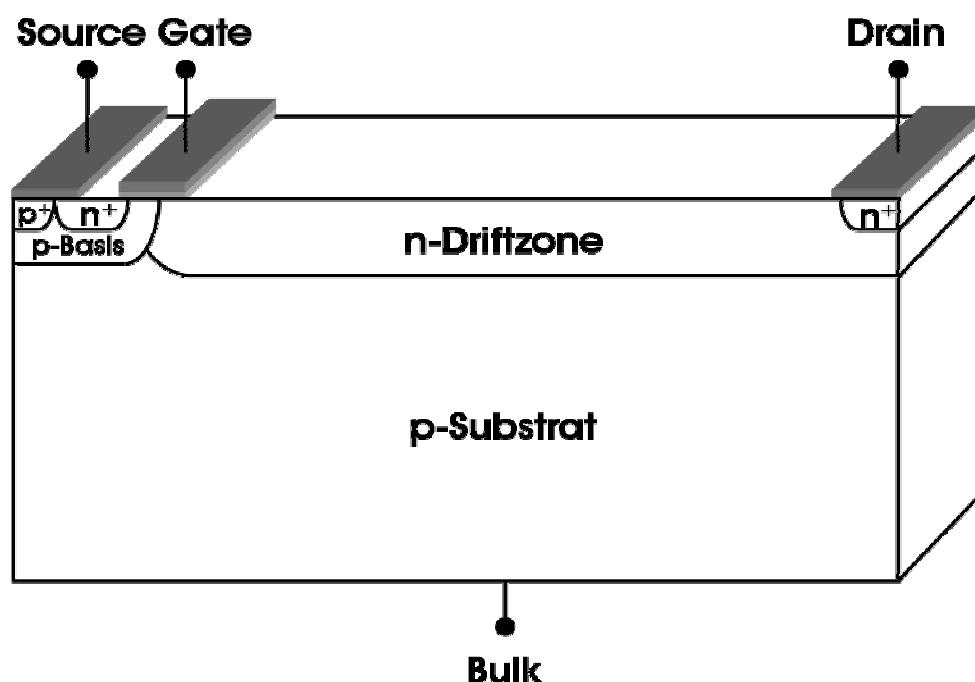


Abbildung 3.10: Struktur des RESURF-LDMOS-Transistors.

Zur Veranschaulichung der Wirkungsweise des RESURF-LDMOS [Lud00] dienen zwei Diodenstrukturen nach Abb. 3.11; die eine wird mit einer herkömmlichen Driftzonentiefe von d_1 versehen, die andere dagegen mit einer dünneren Driftzontiefe von d_2 , wobei d_2 viel kleiner ist als d_1 . Jede Diodenstruktur enthält sowohl einen lateralen p⁺n- als auch einen vertikalen pn-Übergang. Die Durchbruchspannung des lateralen p⁺n-Überganges variiert mit der Dotierung in der Driftzone N_D (in cm⁻³) gemäß [Bal96]

$$\frac{U_{BR1}}{V} = 5,34 \cdot 10^{13} \cdot \left(\frac{N_D}{\text{cm}^{-3}} \right)^{-3/4} \quad (3.7)$$

Für den vertikalen pn-Übergang gilt entsprechend

$$U_{BR2} = 5,34 \cdot 10^{13} \cdot \left(\frac{N_S \cdot N_D}{N_S + N_D} \right)^{-3/4} \text{ V} \quad (3.8)$$

mit der Substratdotierung N_S . Üblicherweise ist das Substratmaterial schwach dotiert, somit ist U_{BR2} offensichtlich größer als U_{BR1} . Die Diodenstruktur mit der dicken Driftzone d_1 bricht bereits bei U_{BR1} durch, weil die kritische Feldstärke zuerst am p⁺n-Übergang nahe der Oberfläche erreicht ist. Deswegen ist eine Unterdrückung des Oberflächendurchbruches gewünscht, damit das Bauelement höhere Sperrspannungen aushalten kann. Nach der RESURF-Konzeption lässt sich die Oberflächenfeldstärke durch Verwendung von Driftzonen mit einer Tiefe von d_2 vermindern. Dabei beeinflussen sich die vertikalen und lateralen Raumladungszonen gegenseitig. Dies führt zu einer Schwächung der Feldspitze an der Oberfläche. Infolgedessen kommt das Bauelement erst bei $U_{BR2} > U_{BR1}$ zum Durchbruch, dabei befindet sich die kritische Feldstärke nicht mehr an der Oberfläche, sondern am vertikalen pn-Übergang und der Feldstärkeverlauf an der Oberfläche entlang der Driftstrecke ist näherungsweise konstant.

Beim optimalen RESURF-Design verfügt die Driftzone über eine bestimmte Menge von Dosis $N_{\square}^{RESURF} = N_D \cdot d$, die einer maximalen Durchbruchspannung entspricht. Der Höchstwert von N_{\square}^{RESURF} kann angenähert werden zu [ACH80]:

$$N_{\square}^{RESURF} = N_D \cdot d = \frac{\varepsilon_{Si} \cdot E_{krit}}{\sqrt{2} \cdot q} \quad (3.9)$$

Typische Werte für N_{\square}^{RESURF} liegen bei ca. $1\text{-}2 \cdot 10^{12}$ cm⁻². Beim Durchbruch kann die Feldstärke entlang der Chipoberfläche als konstant angenommen und damit durch die kritische Feldstärke E_{krit} ersetzt werden. Wendet man demnach die Beziehung $U_{(BR)DSS} \approx E_{krit} \cdot L_D$ an, so ergibt sich mit den Gleichungen (3.1) und (3.9) das Silizium-Limit eines RESURF-LDMOS:

$$R_{DS(on)} \cdot A = \frac{\sqrt{2} \cdot U_{(BR)DSS}^2}{\mu_n \cdot \epsilon_{Si} \cdot E_{krit}^3} \tag{3.10}$$

Abgeschätzt wird dieses Ergebnis entsprechend dem Anhang A.2 mit folgender Gleichung

$$\frac{R_{DS(on)} \cdot A}{\Omega \cdot \text{cm}^2} = 2,46 \cdot 10^{-9} \cdot \left(\frac{d}{\text{cm}}\right)^{-1/12} \cdot \left(\frac{U_{(BR)DSS}}{\text{V}}\right)^{179/72} \tag{3.11}$$

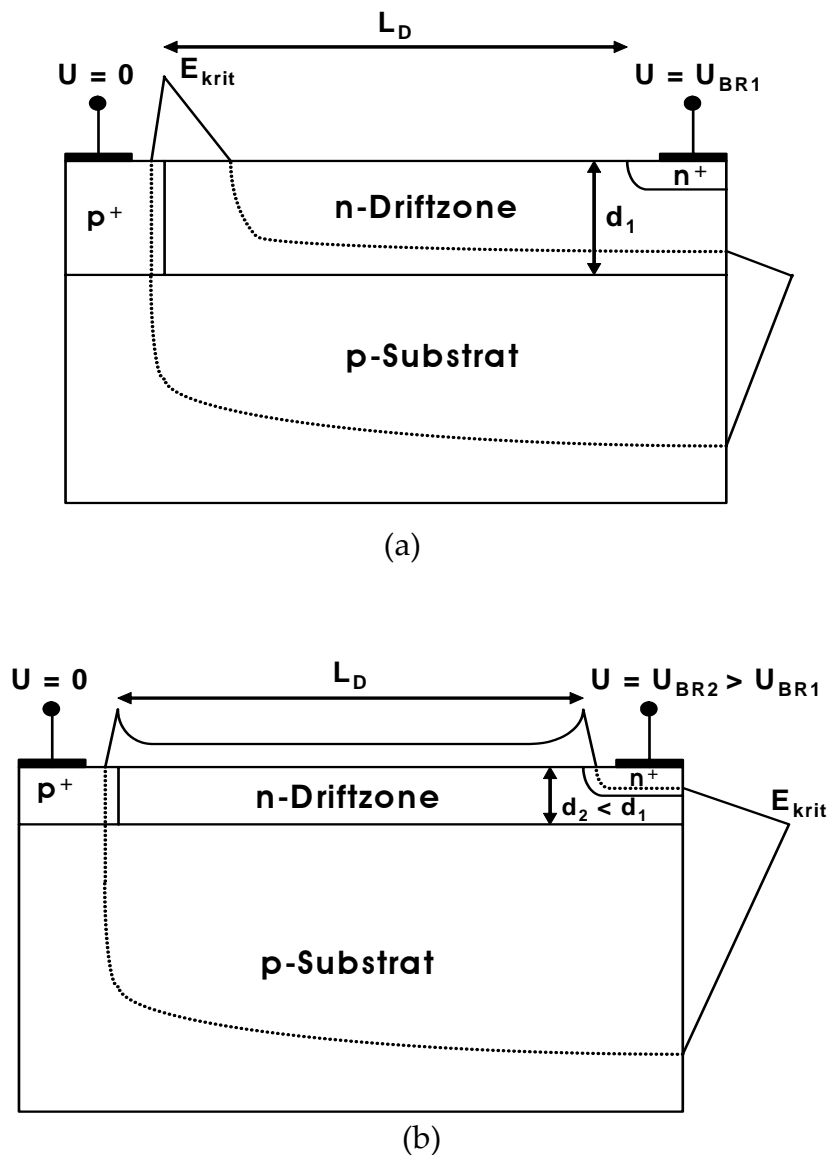


Abbildung 3.11: Raumladungszone und elektrische Feldverteilung für zwei RESURF-Diodenstrukturen (Gestrichelte Linien zeigen die Grenze der Raumladungszone an); (a) Tiefe n-Driftzone d_1 mit niedriger Durchbruchspannung U_{BR1} (b) Flache n-Driftzone d_2 mit hoher Durchbruchspannung U_{BR2} .

Das Silizium-Limit eines RESURF-LDMOS ist ziemlich schwach von der Driftzonentiefe des Bauelementes abhängig und überschreitet theoretisch das Silizium-Limit eines LDMOS-Transistors von gleicher Dicke d erst, wenn

$$\frac{d}{\text{cm}} > 2,65 \cdot 10^{-6} \cdot \left(\frac{U_{(BR)DSS}}{\text{V}} \right)^{7/6} \quad (3.12)$$

gilt, wie man mit Gleichung (3.6) und (3.11) nachprüfen kann. Abb. 3.12 stellt einen Vergleich von Silizium-Limits an zwischen RESURF-LDMOS und konventionellen LDMOS mit unterschiedlichen Dicken. Da typische Werte für die Driftzonentiefe eines RESURF-Bauelementes bei 3-5 μm liegen, zeichnet sich der RESURF-LDMOS gegenüber den konventionellen LDMOS durch einen geringeren Durchlasswiderstand bei vergleichbarem Sperrvermögen aus, besonders im Hochspannungsbereich. Mit den dickeren Driftzonen kann wie erwartet das Silizium-Limit von LDMOS dasjenige von RESURF-Bauelementen überwinden, jedoch ist die Herstellung dicker Schichten äußerst kostenintensiv und sehr aufwendig. Außerdem ist bei der Berechnung des Silizium-Limits von LDMOS nicht berücksichtigt, dass in Wirklichkeit der Strom nur aus einem linienförmigen Kanal kommt und sich erst in die Tiefe ausbreiten muss. Der laterale Stromfluss des LDMOS-Transistors erfolgt hauptsächlich nahe der Chipoberfläche, was zu einer schlechten Ausnutzung verfügbarer Siliziumvolumen führt.

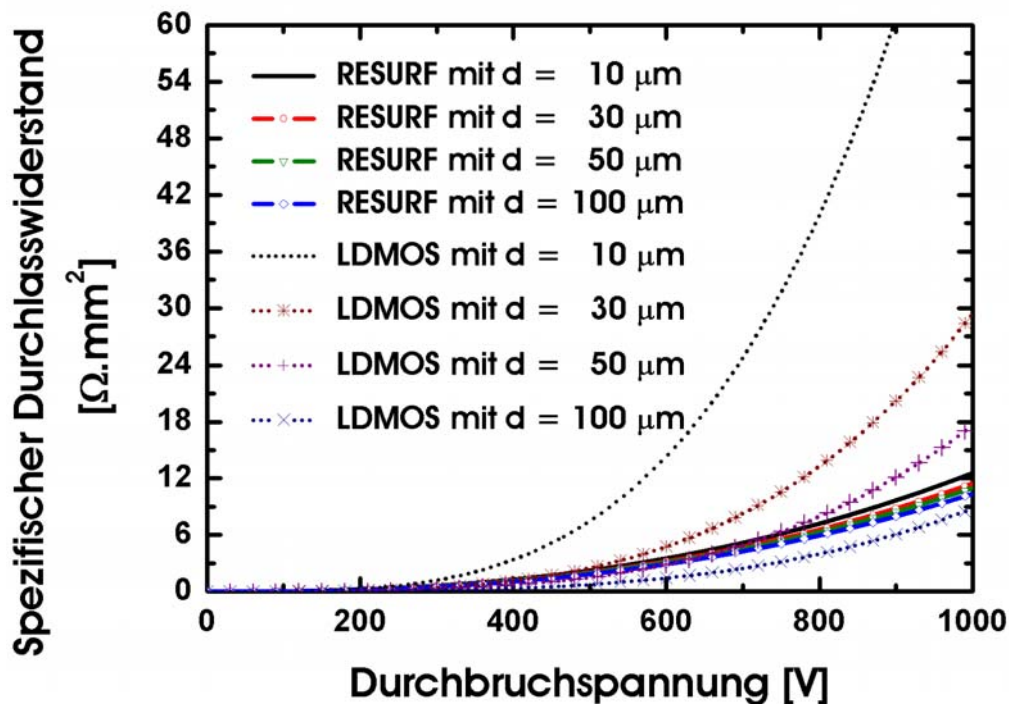


Abbildung 3.12: Silizium-Limit des RESURF im Vergleich zu LDMOS-Transistoren.

3.3.3 Superjunction-LDMOS-Transistor

Die in Abb. 3.13 skizzierte Transistorzelle eines Superjunction-LDMOS (SJ-LDMOS) [PUR03][AS02][UPM98] hat prinzipiell die ähnliche Bauform wie ein konventioneller RESURF-LDMOS, jedoch wird seine Driftzone durch abwechselnd geschichtete, stark dotierte p- und n-Streifen ersetzt und durch eine vergrabene Isolationsschicht aus Siliziumoxid (SiO_2) vom Substrat getrennt. Im Durchlasszustand führt allein der n-Streifen den Stromfluss. Die p-Streifen dienen dazu, im Sperrzustand das Ausräumen von frei beweglichen Ladungsträgern aus dem n-Streifen zu unterstützen. Für hohe Ströme sind viele Zellenstrukturen nebeneinander auf einem gemeinsamen Substrat anzuordnen. Um eine maximale Durchbruchspannung trotz hoher Dotierkonzentration der jeweiligen n- und p-Streifen zu erzielen, sollten sich die Ladungen in den beiden Streifen möglichst genau kompensieren, und zwar dermaßen, dass im Sperrfall die beiden Streifen bereits bei relativ geringen Sperrspannungen (typisch $< 50 \text{ V}$) vollständig an frei beweglichen Ladungsträgern verarmen. Das gewährleistet eine flache elektrische Feldverteilung über die gesamte Driftstrecke und damit die Unabhängigkeit der Durchbruchspannung von der Dotierkonzentration.

Da sich das Dotierniveau des n-Streifens unabhängig von der Durchbruchspannung hoch halten lässt, weist der SJ-LDMOS gegenüber dem konventionellen RESURF-LDMOS einen entsprechend niedrigeren Durchlasswiderstand auf. Diese ladungsausgleichende Wirkung der jeweiligen p- und n-Streifen ist unter dem Begriff Kompensationsprinzip [DMS98][Fuj97][Fuj98] bekannt.

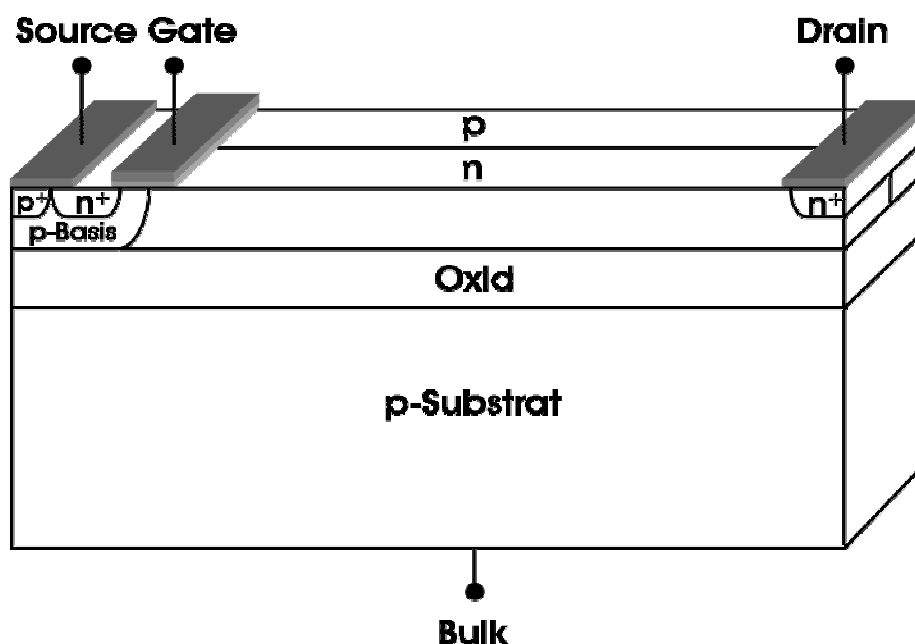


Abbildung 3.13: Prinzipielle Bauform und Zellenstruktur eines SJ-LDMOS-Transistors.

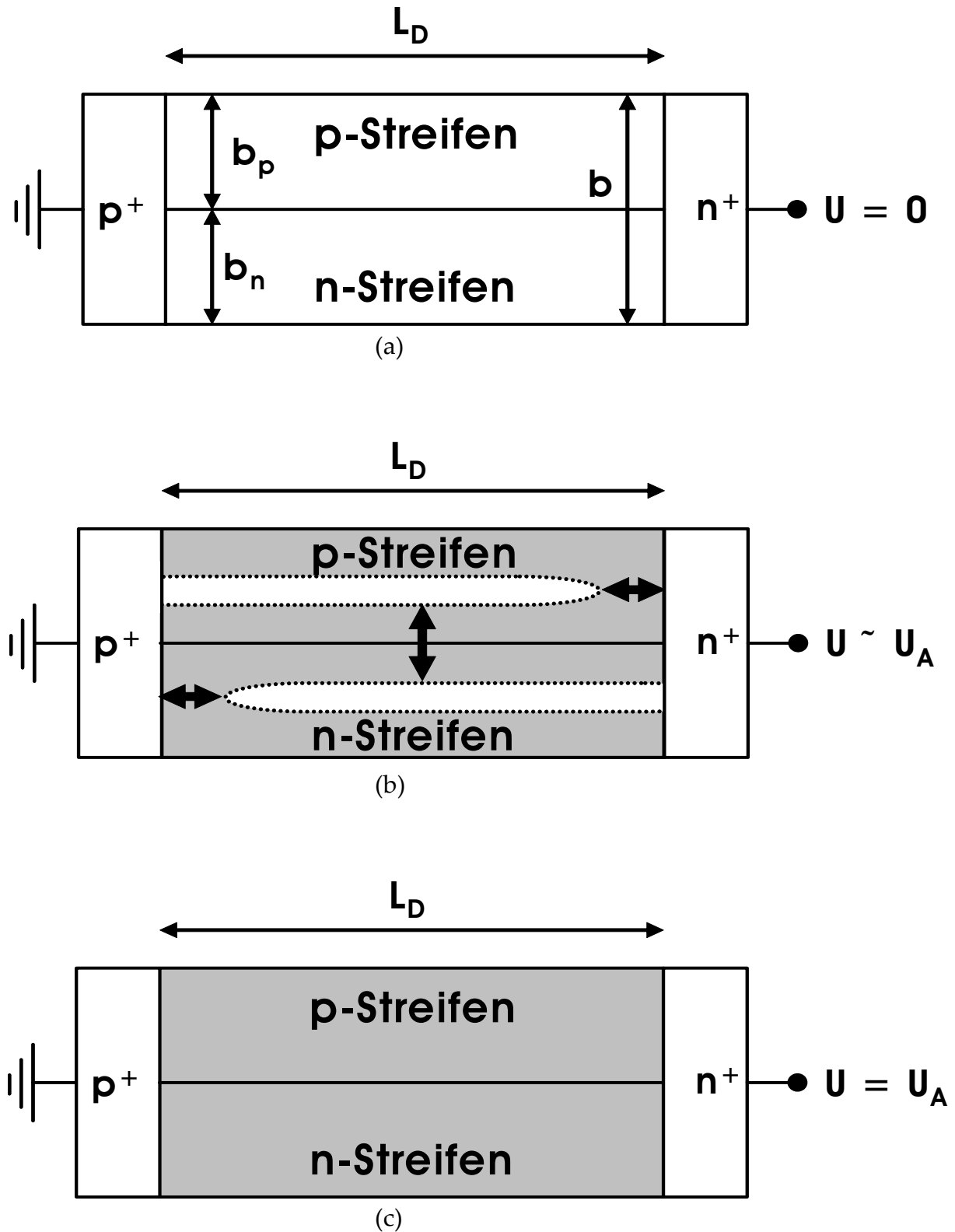


Abbildung 3.14: Superjunction-Struktur während des Sperrbetriebes (die Pfeilspitze deutet die Richtung wachsender Raumladungszonen an); (a) Im normalen stromlosen Zustand (b) Bei einer relativ kleinen Sperrspannung (c) Am Beginn vollständiger Ausräumung bei der Spannung U_A .

In Abb. 3.14 ist die Wirkungsweise der Streifenstruktur im Sperrbetrieb dargestellt. Die Pfeilspitze gibt dabei die Richtungen der fortschreitenden Raumladungszone an. Um den Einfluss des lateralen pn-Überganges der beiden Streifen auf die p⁺n- und n⁺p-Übergänge zu verstärken, müssen die Breiten der jeweiligen n- und p-Streifen, die gleich groß sind, im Vergleich zu ihrer Länge äußerst schmal konzipiert werden, d.h. $b_n = b_p = b/2 \ll L_D$. Daraus folgt, dass sich beim Anlegen einer niedrigen Sperrspannung die Raumladungszone über die Breite der Streifenstruktur so rasch ausdehnt, dass nur wenige bewegliche Ladungsträger von den vertikalen p⁺n- und n⁺p-Übergängen abgezogen werden, zugleich wird eine laterale Feldkomponente am pn-Übergang hervorgerufen. Dieser Verarmungsvorgang unterdrückt die maximale Feldstärke an den vertikalen pn-Übergängen und damit einen vorzeitigen Durchbruch. Bei der Spannung U_A , die weit unter der Durchbruchspannung liegt, wird die Struktur bereits vollständig ausgeräumt, d.h. die Raumladungszone erstreckt sich über die gesamte Streifenstruktur. Mit weiter zunehmender Spannung $U > U_A$ wird das vertikale Feld am p⁺n- und n⁺p-Übergang durch eine zusätzliche vertikale Feldkomponente verstärkt, die nicht mehr von der Dotierung in der Driftzone N_D , sondern lediglich von der Driftzonlänge L_D abhängt. Dadurch wird die gegenseitige Abhängigkeit zwischen Sperrspannung und Durchlasswiderstand aufgehoben.

Das gesamte elektrische Feld im Bauelement ergibt sich nun aus der Überlagerung der lateralen und vertikalen Feldkomponente. Erst wenn die Durchbruchspannung $U_{(BR)DSS}$ erreicht ist, nimmt die Feldspitze an einem der vertikalen Übergänge ihren kritischen Wert E_{krit} an. Näherungsweise gilt $U_{(BR)DSS} \approx E_{krit} \cdot L_D$.

Um das Silizium-Limit des SJ-LDMOS-Transistors zu ermitteln, benötigt man Kenntnis von der optimalen Dotierungskonzentration in der Driftzone N_D . Dazu greift man auf die Kompensationsbedingung zurück, die besagt, dass eine vollständige Ausräumung der gesamten Streifenstruktur durch den lateralen pn-Übergang erfolgen muss, bevor die kritische Feldstärke an den n⁺p- bzw. p⁺n-Übergängen erreicht ist. Nach Ng *et al.* [NUA00] lautet die Bedingung für die ausgleichende Ladungswirkung

$$b_n N_D = b_p N_A < \frac{\varepsilon_{Si} \cdot E_{krit}}{\sqrt{2} \cdot q} \quad (3.13)$$

falls $b_n = b_p = b/2$ gilt. Daraus folgt die maximale Dotierungskonzentration

$$N_D = \frac{\sqrt{2} \cdot \varepsilon_{Si} \cdot E_{krit}}{q \cdot b} \quad (3.14)$$

Bei gleicher Chipfläche $A = b \cdot L_D$ wie der konventionelle LDMOS bzw. RESURF-LDMOS verdoppelt sich für den SJ-LDMOS-Transistor der spezifische Durchlasswiderstand aus Gl. (3.1) wegen $b_n = b_p = b/2$ zu

$$R_{DS(on)} \cdot A = \frac{L_D \cdot (L_D \cdot b)}{q \cdot \mu_n \cdot N_D \cdot b_n \cdot d} = \frac{2L_D^2}{q\mu_n N_D d} \quad (3.15)$$

Setzt man N_D aus Gl. (3.14) in das Ergebnis (3.15) ein, so lautet unter der Annahme, dass $U_{(BR)DSS} \approx E_{krit} \cdot L_D$ ist, die Gleichung für das Silizium-Limit des SJ-LDMOS-Transistors:

$$R_{DS(on)} \cdot A = \frac{2}{\sqrt{2}} \cdot \frac{b \cdot U_{(BR)DSS}^2}{\mu_n \cdot \epsilon_{Si} \cdot E_{krit}^3 \cdot d} \quad (3.16)$$

bzw. in quantitativer Näherung nach Anhang A.3

$$\frac{R_{DS(on)} \cdot A}{\Omega \cdot \text{cm}^2} = 2,6 \cdot 10^{-9} \cdot \left(\frac{b}{\text{cm}}\right)^{11/12} \cdot \left(\frac{d}{\text{cm}}\right)^{-1} \cdot \left(\frac{U_{(BR)DSS}}{\text{V}}\right)^{179/72} \quad (3.17)$$

Das bedeutet, dass für den SJ-LDMOS ein niedriges Silizium-Limit erzielt werden kann, wenn die Streifen ausreichend schmal sind, weil die Verschmälerung der Streifen laut Gl. (3.14) mit einer Anhebung der Driftzonendotierung N_D verbunden ist. Der Vergleich des Ergebnisses (3.17) mit Gl. (3.11) führt zu der Schlussfolgerung, dass die Streifenbreiten von

$$b_n = b_p = \frac{b}{2} < 0,47d \quad (3.18)$$

zur Überwindung des Silizium-Limits von RESURF-Bauelementen mit gleicher Driftzonentiefe wie SJ-Bauelemente erforderlich sind. Abb. 3.15 vergleicht graphisch die durch die drei geschilderten Bauelementekonzepte erreichbaren Silizium-Limits bei gleicher Driftzonentiefe ($d = 15 \mu\text{m}$). Man erwartet, dass SJ-LDMOS-Transistoren mit äußerst schmalen Streifen ($b_n = b_p \ll 7 \mu\text{m}$ für $d = 15 \mu\text{m}$) ein gegen Null gehendes Silizium-Limit besitzen und deshalb vielversprechend sind. Dennoch lässt sich in der Praxis die Streifenstruktur nicht beliebig verschmälern, denn irgendwann wird dabei die Sperrschichtbreite erreicht. Dabei wirkt die Streifenstruktur wie ein quasi-intrinsischer Halbleiter und kann deshalb keine Sperrspannungen aufnehmen, zudem wird der Stromkanal für die Elektronen im Durchlassbetrieb schon bei sehr niedrigen Drain-Source-Spannungen abgeschnürt.

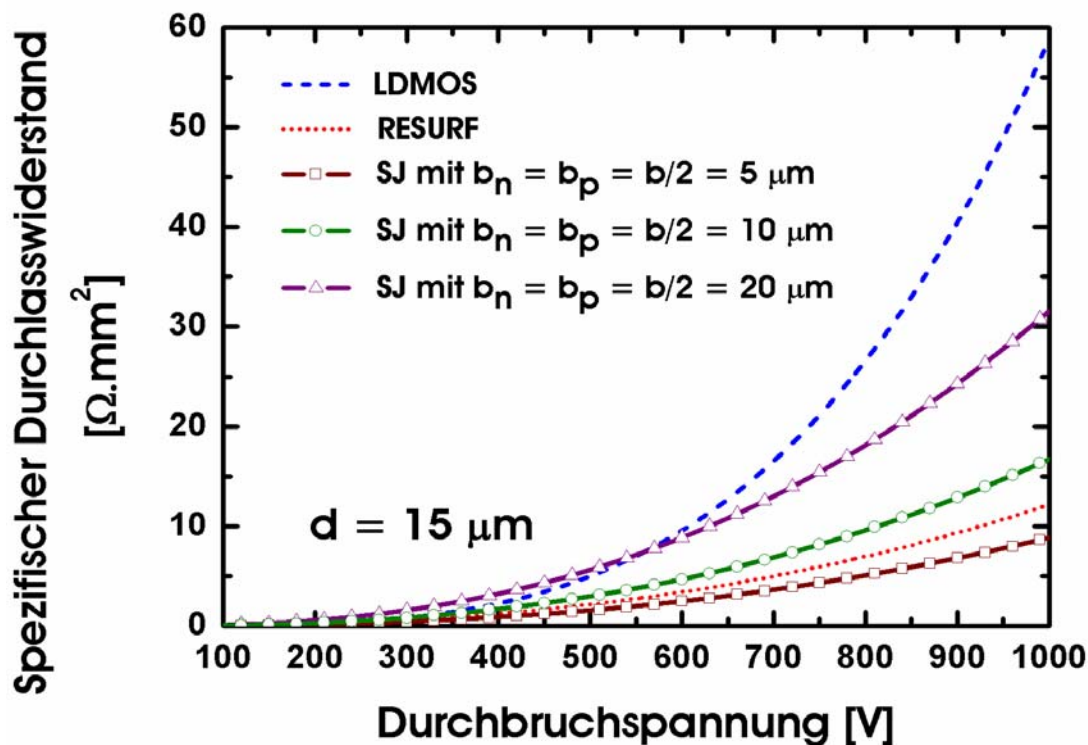


Abbildung 3.15: Trade-Off der verschiedenartigen Lateraltransistoren mit $d = 15 \mu\text{m}$ im Vergleich.

3.4 Das CoolMOS™-Konzept

Die Umsetzung des Kompensationsprinzips in ein kommerzielles Produkt erfolgte erstmals mit einer neuartigen, von der Firma Infineon Technologies entwickelten MOS-Technologie namens CoolMOS™ [LDK99][LDM98]. Der Aufbau eines solchen vertikalen Bauelements ergibt sich aus Abb. 3.16. Der CoolMOS™ ähnelt dem konventionellen vertikalen Leistungs-MOSFET, jedoch ermöglicht die CoolMOS™-Struktur durch Einbringen von p-Streifen in die n-Driftzone eine Senkung des Durchlasswiderstandes um den Faktor fünf bis zehn, verglichen mit konventionellen Leistungs-MOSFETs, bei unveränderter Chipfläche [DMS98]. Diese Besonderheit ist die Folge der räumlichen Trennung der p- und n-Gebiete innerhalb einer Transistorzelle und der Kompensation der Akzeptoren und Donatoren. Im eingeschalteten Zustand stellt das hoch dotierte n-Gebiet viele freie Elektronen für den Stromfluss zur Verfügung, im Sperrfall werden die p- und n-Streifen bei relativ geringer Sperrspannung vollständig ausgeräumt und die Streifenstruktur verhält sich wie ein intrinsischen Halbleiter mit flacher Feldstärkeverteilung. Dadurch ergibt sich für einen CoolMOS™ ein lineares Silizium-Limit ($R_{DS(on)} \cdot A \sim U_{(BR)DSS}$). Werden mehrere einzelne Transistorzellen auf einer gemeinsamen Drain parallelgeschaltet, so kann ein CoolMOS™ höhere Ströme führen.

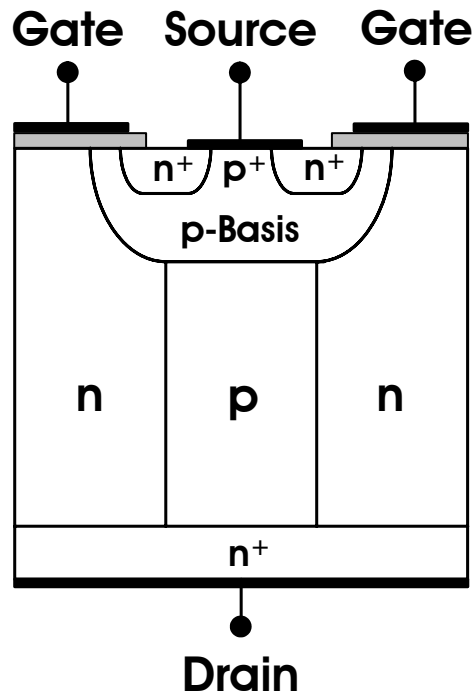


Abbildung 3.16: Zwei parallel geschaltete Elemente eines CoolMOSTM-Transistors von der Firma Infineon Technologies.

Der Schlüssel zur Realisierung des CoolMOSTM-Konzepts liegt in der Herstellung der Streifenstruktur, wie schematisch in Abb. 3.17 gezeigt ist. Das Ausgangsmaterial für die Prozessschritte ist ein stark dotiertes n⁺-Substrat, auf dem eine erste dünne n-Halbleiterschicht durch Epitaxie abgeschieden ist. Dann wird eine bestimmte Menge von Phosphoratomen durch ganzflächige Ionenimplantation in die epitaktische Schicht eingebracht. Mit einer Beschleunigungsenergie von etwa 320 keV beträgt die Eindringtiefe der Phosphorionen etwa 0,4 μm . Im Anschluss daran erfolgt die Strukturierung der p-Säulen über einen Photolack, der als Maske für eine Bor-Implantation dient. Hierbei werden die implantierten Borionen auf eine Energie von 170 keV beschleunigt, damit sie auch 0,4 μm tief in die Epitaxieschicht eindringen. Danach wird die Prozessfolge aus Epitaxie und anschließender doppelter Implantation von Bor und Phosphor mehrfach wiederholt. Die übereinander angeordneten Epitaxieschichten legen die Driftzonentiefe fest. Es schließt sich dann eine thermische Diffusion der implantierten Atome an. Durch vertikales Zusammendiffundieren von Boratomen stellt sich ein p-Streifen ein, dessen laterale Ausbreitung durch die laterale Ausdiffusion von Phosphoratomen begrenzt wird.

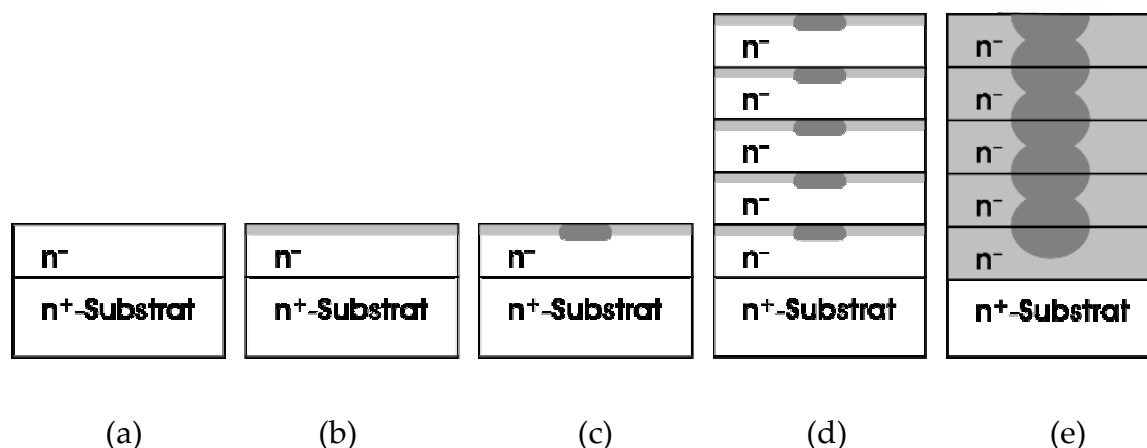


Abbildung 3.17: Technologieschritte zur Erzeugung der CoolMOS™-Streifenstruktur;

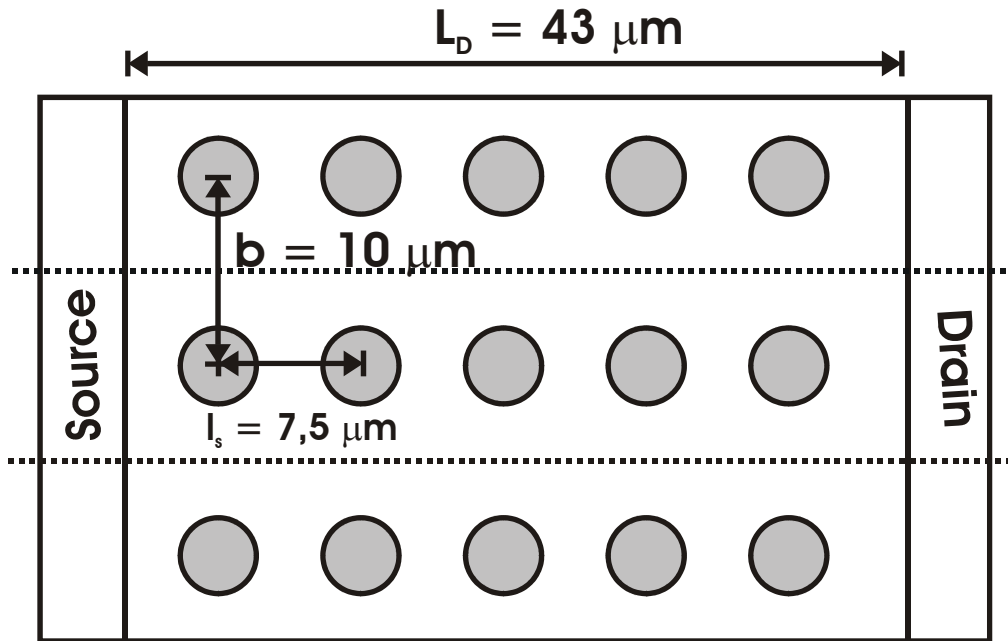
- (a) Abscheidung einer dünnen n-Epitaxieschicht auf einem n⁺-Substrat.
- (b) Ganzflächige Implantation von Donatormaterial in die Epitaxieschicht.
- (c) Maskierte Implantation von Akzeptormaterial in die Epitaxieschicht.
- (d) Mehrfache Abfolge von Epitaxie und Implantation.
- (e) Thermische Diffusion und weitere Verarbeitung (Transistorzelle, Kontaktierung etc.).

3.5 Neuartiger Superjunction-LDMOS-Transistor

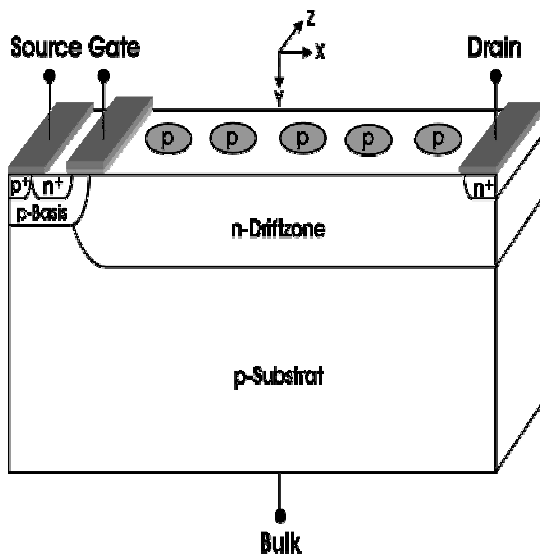
Bisher wird die Kompensationstechnik erfolgreich auf kommerzielle Vertikaltransistoren wie zum Beispiel CoolMOS™ [LDK99] und MDmesh™ [SFM00] angewandt, die Adaption auf Lateraltransistoren beschränkt sich hauptsächlich auf eine in SOI-Technik (*Silicon on Insulator*) herstellbare SJ-Struktur. Ein wichtiger Vorteil der SOI-Technik ist die größere Packungsdichte, weil sich die einzelnen Bauelemente besser und platzsparender durch die dielektrische Isolation trennen lassen als durch die pn-Isolation. Allerdings erfordert die SOI-Technologie gegenüber herkömmlichem Silizium höheren Kostenaufwand für das SOI-Material. Die Isolierschicht bringt zudem im Vergleich zum herkömmlichen Silizium einen höheren thermischen Widerstand mit sich.

3.5.1 SJ-LDMOS-Transistor mit regelmäßiger Säulenstruktur

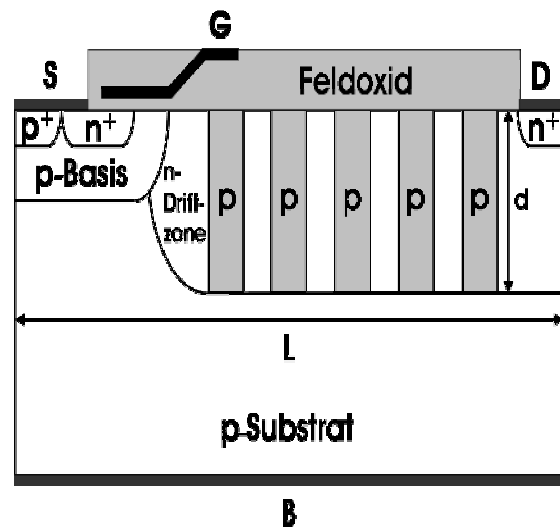
Angesichts der genannten Einschränkungen bei SOI-Material ist es zweckmäßig, laterale Superjunction-Bauelemente auf Basis der technisch realisierbaren CoolMOS™-Technologie zusammen mit einer pn-Sperrschichtisolation auszuführen. Mit Blick darauf wird im Rahmen dieser Arbeit ein neuartiger Superjunction-Transistor vorgeschlagen, dessen optimaler Aufbau in Abb. 3.18 schematisch angegeben ist.



(a)



(b)



(c)

Abbildung 3.18: Aufbau und Struktur des SJ-LDMOS-Transistors mit gleichförmigen eingebetteten p-Säulen (Gleichförmiger SJ-LDMOS-Transistor). Abmessungen: $L = 50 \mu\text{m}$, $L_D = 43 \mu\text{m}$, $d = 15 \mu\text{m}$ und $b = 10 \mu\text{m}$ (optimale Zellengeometrie);

- (a) Geometrische Anordnung von parallel liegenden Transistorzellen in der Aufsicht.
- (b) 3D-Darstellung mit Angaben zum verwendeten Koordinatensystem.
- (c) Querschnitt aus der Zellstruktur mit Gatefeldplatte.

Erzielt werden soll eine Sperrfähigkeit von 600 Volt. Diese Spannungsklasse ist insbesondere für Anwendungen in Schaltnetzteilen gefordert. Das Bauelement beruht im Prinzip auf konventionellen Bulk-LDMOS-Transistoren mit 80 nm Gateoxid-dicke und etwa 1 μm Kanallänge. Das Substrat ist stets an den Sourcekontakt angeschlossen. Das besondere Konstruktionsmerkmal liegt in der Kompensationsstruktur, die durch Einlagerung von fünf p-dotierten Säulen in die Driftzone entsteht. Die Säulen reichen bis in ein schwach p-dotiertes Substrat, das wiederum leitend mit der tiefen p-Basis verbunden ist. Die Verbindung zwischen der p-Basis und dem p-Substrat entsteht durch die Implantierung einer p-Dotierung im Sourcegebiet bei gleichzeitiger maskierter p-Implantation für die Säulenherstellung in der Driftzone. Die Säulen sind alle gleich groß und werden im gleichen Abstand von $l_s = 7,5 \mu\text{m}$ aneinander gereiht. Deshalb wird diese Kompensationsstruktur als gleichförmige SJ bezeichnet. Zur Verringerung der elektrischen Feldstärke im Krümmungsbereich der p-Basis wird eine Feldplatte über dem Randgebiet des Kanal-Driftzonen-Übergangs angebracht, und zwar durch Erweiterung der Gateelektrode auf eine Oxidschicht über die Driftzone. Die Gatefeldplatte ist in einem Neigungswinkel von etwa 30° angeordnet.

Für die Säulenherstellung ist der CoolMOSTM-Prozess verwendbar. Dabei besteht der simulierte Prozessablauf aus der fünffachen Epitaxie einer 3 μm dicken Schicht mit dazwischenliegenden ganzflächigen und maskierten Implantationen, wobei die maskierte Implantation über eine kreisförmige Öffnung mit dem Radius $R_m = 2 \mu\text{m}$ in einer Lackmaske erfolgt. Die vertikalen Implantationsprofile werden durch Gaußsche Fehlerverteilungskurven angenähert [RM91].

$$N(y) = N_{\max} \cdot \exp\left(-\frac{1}{2} \cdot \left[\frac{y - R_p}{\Delta R_p}\right]^2\right) \quad (3.19)$$

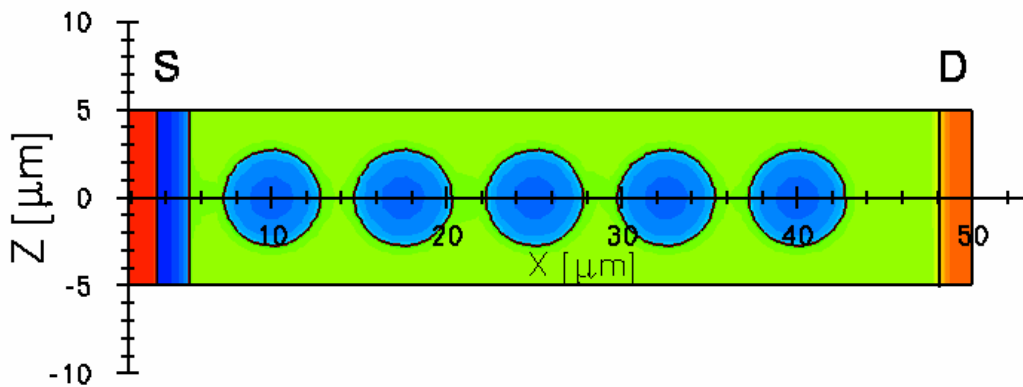
Hierin ist N_{\max} die Maximalkonzentration in cm^{-3} , R_p die Reichweite der Ionen in μm , ΔR_p die Standardabweichung in μm . Für den radialen Dotierungsverlauf genügt die Beschreibung durch komplementäre Fehlerfunktion

$$N(r) = \frac{N_{\max}}{2} \cdot \left[\operatorname{erfc}\left(\frac{r - R_m}{L_{\text{char}}}\right) - \operatorname{erfc}\left(\frac{r + R_m}{L_{\text{char}}}\right) \right] \quad (3.20)$$

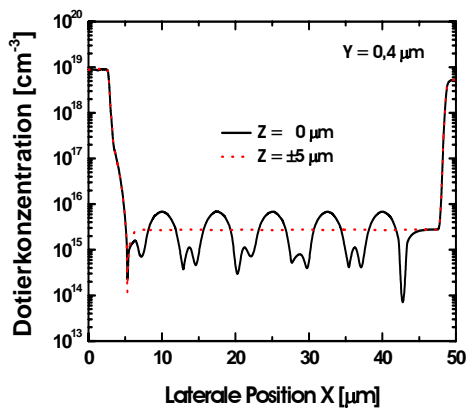
mit L_{char} als charakteristische Länge und R_m als Öffnungsradius der Lackmaske (beide in μm). Tabelle 3.1 gibt eine Übersicht über die optimalen Dotierungskonzentrationen für das gleichförmige SJ-Design. Der gleichförmige SJ-LDMOS-Transistor weist Nettodotierungsprofile entsprechend Abb. 3.19 auf.

Tabelle 3.1: Optimale Dotierungskonzentrationen für gleichförmige SJ-Struktur.

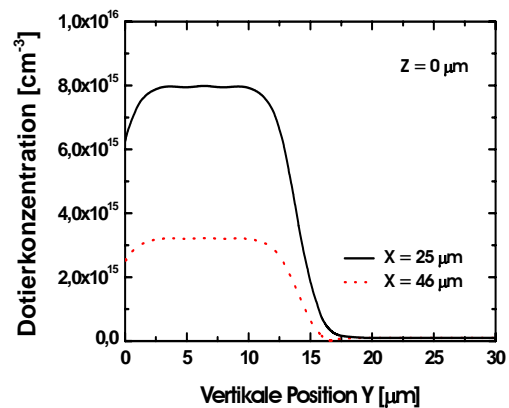
Schicht	n-Driftzone	p-Säule	p-Substrat	p-Basis
Dotierniveau [cm ⁻³]	$2,3 \cdot 10^{15}$	$8,6 \cdot 10^{15}$	$1 \cdot 10^{14}$	$\approx 1 \cdot 10^{17}$



(a)



(b)



(c)

Abbildung 3.19: Nettodotierungsprofil ($|N_D - N_A|$) des gleichförmigen SJ-LDMOS-Transistors; (a) Koordinatenangabe (b) Entlang der lateralen Schnittlinien $Z = 0 \mu\text{m}$ und $Z = \pm 5 \mu\text{m}$ bei $Y = 0,4 \mu\text{m}$ (c) Entlang der vertikalen Schnittlinien $X = 25 \mu\text{m}$ und $X = 46 \mu\text{m}$ bei $Z = 0 \mu\text{m}$.

Die Herausforderung bei der Anwendung des Kompensationsprinzips auf laterale Bulk-Leistungsbaulemente liegt in der Unterdrückung des sogenannten substratgestützten Ausräumungseffekts [NHS04], dessen Erscheinung beträchtlichen Einfluss auf die Durchbruchspannung des Bauelementes hat. Die folgende Abbildung (Abb. 3.20) veranschaulicht anhand eines Bulk-SJ-LDMOS, wie dieser Substrateffekt zum Tragen kommt: Wenn die p- und n-Streifen vollständig ausgeräumt sind, führt eine weitere Erhöhung der Sperrspannung zu einer tieferen Ausdehnung der Raumladungszone ins Substrat und in die eventuell noch verbleibenden Driftstrecke; vertikale (E_y) und laterale (E_x) Feldstärke steigen und überlagern sich. Zum Erreichen maximaler Durchbruchspannung bei unverändertem Durchlasswiderstand soll der Anstieg von lateralen (ΔE_x) und vertikalen (ΔE_y) Feldkomponenten räumlich gleichmäßig erfolgen. Das trifft für die laterale Feldkomponente zu, die entlang der Driftzonenlänge L_D konstant bleibt, da $\Delta E_x \approx \Delta U_{DS}/L_D$ gilt. Die Änderung der vertikalen Feldkomponente ΔE_y jedoch ist aufgrund des erwähnten keilförmigen Raumladungsverlaufs auf der Drainseite höher als auf der Sourceseite. Das Vorhandensein des Substrats macht damit das Kompensationsprinzip weniger wirksam. Dieser substratgestützte Ausräumungseffekt soll daher möglichst minimiert werden.

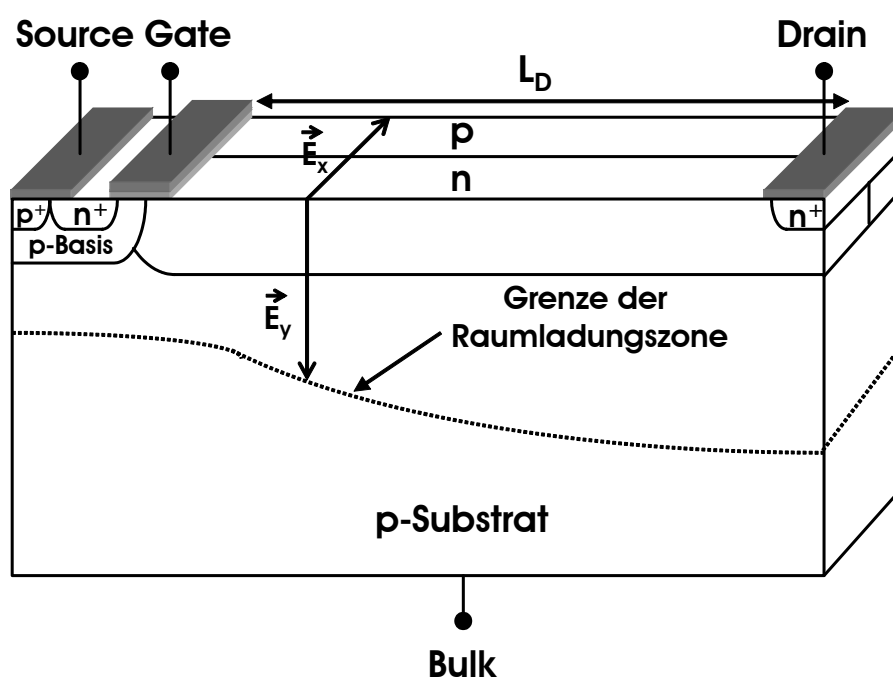


Abbildung 3.20: Substratgestützter Ausräumungseffekt in einem Bulk-SJ-LDMOS.

3.5.2 SJ-LDMOS-Transistor mit gradierter Säulenstruktur

Zur Milderung des substratgestützten Ausräumungseffekts muss die Kompensationsstruktur so konstruiert werden, dass sie dem Effekt entgegenwirkt. Denkt man an die zunehmende Eindringtiefe der Raumladungszone im Substrat mit Annäherung an Drain, so dürfen die Säulen nicht gleichförmig sein, sondern müssen so designet werden, dass ihre Größe proportional mit dem Abstand zum Drain zunimmt. Dadurch bleibt während des Sperrbetriebs in Richtung von Source nach Drain immer mehr positive Donatorladung in der Driftzone übrig, die der negativen Akzeptorladung im p-Substrat entgegenwirkt, das heißt, dem substratgestützten Ausräumungseffekt wird entgegengewirkt. Mit diesem Konzept entsteht eine alternative Kompensationsstruktur entsprechend Abb. 3.21, die man als ungleichförmige SJ bezeichnet. Im Gegensatz zur gleichförmigen SJ werden die Säulen des ungleichförmigen SJ-LDMOS-Transistors ihrer Größe nach angeordnet, wobei die dickste neben der p-Basis liegt. Dabei kommen Öffnungen mit fünf verschiedenen Radien von 1,5 bis 2,5 μm zum Einsatz. Das bedeutet, im Vergleich zur mittleren Säule (der dritten Säule) ist die erste Säule nahe der p-Basis um etwa +50% höher dotiert, die fünfte Säule nahe der Drain hingegen um etwa -50% niedriger. Der Abstand l_s zwischen den Säulenachsen beträgt 8 μm . Zu Vergleichszwecken ist der ungleichförmige SJ-LDMOS-Transistor auch für die Spannungsklasse von 600V gedacht. Außerdem weist er gleiche Abmessungen auf wie die gleichförmige Variante. Da sich nun das Flächenverhältnis von Säulen zu gesamter Driftzone mehr oder weniger verändert, muss die Säulendotierung neu eingestellt werden, um die Flächenladungsgleichheit und damit eine maximale Durchbruchspannung wiederzuerlangen. Optimale Dotierungskonzentrationen für ungleichförmige SJ-Struktur sind in Tabelle 3.2 angegeben. Die entsprechenden Dotierverläufe sind in Abb. 3.22 abgebildet.

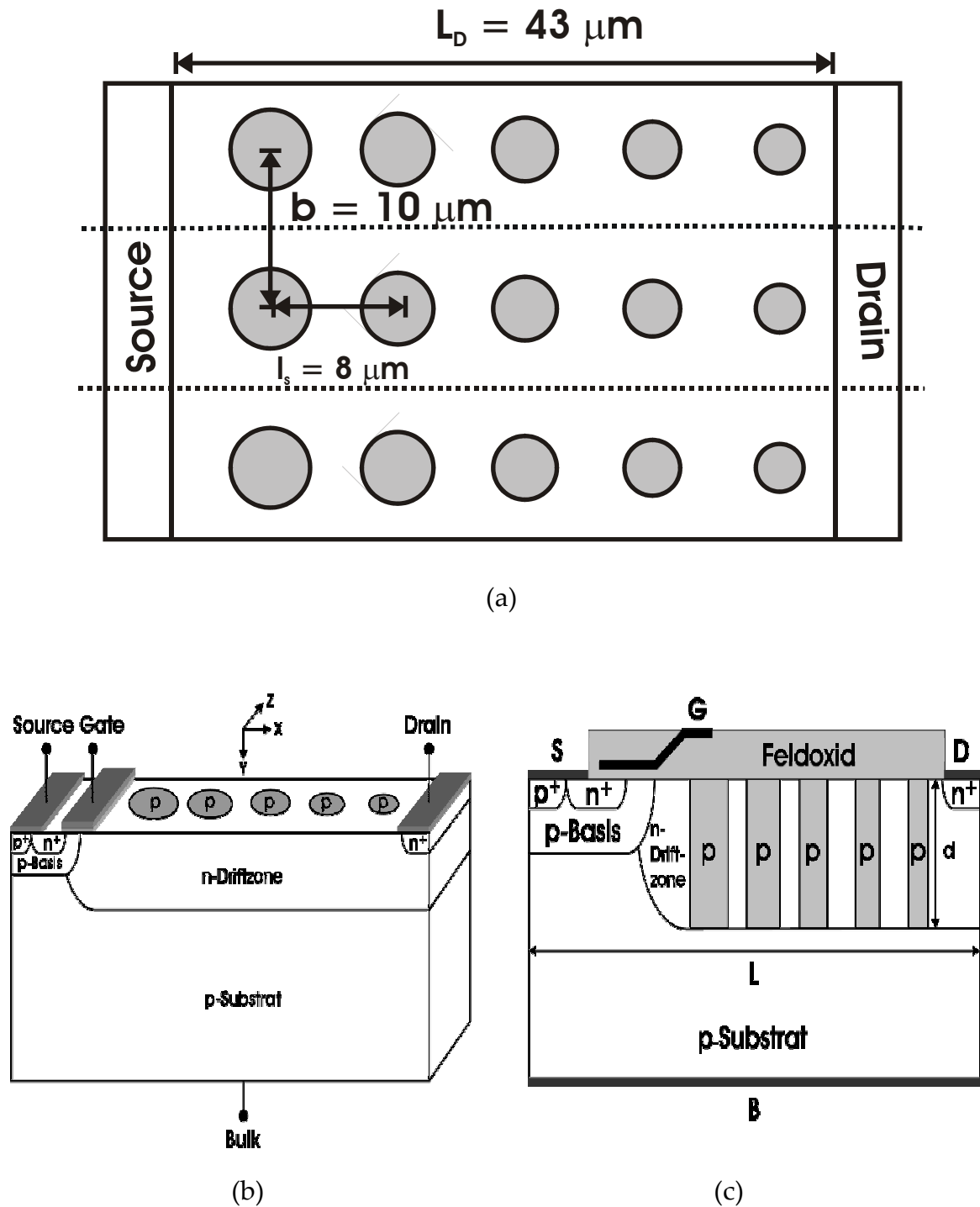
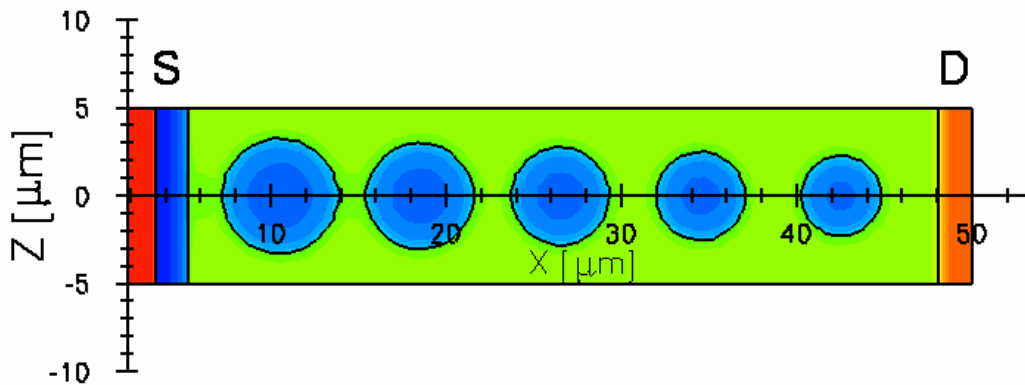


Abbildung 3.21: Aufbau und Struktur des SJ-LDMOS-Transistors mit ungleichförmigen eingebetteten p-Säulen (Ungleichförmiger SJ-LDMOS-Transistor). Abmessungen: $L = 50 \mu\text{m}$, $L_D = 43 \mu\text{m}$, $d = 15 \mu\text{m}$ und $b = 10 \mu\text{m}$ (optimale Zellengeometrie);

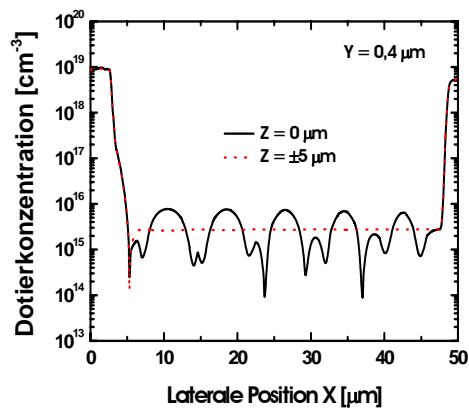
- (a) Geometrische Anordnung von parallelliegenden Transistorzellen in der Aufsicht.
- (b) 3D-Darstellung mit Angaben zum verwendeten Koordinatensystem.
- (c) Querschnitt aus der Zellstruktur mit Gatefeldplatte.

Tabelle 3.2: Optimale Dotierungskonzentrationen für ungleichförmige SJ-Struktur.

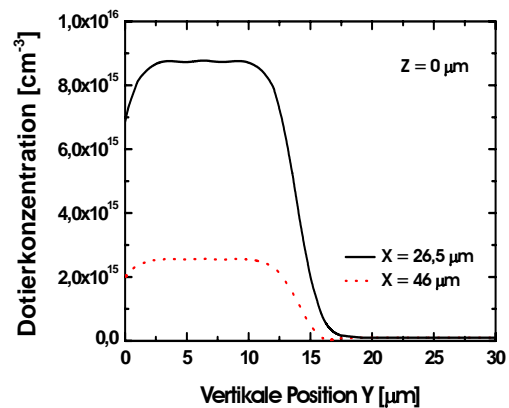
Schicht	n-Driftzone	p-Säule	p-Substrat	p-Basis
Dotierniveau [cm ⁻³]	$2,3 \cdot 10^{15}$	$9,1 \cdot 10^{15}$	$1 \cdot 10^{14}$	$\approx 1 \cdot 10^{17}$



(a)



(b)



(c)

Abbildung 3.22: Nettodotierungsprofil ($|N_D - N_A|$) des ungleichförmigen SJ-LDMOS-Transistors; (a) Koordinatenangabe (b) Entlang der lateralen Schnittlinien $Z = 0 \mu\text{m}$ und $Z = \pm 5 \mu\text{m}$ bei $Y = 0,4 \mu\text{m}$ (c) Entlang der vertikalen Schnittlinien $X = 26,5 \mu\text{m}$ und $X = 46 \mu\text{m}$ bei $Z = 0 \mu\text{m}$.

Kapitel 4

Statisches Verhalten von SJ-LDMOS-Transistoren

Für viele Anwendungen des SJ-Transistors ist die Abhängigkeit der einzelnen Größen (wie z.B. Ströme und Spannungen) in Form von Kennlinienfeldern für den zeitunabhängigen Fall von großer Bedeutung. Diesen charakteristischen Funktionszusammenhang fasst man unter dem Begriff Statisches Verhalten bzw. Gleichstromverhalten zusammen [Pau92]. Typisch für Kennlinienfelder sind Eingangs-, Ausgangs- und Steuerkennlinienfelder. Durch Kennliniendarstellungen lassen sich sämtliche Kenn- und Grenzwerte extrahieren und Arbeitspunkte bestimmen, welche charakteristische Eigenschaften der Bauelemente rechtfertigen. Wichtigste statische Größe für Leistungstransistoren im leitenden Zustand ist der Durchlasswiderstand, im nichtleitenden Zustand die Durchbruchspannung. Mit wachsender Durchbruchspannung steigt allerdings der Durchlasswiderstand mehr als quadratisch an. Primäres Ziel bei der Entwicklung von Leistungsbaulementen ist gerade deshalb die Optimierung des Durchlasswiderstandes bei gleichzeitig hohem Sperrvermögen.

4.1 Durchlassverhalten

4.1.1 Ausgangskennlinienfeld

Abb. 4.1 zeigt das Ausgangskennlinienfeld $I_D = f(U_{DS})$ mit U_{GS} als Parameter für den verwendeten SJ-LDMOS-Transistor. Die Kennlinien sind in vier Bereichen aufzuteilen:

- Ohmscher oder linearer Bereich
- Sättigungsbereich
- Quasisättigungsbereich
- Durchbruchbereich

Im ohmschen oder linearen Bereich verläuft der Drainstrom I_D annähernd linear mit der Drain-Source-Spannung U_{DS} , und der Transistor verhält sich wie ein Widerstand. Bei nicht zu hohen Gatespannungen lautet die Gleichung der Ausgangskennlinien im ohmschen Bereich ($0 \leq U_{DS} \leq U_{DSat}$) analytisch:

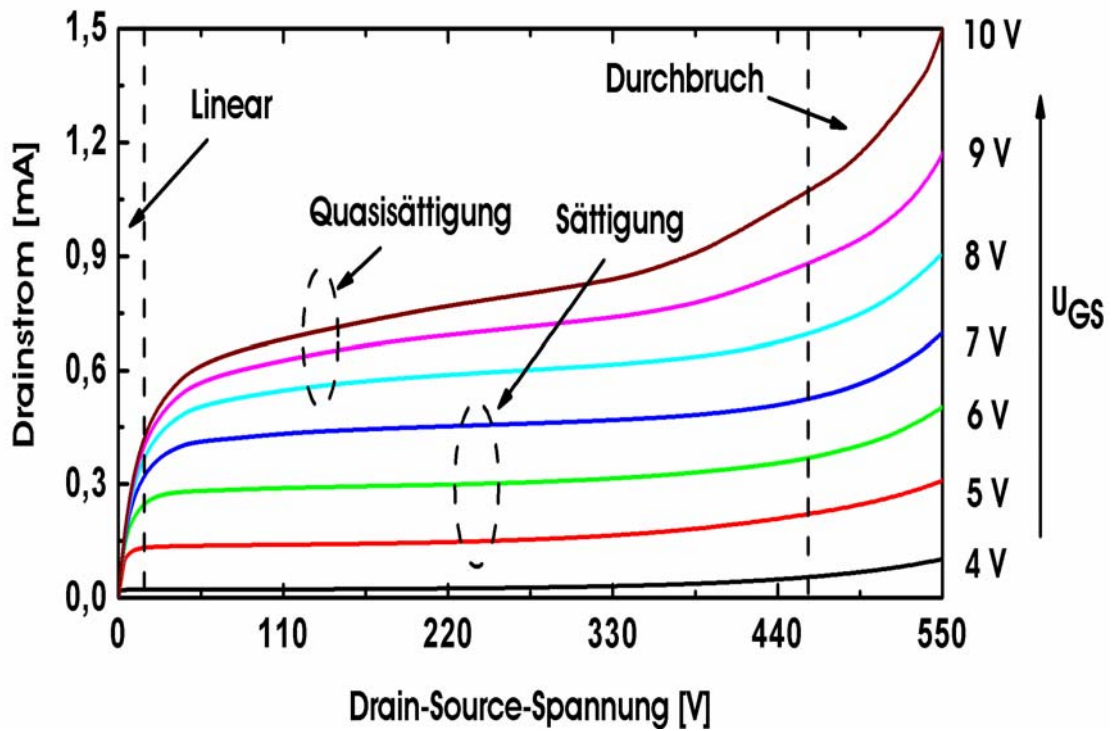
$$I_D = \frac{\mu_0 C'_{ox} b}{L_K} \cdot \left[\frac{(U_{GS} - U_{GS(TH)})}{1 + \Theta(U_{GS} - U_{GS(TH)})} \right] \cdot U_{DS} \quad \text{für } U_{DS} \leq U_{DSat} \quad (4.1)$$

mit b dem Zellabstand des Bauelements, $C'_{ox} = \epsilon_{ox}/d_{ox}$ der Gateoxid-Kapazität pro Flächeneinheit, L_K der Kanallänge, μ_0 ($\approx 490 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ [LLK93]) der Niederfeldbeweglichkeit der Elektronen, $U_{GS(TH)}$ der Einsatzspannung, U_{DSat} der Sättigungsspannung und Θ dem materialbedingten Fitparameter der Beweglichkeitsdegradation aufgrund des vertikalen Gatefelds, welches Elektronen im Kanal zur Si-SiO₂-Grenzfläche beschleunigt. Der Parameter Θ liegt bei einem typischen Wert von 0,1 V⁻¹ [Sch55].

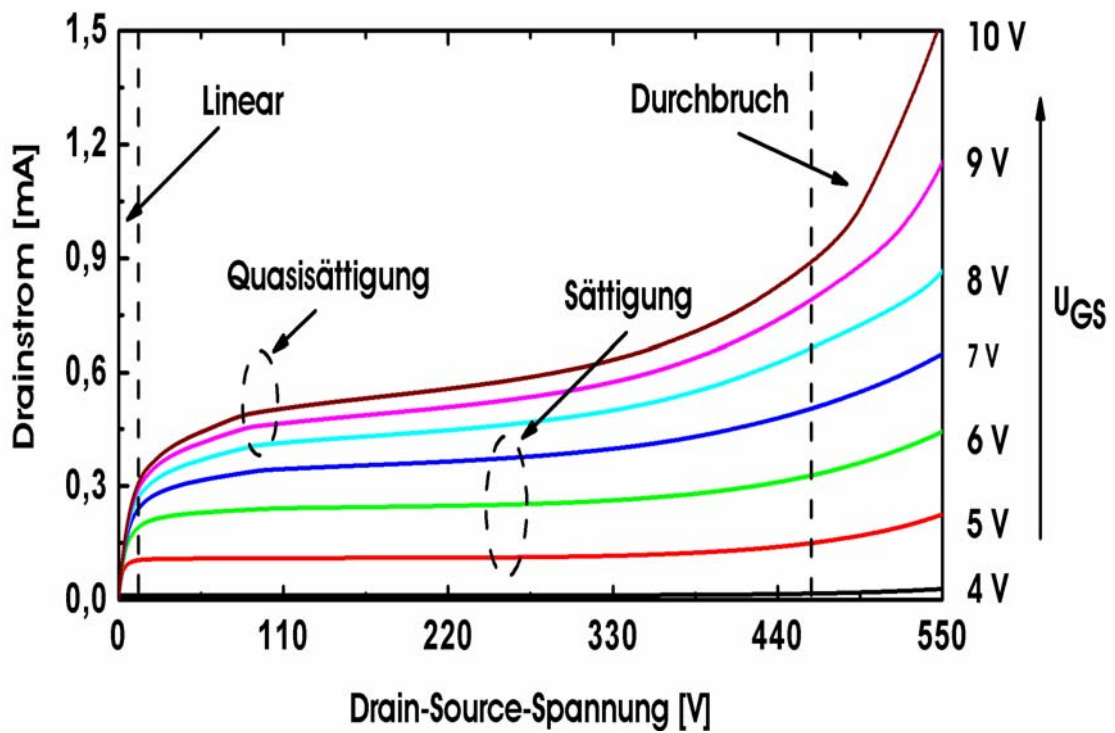
Im ohmschen Bereich trägt bei nicht zu hohen Gatespannungen fast ausschließlich der Kanal zum Widerstand des Transistors bei. Der Kanalwiderstand R_K ergibt sich einfach durch partielle Differentiation von Gl. (4.1) nach I_D :

$$R_K = \left(\frac{\partial U_{DS}}{\partial I_D} \right)_{U_{GS}} = \frac{L_K}{b\mu_0 C'_{ox}} \cdot \left[\frac{1 + \Theta(U_{GS} - U_{GS(TH)})}{(U_{GS} - U_{GS(TH)})} \right] \quad (4.2)$$

R_K ist somit umgekehrt proportional der Gate-Source-Spannung U_{GS} , da mit wachsender U_{GS} die Inversionsladung im Kanal zunimmt.



(a)



(b)

Abbildung 4.1: Ausgangskennlinienfeld des SJ-LDMOS-Transistors; (a) Gleichförmige SJ (b) Ungleichförmige SJ.

Mit weiter wachsendem U_{DS} nimmt der Drainstrom immer schwächer bis zum Erreichen des Sättigungswertes I_{DSat} bei der Sättigungsspannung U_{DSat} zu. An diesem Punkt tritt die Geschwindigkeitssättigung der Elektronen im Kanal ein, das heißt, das Lateralfeld längs des Kanals wird am Ende der Inversionsschicht dermaßen groß ($E_x > 10^4$ V/cm), dass der Kanal gesättigt ist. Über die Sättigungsspannung U_{DSat} hinaus zeigen die Kennlinien unbedeutende Steigungen. Dieses Kanalverhalten ergibt sich aus einem typischen Kurzkanaleffekt, der in MOS-Transistoren kurzer Kanal­länge ($L_K \leq 1 \mu\text{m}$) vorkommt. Nach [KF90][Uye03] sättigt der Drainstrom gegen den Sättigungswert I_{DSat} , sobald die Drain-Source-Spannung gleich der Sättigungsspannung U_{DSat} wird:

$$U_{DSat} = \frac{L_K v_{Sat,n}}{\mu_0} \left[\sqrt{1 + 2 \frac{\mu_0}{L_K v_{Sat,n}} (U_{GS} - U_{GS(TH)})} - 1 \right] \quad (4.3)$$

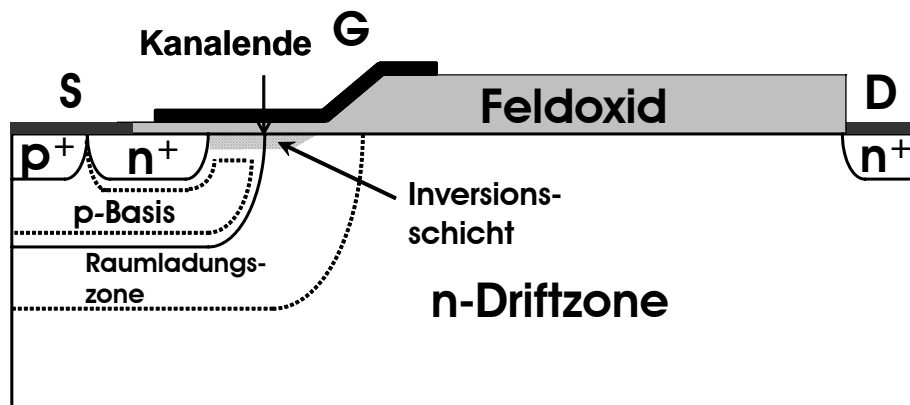
Hierbei kann der Sättigungsstrom I_{DSat} im Sättigungsbereich wie folgt berechnet werden:

$$I_{DSat} = C'_{ox} b v_{Sat,n} (U_{GS} - U_{GS(TH)}) \quad \text{für} \quad U_{DS} \geq U_{DSat} \quad (4.4)$$

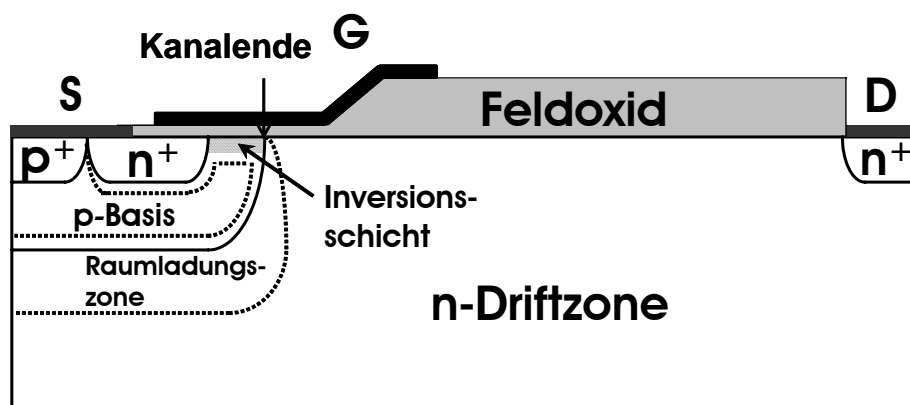
Der Sättigungsstrom wird also nur noch durch die Gatespannung U_{GS} bestimmt und damit gemäß Gl. (4.2) durch den Kanalwiderstand begrenzt. Anders gesagt ist der Drainstrom im Sättigungsbereich hauptsächlich dem MOS-Teil des Transistors unterworfen, die Driftzone spielt dabei eine untergeordnete Rolle.

Die Situation lateraler Leistungsbau­elemente im Sättigungszustand lässt sich am einfachsten unter Zuhilfenahme einer LDMOS-Struktur entsprechend Abb. 4.2(a) anschaulich machen. In der Abbildung ist das Substrat der Übersichtlichkeit wegen weggelassen. Mann erkennt, dass im Sättigungsbereich die Inversionsschicht in die Raumladungszone der n-Driftzone hinein greift. Die Erklärung kann wie folgt gegeben werden: Angenommen, dass man zunächst bei Kurzschluss zwischen Drain und Source ($U_{DS} = 0$ V) eine Spannung am Gate anlegt, die größer als die Einsatzspannung ist ($U_{GS} > U_{GS(TH)}$), so entsteht eine Inversionsschicht im Kanalgebiet, gleichzeitig akkumulieren Elektronen im Überlappungsgebiet vom Gate über die Driftzone unter dem Gatekontakt. Sowohl infolge der Zufuhr von Elektronen aus dem Sourcegebiet in den Kanal als auch aufgrund der Diffusion von akkumulierten Elektronen in das Kanalgebiet erstreckt sich die Inversionsschicht zunächst über die gesamte Kanal­länge. Legt man dann unter Beibehaltung der Gatespannung eine positive Spannung U_{DS} am Drain an, so bildet sich am Übergang zwischen dem Kanalgebiet und der n-Driftzone eine Raumladungszone aus. Da in der Raumladungszone ein starkes elektrisches Feld herrscht, werden die in der Raumladungszone befindlichen Ladungsträger aus der Raumladungszone verdrängt, gleichzeitig werden Elektronen aus der Inversionsschicht in die Raumladungszone injiziert und danach ebenfalls aus

der Raumladungszone verdrängt. Wenn die Spannung $U_{DS} = U_{DSat}$ gewählt wird, so ist im Endeffekt ein Teil der Raumladungszone im Driftgebiet mit der Inversionsschicht belegt, und es fließt der Elektronenstrom mit nahezu Sättigungsgeschwindigkeit vom Ende der Inversionsschicht durch den restlichen Teil der Raumladungszone in Richtung Drain. Eine weitere Steigerung von U_{DS} über U_{DSat} ruft aufgrund der Geschwindigkeitssättigung des Kanals keine wesentliche Stromsteigerung mehr hervor, sondern den stärkeren Spannungsabfall entlang der Driftzone. Für $U_{DS} > U_{DSat}$ flacht I_D deshalb ab und geht danach nahezu konstant in den Sättigungsbereich über. Es fließt also der Sättigungsstrom I_{DSat} mit ausgeprägter Sättigungsgeschwindigkeit $v_{Sat,n}$ ($\approx 10^7 \text{ cm}\cdot\text{s}^{-1}$ für Elektronen) vom Ende der Inversionsschicht nach Drain. Bei noch höheren Drain-Source-Spannungen ($U_{DS} \gg U_{DSat}$) steigt I_D schließlich über I_{DSat} abrupt an, der Transistor gerät in den Durchbruchbereich und es kommt zum Lawinendurchbruch.



(a)



(b)

Abbildung 4.2: Bildung der Inversionsschicht und der Raumladungszone in einem LDMOS (nur ein Ausschnitt aus der Driftzone wird gezeigt); (a) Sättigungsbereich (b) Quasisättigungsbereich.

In den Ausgangskennlinienfeldern ist noch zu sehen, dass bei hinreichend hohem U_{GS} der Drainstrom I_D fast gar nicht von U_{GS} , sondern eher von U_{DS} abhängig ist, obwohl die Drainspannung den Wert der Sättigungsspannung U_{DSat} übersteigt. Es herrscht also quasi Stromsättigung [JAY99][LLK93]. Dieser Quasisättigungseffekt ergibt sich aus der Geschwindigkeitssättigung der Elektronen in der Driftzone vor Auftreten der Geschwindigkeitssättigung der Elektronen im Kanal. Im Quasi-Sättigungsbereich fällt nahezu die gesamte Spannung über der Driftzone ab. Beim Eintritt in die Quasisättigung verhält sich das Bauelement, als wäre das hoch dotierte n^+ -Source-Gebiet mit der Driftzone kurzgeschlossen. Von Source nach Drain bildet sich eine $n^+n^-n^+$ -Struktur, wobei n^- die schwächer dotierte Driftzone kennzeichnet. Mit wachsender U_{DS} werden weitere Elektronen aus dem n^+ -Source-Gebiet in die Driftzone injiziert, infolgedessen steigt I_D an. Der Anstieg von I_D im Quasi-Sättigungsbereich ist jedoch aufgrund des nahezu gesamten Spannungsabfalls über die relativ niedrig dotierte Driftzone nicht so drastisch wie im Widerstandsbereich. Eine weitere Erhöhung von U_{GS} bewirkt grundsätzlich keinen weiteren Anstieg von I_D , denn im Quasi-Sättigungsbereich ist I_D nicht mehr durch den Kanalwiderstand R_K , sondern durch den Widerstand der Driftzone $R_{DS(on)}$ (siehe Abschn. 4.1.2) bedingt.

Im Quasisättigungsbereich lässt sich der Zusammenhang zwischen dem Drain-Quasisättigungsstrom I_{DQSat} und der Drain-Source-Spannung U_{DS} durch die folgende Gleichung:

$$I_{DQSat} = \frac{bdq\mu_0 N_D}{L_D \cdot \sqrt{1 + \left(\frac{U_{DS}}{L_D E_{Sat}}\right)^2}} \cdot \left\{ U_{DS} - \frac{2}{3d} \left(\frac{2\varepsilon_{Si} N_S}{qN_D (N_S + N_D)} \right)^{1/2} \cdot \left[(U_{DS} + U_D)^{3/2} - U_D^{3/2} \right] \right\} \quad (4.5)$$

ansetzen (siehe Anhang B). Für die Sättigungsfeldstärke E_{Sat} gilt laut [LLK93] folgende Beziehung

$$E_{Sat} = \frac{v_{Sat,n}}{\mu_0} = \frac{10^7 \text{ cm/s}}{490 \text{ cm}^2/\text{Vs}} \approx 1,206 \cdot 10^4 \text{ V/cm} \quad \text{bei } T = 300 \text{ K} \quad (4.6)$$

Die Größe U_D nennt man Diffusionsspannung. Sie ergibt sich aus der Temperaturspannung U_T ($\approx 26 \text{ mV}$ bei $T = 300 \text{ K}$ für Si), der Substratdotierung N_S , der Driftzonenendotierung N_D und der Eigenleitungsichte n_i ($\approx 1,0 \cdot 10^{10} \text{ cm}^{-3}$ bei $T = 300 \text{ K}$) zu:

$$U_D = U_T \ln \frac{N_S N_D}{n_i^2} \quad (4.7)$$

Bei Silizium liegen für Dotierungen im Bereich $N_S = N_D = 10^{14}$ bis 10^{18} cm^{-3} die Werte von U_D zwischen 0,45 und 0,8 V bei $T = 300 \text{ K}$ [Pau92].

Den Betriebszustand des Lateraltransistors im Quasisättigungsbereich kann man auch von einer LDMOS-Struktur ableiten, wie es in Abb. 4.2(b) schematisch dargestellt wurde. Beim Eintreten des Quasisättigungszustandes existiert die Inversionsschicht an jedem Punkt entlang des Kanals, wobei die Ausdehnung der Raumladungszone in der Driftstrecke vom drainseitigen Kanalende ausgeht. Der Rücklauf des Randes der Raumladungszone in der Driftstrecke zum drainseitigen Kanalende resultiert aus einer raschen Erweiterung der Inversionsschicht in die Raumladungszone der Driftstrecke, wie es folgendermaßen geschildert wird: Für sehr starke anliegende Gatespannungen erweitert sich die Inversionsschicht bereits bei relativ kleinem U_{DS} über die gesamte Raumladungszone in der Driftstrecke, bevor die Geschwindigkeitssättigung der Ladungsträger im Kanal auftritt. Zwischen dem drainseitigen Kanalende und dem Rand der Raumladungszone im Driftgebiet an der Oberfläche kommt nun über die erweiterte Inversionsschicht eine elektrische Verbindung zustande. Über dieser Verbindung kann kein Spannungsabfall erfolgen; es verschwindet die Ausdehnung der Raumladungszone in der Driftstrecke daher am drainseitigen Kanalende. Die noch weiter angehobene Drainspannung U_{DS} fällt fast ausschließlich im Driftgebiet ab und die Elektronen werden durch die Driftzone in Richtung Drain hin beschleunigt bis zum Eintritt der Geschwindigkeitssättigung in der Driftzone. Dadurch, dass nun Source und Drain miteinander über die Inversionsschicht verbunden sind, wächst I_D trotz der Geschwindigkeitssättigung mit steigender Drainspannung U_{DS} einigermaßen. Die Source injiziert Elektronen in die Driftzone, die zum Drainanschluss hin fließen.

4.1.2 Durchlasswiderstand

Für die Stromtragfähigkeit des Leistungstransistors ist der flächenspezifische Durchlasswiderstand $R_{DS(on)} \cdot A$ charakteristisch. Er ist definiert zu:

$$R_{DS(on)} \cdot A = (R_K + R_{DS}) \cdot A = A \cdot \lim_{U_{DS} \rightarrow 0} \left(\frac{\partial U_{DS}}{\partial I_D} \right)_{U_{GS}} = \frac{A \cdot L_D}{b \cdot d \cdot q \cdot \mu_0 \cdot N_D} \quad (4.8)$$

mit $A = L \cdot b$ als aktiver Chipfläche. Ungeachtet externer Widerstände² setzt sich der Durchlasswiderstand $R_{DS(on)}$ eines LDMOS-Transistors hauptsächlich aus dem Kanalwiderstand R_K und dem Widerstand der Drain-Source-Strecke R_{DS} (Driftzonenwiderstand) zusammen, jedoch dominiert für hochsperrende Transistoren ($U_{(BR)DSS} > 100$ V) wie die SJ-Bauelemente der Widerstand der Drain-Source-Strecke (Driftzone), zumal die Driftzone der typischen Hochvolttransistoren relativ schwach dotiert und lang ausgelegt ist, um eine hohe Sperrspannung aufzunehmen. Der obige Ausdruck für $R_{DS(on)}$ ist deshalb identisch mit dem Kehrwert der Steigung der Aus-

² Beiträge aus den externen Widerständen, wie z.B. Anschlüssen, Metallisierung, Bonddrähten und Lot, zum Durchlasswiderstand sind normalerweise in Hochvolttransistoren vernachlässigbar [Skv02].

gangskennlinien im Quasisättigungsbereich nach Gl. (4.5) für kleine Werte von U_{DS} , weil in diesem Bereich die Driftzone den Widerstand des Bauelements entscheidend beeinflusst. Dementsprechend bezieht sich bei den untersuchten SJ-Strukturen die Angabe von $R_{DS(on)}$ stets auf $U_{GS} = 10\text{ V}$ und $U_{DS} = 1\text{ V}$.

Für die gleichförmige SJ wird $R_{DS(on)} \cdot A = 9,45\ \Omega \cdot \text{mm}^2$ ermittelt, für die ungleichförmige SJ beträgt $R_{DS(on)} \cdot A = 10,16\ \Omega \cdot \text{mm}^2$. Damit besitzt das Bauelement mit ungleichförmiger SJ einen höheren spezifischen Durchlasswiderstand als dasjenige mit gleichförmiger SJ, auch wenn die Driftzonendotierung N_D für beide SJ-Strukturen gleich hoch ist. Die Ursache hierfür liegt in der Säulendotierung N_A . Die Säulen der ungleichförmigen SJ sind stärker dotiert als diejenigen der gleichförmigen SJ. Eine Erhöhung der Säulendotierung vergrößert allerdings den Säulenradius, was wiederum die effektive Durchtrittsfläche des Elektronenstromes reduziert. Deshalb weist die ungleichförmige SJ eine niedrigere Stromverfügbarkeit auf. In Abb. 4.3 und 4.4 wird der Elektronenstrom in beiden SJ-Strukturen durch Stromlinien anschaulich gemacht. Diese technischen Stromlinien fließen von Drain nach Source, sie verengen sich aber stärker im Sourcegebiet als im Draingebiet. Daraus wird ersichtlich, dass sich Elektronen mit einer höheren Driftgeschwindigkeit vom Kanalende bewegen, bevor sie infolge des Widerstandes der Drain-Source-Strecke R_{DS} mit langsamer Geschwindigkeit zum Draingebiet gelangen. Im Source- und Draingebiet erfolgt der Stromfluss primär vertikal, im dazwischenliegenden Bereich dagegen horizontal. Die Stromverteilung ist aufgrund örtlicher Schwankungen der Widerstände stark inhomogen.

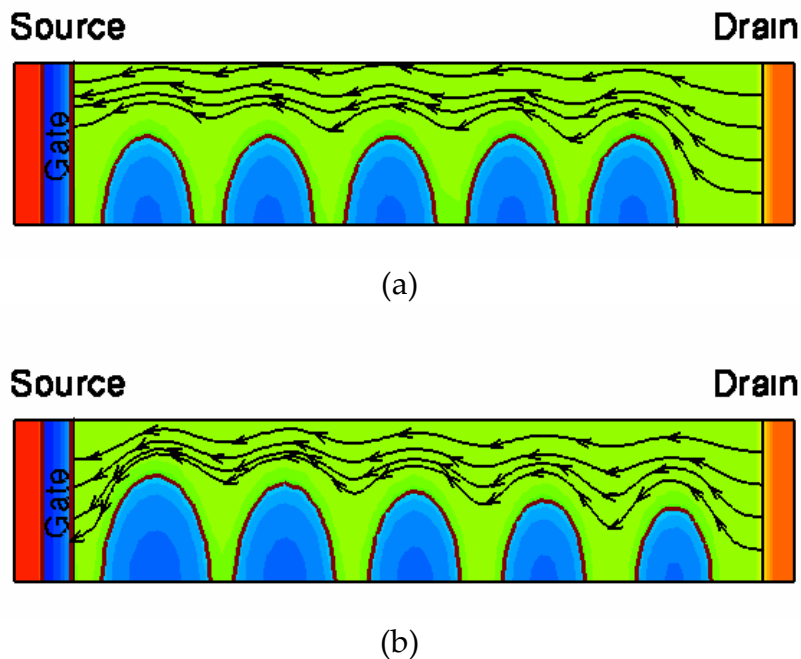


Abbildung 4.8: Oberflächennahe Stromflusslinien bei $U_{GS} = 10\text{ V}$, $U_{DS} = 1\text{ V}$ (nicht maßstabgerecht); (a) Gleichförmige SJ (b) Ungleichförmige SJ.

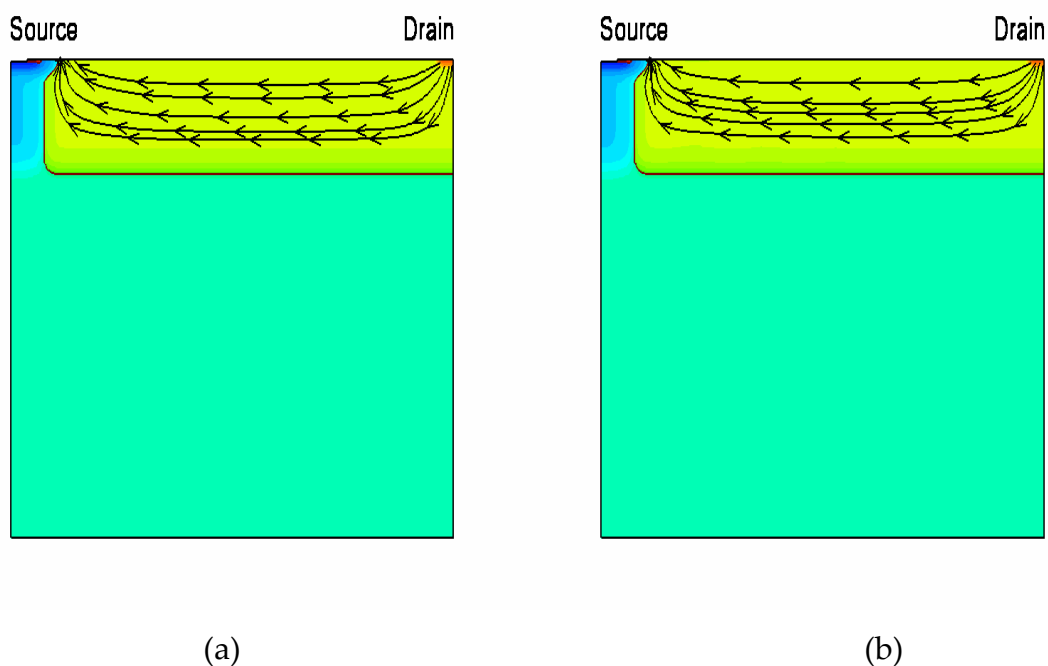


Abbildung 4.4: Stromflusslinien auf der Ebene $Z = \pm 5 \mu\text{m}$ bei $U_{GS} = 10 \text{ V}$, $U_{DS} = 1 \text{ V}$; (a) Gleichförmige SJ (b) Ungleichförmige SJ.

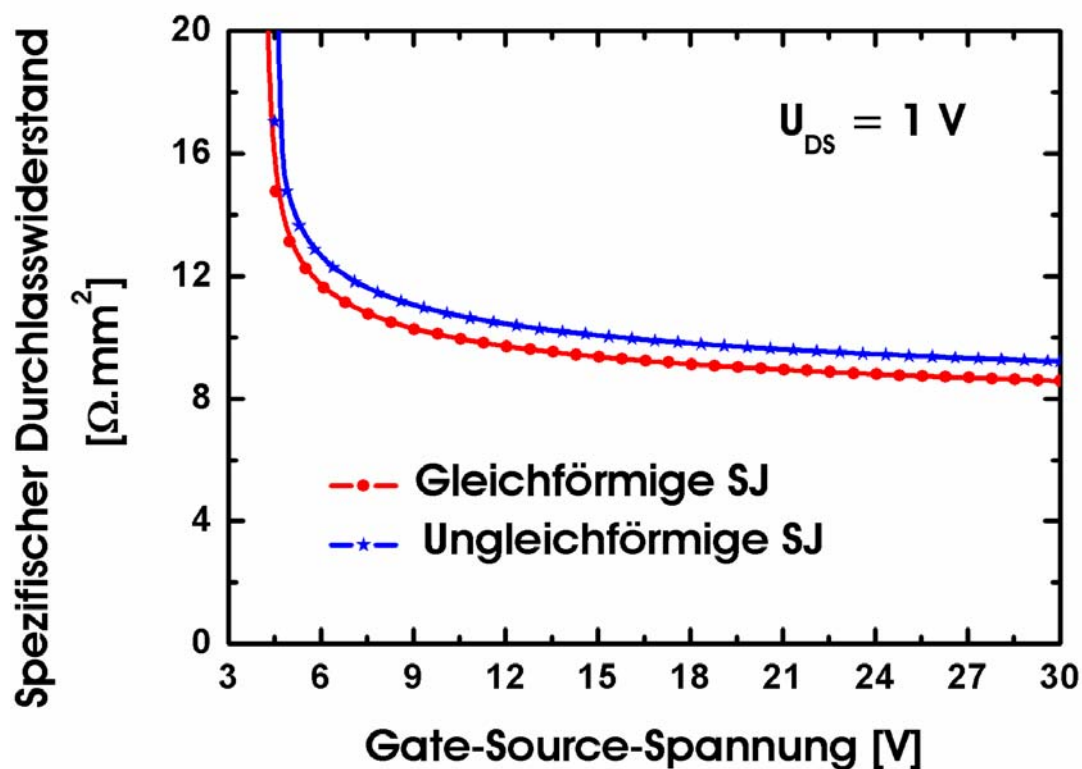


Abbildung 4.5: Verläufe von $R_{DS(on)} \cdot A$ als Funktion von U_{GS} für $U_{DS} = 1 \text{ V}$

Die Abhängigkeit des spezifischen Durchlasswiderstandes $R_{DS(on)} \cdot A$ von der Gate-Source-Spannung U_{GS} ist in Abb. 4.5 bei konstanter Drain-Source-Spannung $U_{DS} = 1$ V dargestellt. Bei kleinen Werten von U_{GS} fällt $R_{DS(on)} \cdot A$ mit wachsendem U_{GS} steil ab auf kleinen Wert. Der Grund hierfür ist der dominierende Einfluss des Kanalwiderstandes im ohmschen Bereich (siehe Gl. (4.2)). Erwartungsgemäß hat eine Anhebung von U_{GS} über etwa 12 V hinaus geringfügigen Einfluss auf $R_{DS(on)} \cdot A$; der dominierende Beitrag zu $R_{DS(on)} \cdot A$ ist nun der Driftzonenwiderstand R_{DS} , welcher unabhängig von U_{GS} nahezu konstant bleibt. Die Wahl einer Gatespannung höher als 12 V ist deshalb zweckmäßig. Hohe U_{GS} sichern zwar einen kleinen Durchlasswiderstand des Transistors, bringen aber neben hohen Ansteuerverlusten auch längere Abschaltzeiten mit sich, da der Ladungsüberschuss auf der Eingangskapazität gespeichert wird (siehe Abschn. 5.1). Für Hochvolttransistoren ist U_{GS} typisch auf einen Wert kleiner als 30 V zu begrenzen [Skv02]. Ansonsten bricht die Oxidschicht bei der kritischen Durchbruchfeldstärke von etwa $E_{krit}^{ox} \approx 10^7$ V/cm unter dem Gatekontakt durch und der Transistor wird permanent zerstört.

Aufgrund der Beweglichkeitsdegradation mit der Temperatur unterliegt der Durchlasswiderstand einer Temperaturabhängigkeit, die angenähert werden kann durch [Wil92]:

$$R_{DS(on)}(T) \approx R_{DS(on)}(25^\circ\text{C}) \cdot \left(\frac{T}{300\text{K}} \right)^{2,3} \quad (4.9)$$

wobei T in Kelvin ist. Die relative Änderung des Durchlasswiderstandes in Abhängigkeit von der Temperatur ergibt sich als Temperaturkoeffizient α_R :

$$\alpha_R = \frac{1}{R_{DS(on)}(0^\circ\text{C})} \cdot \left. \frac{\partial R_{DS(on)}}{\partial T} \right|_{T=273\text{K}} \quad (4.10)$$

$R_{DS(on)} \cdot A$ besitzt gemäß Abb. 4.6 einen positiven Temperaturkoeffizienten, da er mit wachsender Temperatur zunimmt. Dabei beträgt α_R für die gleichförmige SJ ca. $10^{-2}/^\circ\text{C}$ und für die ungleichförmig SJ ca. $9,8 \cdot 10^{-3}/^\circ\text{C}$.

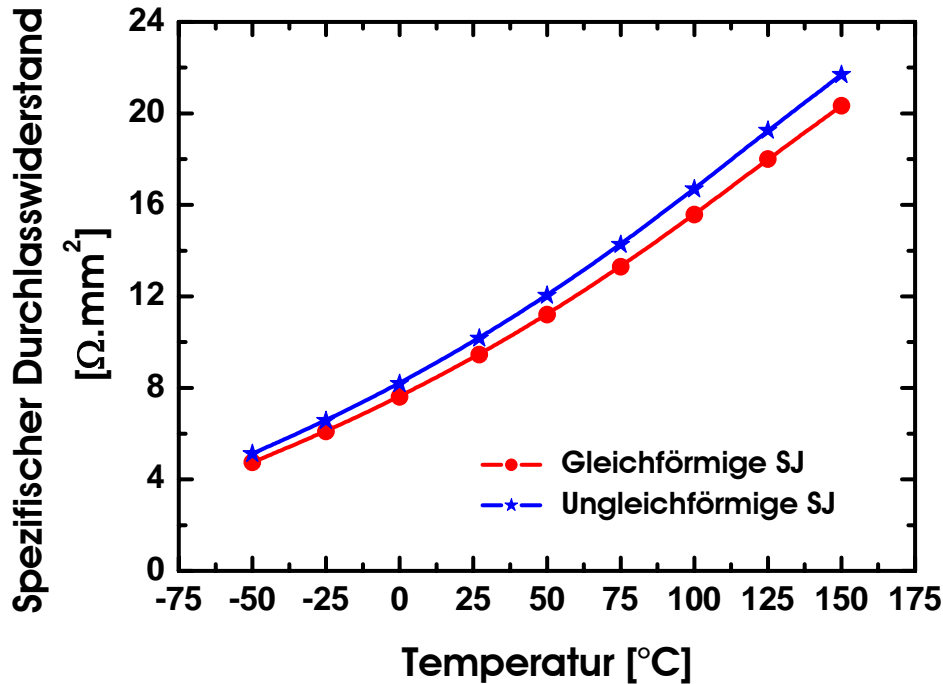


Abbildung 4.6: Temperaturabhängigkeit des spezifischen Durchlasswiderstandes.

4.1.3 Transferkennlinie

Ein wichtiger Kennwert des Leistungs-MOS-Transistors ist die Einsatzspannung $U_{GS(TH)}$, die zur Kanalbildung und damit zum Einsetzen des Stromflusses erforderlich ist. Bei der LDMOS-Struktur nehmen mehrere Parameter Einfluss auf $U_{GS(TH)}$:

$$U_{GS(TH)} = U_{FB}^p + 2\psi_B + \frac{d_{ox}}{\epsilon_{ox}} \cdot \sqrt{4\epsilon_{Si}qN_K\psi_B} \quad (4.11)$$

mit

$$\psi_B = \frac{kT}{q} \cdot \ln\left(\frac{N_K}{n_i}\right) = \frac{E_{Fi} - E_F}{q} \quad (4.12)$$

Das Bulk-Fermi-Potential ψ_B beschreibt die Lage des Ferminiveaus E_F zur eigenleitenden Fermi-Energie E_{Fi} und ist von der Kanaldotierung N_K abhängig. Die Flachbandspannung U_{FB}^p ist diejenige äußere Gatespannung, die angelegt werden muss, um die nichtidealen physikalischen Phänomene aufzuheben, welche bei $U_{GS} = 0$ V die Bandverbiegung an der Halbleiteroberfläche verursachen. Sie ist gegeben durch

$$U_{FB}^p = \Phi_{MS}^p - \frac{Q_{ox} d_{ox}}{\epsilon_{ox}} \quad (4.13)$$

Der Term Φ_{MS}^p entspricht der Differenz der Austrittsarbeiten von n⁺-Gatepolysilizium und dem darunter liegenden p-Halbleiter (n-Kanal-MOSFET). Es gilt nach [TN98]:

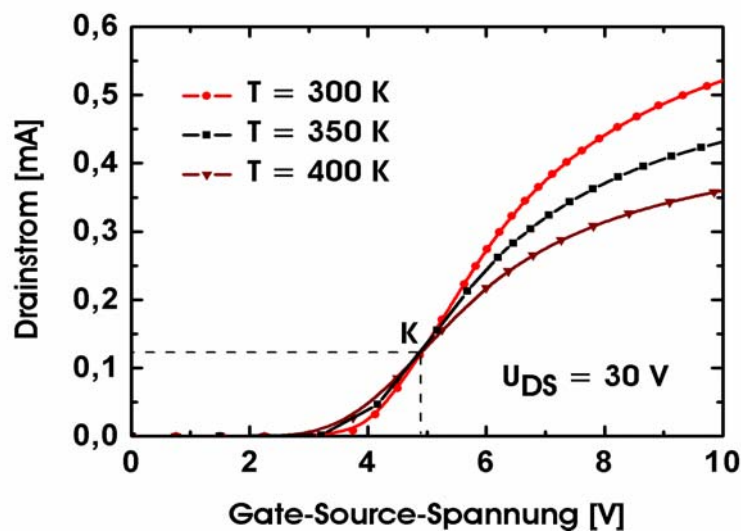
$$\Phi_{MS}^p = \left[-0,56 - \frac{kT}{q} \ln \left(\frac{N_K}{n_i} \right) \right] \text{ V} \quad (4.14)$$

Aufgrund von Verunreinigungen und Kristalldefekten an der Grenzfläche treten außerdem in realen LDMOS-Strukturen Ladungen in SiO₂ und an der Si-SiO₂-Grenzfläche auf, die als Oxidladungsdichte Q_{ox} (in Elementarladungen/cm²) zusammenzufassen sind³. Bei SiO₂-Gate-Isolator erscheint Q_{ox} nach außen hin positiv, während Φ_{MS}^p in der Regel negativ ist (siehe Tabelle 2.3), demnach hat U_{FB}^p entsprechend Gl. (4.13) einen negativen Wert.

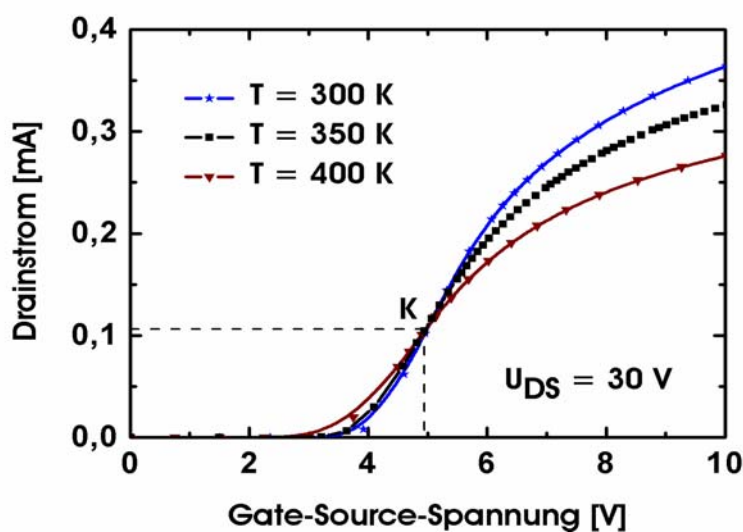
Für die Bestimmung der Einsatzspannung ist die Transferkennlinie $I_D = f(U_{GS})$ bei konstantem U_{DS} entsprechend Abb. 4.7 eine Möglichkeit. Maßgeblich ermittelt man die Einsatzspannung durch die Extrapolation der Wurzel aus dem Drainstrom über der Gate-Source-Spannung im Sättigungsbereich auf die Abszisse [Pau92]. Im Simulationsprogramm wird $U_{GS(TH)}$ definiert als diejenige Gate-Source-Spannung, bei welcher der durch das Bauelement fließende Drainstrom gleich 1 µA ist. Auf diese Weise ergibt sich bei Raumtemperatur ($T = 300 \text{ K}$) für die gleichförmige SJ $U_{GS(TH)} = 3 \text{ V}$ und für die ungleichförmige SJ $U_{GS(TH)} = 3,3 \text{ V}$. Die extrahierten Einsatzspannungen berücksichtigen bereits die Austrittsarbeitsdifferenz Φ_{MS}^p und die Oxidladung Q_{ox} . Bei der Simulation wird die Rechnung von Φ_{MS}^p mit Hilfe von Gl. (4.14) durchgeführt und die Oxidladung durch den für Silizium-basierte MOS-Bauelemente typischen Wert von $Q_{ox} = 4,5 \cdot 10^{10} \text{ cm}^{-2}$ ersetzt. Da die ungleichförmige SJ eine höhere Einsatzspannung aufweist als die gleichförmige SJ, kann aus Gl. (4.2) geschlossen werden, dass die ungleichförmige SJ auch im Besitz einer höheren Kanaldotierung ist als die gleichförmige SJ. Angesichts der Tatsache, dass die Prozessparameter für die Erzeugung der DMOS-Struktur in beiden SJ-Bauelementen gleich gehalten werden, ist der Unterschied in der Kanaldotierung zwischen beiden SJ-Bauelementen zurückzuführen auf die Anwesenheit der p-leitenden Verbindung von der p-Basis zum p-Substrat. Für beide SJ-Strukturen wird diese Verbindung mit Hilfe eines maskierten p-Implantationsprozesses im Sourcegebiet hergestellt, und zwar in einem gleichen Prozessschritt wie bei der maskierten p-Implantation für die Säulenherstellung. Die Implantierung einer p-Dotierung im Sourcegebiet aber trägt zu einer Zunahme der

³ Durch technologische Maßnahmen lässt sich Q_{ox} heute auf die Größenordnung von 10^9 bis 10^{10} cm^{-2} einschränken.

Kanaldotierung bei. Wenn die beiden SJ-Strukturen optimiert sind, benötigt die ungleichförmige SJ eine größere Anzahl implantierter Borionen (also die p-Dosis) als die gleichförmige SJ, wie im Kapitel 3 gezeigt, deshalb liegt die Kanaldotierung für den Fall der ungleichförmigen SJ höher als für den Fall der gleichförmigen SJ. Dass das I_{DSat} der ungleichförmigen SJ kleiner als bei der gleichförmigen SJ ist, ergibt sich darüber hinaus in Übereinstimmung mit Gl. (4.4). Bei hohen Gatespannungen U_{GS} weichen die Transferkennlinien von der Geraden ab; scheinbar verliert der Gateansteuerkreis aufgrund des bei hohem lateralen Feld auftretenden Quasisättigungseffekts die Kontrolle über den Drainstrom.



(a)



(b)

Abbildung 4.7: Transferkennlinien mit der Temperatur T als Parameter bei $U_{DS} = 30\text{V}$; (a) Gleichförmige SJ (b) Ungleichförmige SJ.

Mit zunehmender Temperatur verringert sich die Einsatzspannung. Die Temperaturabhängigkeit von $U_{GS(TH)}$ rührt von der Temperaturabhängigkeit von E_g und ψ_B her. $U_{GS(TH)}$ hat im Gegensatz zu $R_{DS(on)}$ einen negativen Temperaturkoeffizienten (typisch ≈ -1 mV/K [TN98]). Diese zwei gegenläufigen Temperatureinflüsse haben zur Folge, dass bei einer bestimmten Spannung U_{GS} der Drainstrom als Funktion der Gate-Source-Spannung temperaturunabhängig ist. Das heißt, alle Transferkennlinien mit der Temperatur als Parameter schneiden sich in einem gemeinsamen Arbeitspunkt K , welcher leicht höher als $U_{GS(TH)}$ liegt. Durch die Wahl dieses Arbeitspunktes K erreicht man, dass die Abnahme von I_D infolge der Beweglichkeitsdegradation und Zunahme aufgrund kleiner gewordener Einsatzspannung sich gegenseitig aufheben und damit der Temperaturkoeffizient zu Null wird. Bei kleinen Werten von I_D ist die Temperaturabhängigkeit der Einsatzspannung deutlich ausgeprägt, deshalb nimmt I_D mit wachsender Temperatur zu. Überschreitet I_D den temperaturunabhängigen Punkt K , so dominiert die Temperaturabhängigkeit des $R_{DS(on)}$ über diejenige der Einsatzspannung, und es erfolgt der Abfall des Drainstromes mit der Temperatur. Da über den Punkt K hinaus der Temperaturkoeffizient von I_D negativ wird, verhält sich der SJ-LDMOS im Hochstrombereich thermisch stabil und dadurch im Vergleich zum Bipolarleistungstransistor eine geringere Verlustleistung erzeugt wird. Dies lässt sich darauf zurückführen, dass das Ansteigen der Temperatur mit einer Abnahme der Ladungsträgerbeweglichkeit verknüpft ist. Das heißt, wenn lokale Wärme auftritt, reduziert sich der Strom in Verbindung mit einer Anhebung des Widerstands der Drain-Source-Strecke R_{DS} . Diese negative Rückkopplung zwingt den Strom, sich gleichmäßig über den Siliziumwafer zu verteilen. Aus diesem Grund wird eine lokale Überhitzung, also der sogenannte *Hotspot-Effekt*, ausgeschlossen und die Leistungs-MOSFETs sind thermisch stabil. Dieser Selbstschutz gegen Überhitzung wegen des negativen Temperaturkoeffizienten ermöglicht die Parallelschaltung mehrerer Transistorzellen auf einem Chip.

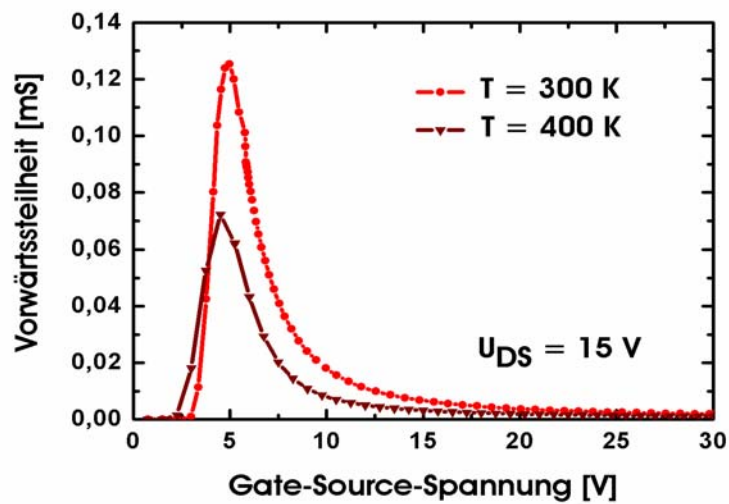
Hohe Steilheiten der Transferkennlinien deuten auf gute Verstärkereigenschaften des Transistors hin, sie sind von großem Interesse, wenn der Transistor im Sättigungsbereich arbeitet, wo eine Änderung von U_{DS} keinen großen Einfluss auf sie hat. Als *Vorwärtssteilheit* g_{fs} bezeichnet man den Differentialquotienten:

$$g_{fs} = \left(\frac{\partial I_D}{\partial U_{GS}} \right)_{U_{DS}} \quad (4.15)$$

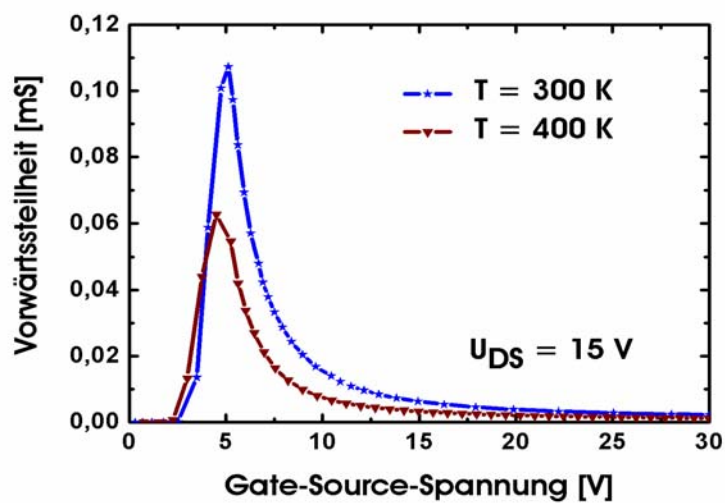
Sie ist ein Maß für die Empfindlichkeit des Drainstromes I_D auf die Änderung der Gate-Source-Spannung U_{GS} . Im Sättigungsbereich ist g_{fs} nach Gl. (4.4) gegeben durch

$$g_{fs} = \frac{\partial I_{DSat}}{\partial U_{GS}} = C'_{ox} b v_{Sat,n} \quad (4.16)$$

Da die Sättigungsgeschwindigkeit der Elektronen $v_{Sat,n}$ im Kanal als konstant angenommen werden kann, so erfordert hohe Vorwärtssteilheit g_{fs} gemäß Gl. (4.16) einen großen Zellabstand des Transistors b und ein dünnes Gateoxid ($C'_{ox} \sim 1/d_{ox}$). Um den Betrieb des Transistors im Sättigungsbereich zu sichern, wird g_{fs} in der Praxis bei $U_{DS} = 15$ V gemessen. Außerdem beruht die in den Datenblättern meiste Hersteller angegebene Vorwärtssteilheit g_{fs} auf der Gate-Source-Spannung, bei welcher der Sättigungsstrom I_{DSat} gleich halbem Höchstwert des dauernden Draingleichstroms I_{Dmax} ist (siehe Abschn. 4.3). Abb. 4.8 zeigt, dass die Steilheiten beider SJ-Strukturen zunächst mit U_{GS} steigen und dann ihr Maximum für $U_{GS} \approx U_{GS(TH)}$ haben. Mit wachsender Temperatur ist eine Abnahme des Höchstwerts von g_{fs} zu erkennen.



(a)



(b)

Abbildung 4.8: Steilheiten mit Temperaturabhängigkeit; (a) Gleichförmige SJ (b) Ungleichförmige SJ.

Wie erwartet, besitzt die gleichförmige SJ einen größeren Höchstwert von g_{fs} als die ungleichförmige SJ, da die gleichförmige SJ von einer niedrigeren Einsatzspannung profitiert. Mit steigenden Werten für U_{GS} geht der Transistor allmählich in den ohmschen Bereich über. Wenn der Transistor voll leitend ist, hat eine Änderung von U_{GS} wenig Einfluss auf den Drainstrom, und deshalb fällt g_{fs} rasch auf Null ab.

Die Temperaturabhängigkeit von g_{fs} wird überwiegend von der Änderung der Ladungsträgerbeweglichkeit mit der Temperatur bestimmt. Näherungsweise gilt daher [Wil92]

$$g_{fs}(T) = g_{fs}(25^\circ\text{C}) \cdot \left(\frac{T}{300\text{K}} \right)^{-2/3} \quad (4.17)$$

g_{fs} nimmt also mit der Temperatur ab, daraus resultiert ein negativer Temperaturkoeffizient für sie.

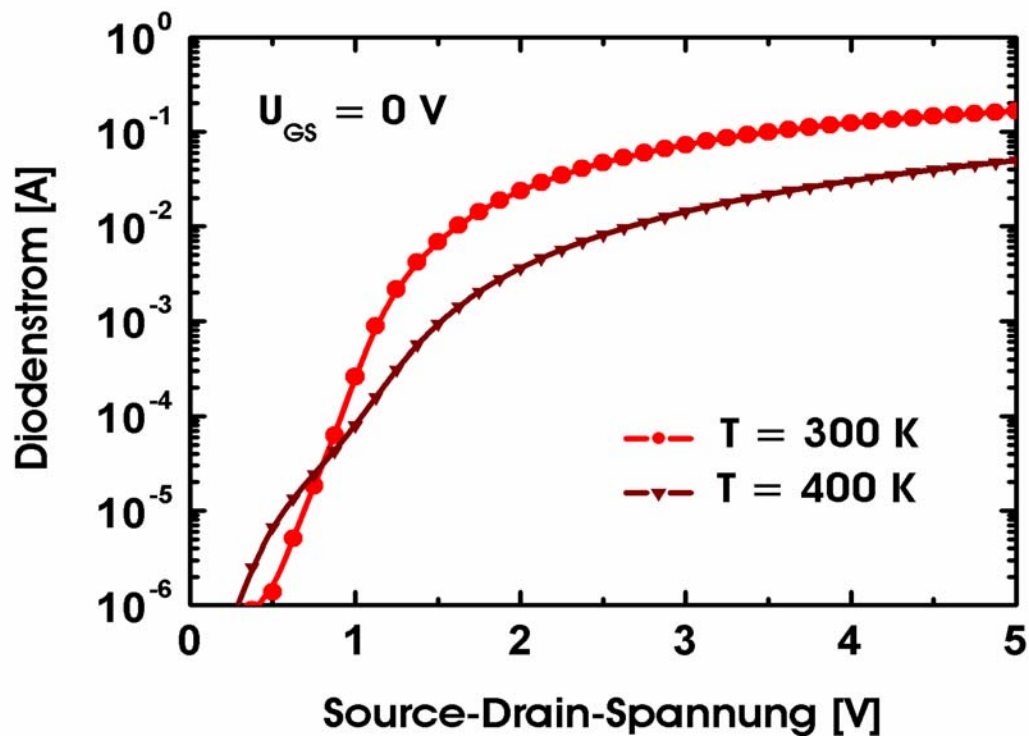
4.1.4 Durchlasscharakteristik der Rückwärtsdiode

Der SJ-LDMOS kann bei negativer Spannung U_{DS} auch als gesteuerter Gleichrichter bzw. Synchrongleichrichter, d.h. Gleichrichter mit Spannungsvervielfachung, arbeiten, da der Übergang der p-Basis in die n-Driftzone eine parasitäre Diodenstruktur bildet. Dabei liegen Gate und Source auf gleichem Potential, d.h. $U_{GS} = 0$ V. In Abb. 4.9 ist die Durchlasscharakteristik der parasitären Diode (Rückwärtsdiode) in beiden SJ-Strukturen bei zwei unterschiedlichen Temperaturen halblogarithmisch dargestellt.

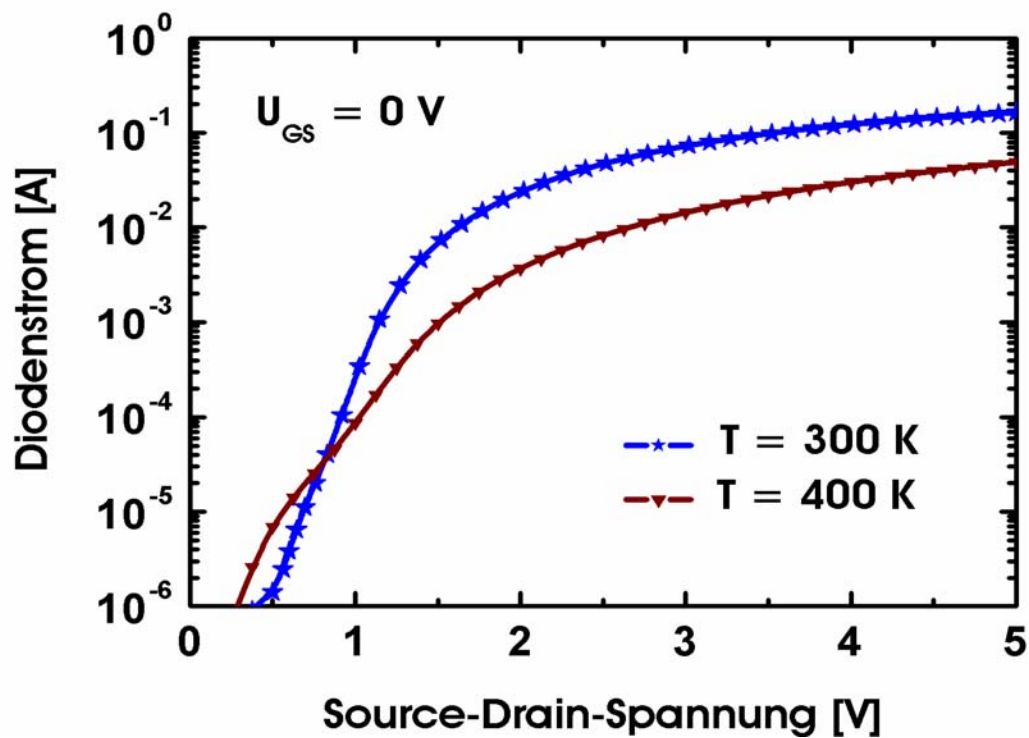
Das Verhalten der Rückwärtsdiode beider SJ-Designs unterscheidet sich kaum voneinander. Bei Überschreitung der so genannten Kniespannung ($\approx 0,7$ V für Silizium bei Raumtemperatur) beginnt ein merkbarer Flussstrom I_F (entspricht dem negativen Drainstrom $-I_D$) zu fließen. Betrachtet man die Rückwärtsdiode als eine p⁺n⁺-Leistungsdiode, so kann der Zusammenhang zwischen dem Flussstrom I_F und der Durchlassspannung U_F (entspricht der Rückwärtsspannung $-U_{DS}$) im unteren Strombereich abgeschätzt werden durch [Win93]

$$I_F \approx \frac{2 \cdot q \cdot A_{DIO} \cdot n_i \cdot L_a}{\tau_M} \cdot \frac{\tanh(w_M/L_a)}{\sqrt{1 - B^2 \cdot \tanh^4(w_M/L_a)}} \cdot \left(\sqrt{e^{\frac{U_F}{U_T}} - 1 + K_{ND}^2} - K_{ND} \right) \quad (4.18)$$

Hierbei bedeutet A_{DIO} die Diodenfläche, L_a die ambipolare Diffusionslänge, w_M die halbe Weite des schwachdotierten n-Gebietes und τ_M die Ladungsträgerlebensdauer im schwachdotierten n-Gebiet. Der Faktor B berücksichtigt den Einfluss der Ladungsträgerbeweglichkeit im schwachdotierten n-Gebiet, während der entsprechende Dotierungseinfluss in den Faktor K_{ND} mit einbezogen wird.



(a)



(b)

Abbildung 4.9: Vorwärtskennlinien der Rückwärtsdiode in halblogarithmischer Auftragung bei zwei verschiedenen Temperaturen; (a) Gleichförmige SJ (b) Ungleichförmige SJ.

Demnach steigt I_F zunächst exponentiell mit U_F an. Mit wachsender Temperatur nimmt der Diodenstrom im unteren Strombereich zu. Wie Gl. (4.18) andeutet, erklärt sich das Temperaturverhalten der Rückwärtsdiode bei geringen Strömen durch den rascheren Anstieg der intrinsischen Ladungsdichte n_i mit der Temperatur (nach Gl. (2.9) gilt $n_i \sim T^{3/2} \exp(-E_g(T)/2kT)$) im Vergleich zur Temperaturspannung U_T ($U_T \sim T$). Aus Abb. 4.9 ist darüber hinaus ersichtlich, dass bei konstantem und kleinem Strom eine Erhöhung der Temperatur zu einer Abnahme der Durchlassspannung führt; dieser Temperaturgang der Durchlassspannung wird verbreitet zur Messung des Wärmewiderstandes von Leistungsbauelementen verwendet.

Bei sehr großen Strömen wird der Verlauf der Diodenkennlinie allerdings durch den Bahnwiderstand verflacht, so dass Gl. (4.18) ihre Gültigkeit verliert. Der Bahnwiderstand setzt sich aus den Ohmschen Widerständen des elektrisch neutralen p- und n-Gebiets außerhalb der Raumladungszone zusammen. Er steigt mit wachsender anliegender Spannung an, da ein immer größerer Anteil der anliegenden Spannung über den Bahngebieten abfällt, während die übrige Spannung am pn-Übergang wirksam ist. Auch im Hochstrombereich treten Rekombinationsvorgänge in den hochdotierten Randgebieten deutlicher hervor [Bal96] und tragen somit zu weiteren Abweichungen der Kennlinie vom exponentiellen Verlauf bei.

4.2 Sperrverhalten

4.2.1 Durchbruchkennlinie

Das Sperrverhalten ist durch die Drain-Source-Durchbruchspannung $U_{(BR)DSS}$ bei kurzgeschlossenen Gate-Source-Anschlüssen $U_{GS} = 0$ gekennzeichnet. Entsprechend den Durchbruchkennlinien nach Abb. 4.10 steigt der Drainstrom beim Überschreiten von $U_{(BR)DSS}$ steil an; es tritt also ein Lawinendurchbruch zwischen Drain und Source auf. Ein Vergleich der Durchbruchkennlinien der gleichförmigen und ungleichförmigen SJ zeigt keine signifikanten Unterschiede. Das Bauelement mit gleichförmiger SJ-Auslegung bricht bei der Sperrspannung $U_{(BR)DSS} \approx 640$ V durch, während die Durchbruchspannung des ungleichförmigen Bauelementes etwa $U_{(BR)DSS} \approx 632$ V beträgt. Die Spannungsfestigkeit beider SJ-Strukturen im Durchbruch ist also vergleichbar.

Grundsätzlich nimmt die Durchbruchspannung quasi-linear mit der Temperatur zu. Die Temperaturabhängigkeit von $U_{(BR)DSS}$ entsteht dadurch, dass die Amplitude der Gitterschwingungen mit der Temperatur wächst. Deswegen nimmt die Stoßionisierungswahrscheinlichkeit ab, und die Durchbruchspannung steigt mit der Temperatur des Bauelements an, das bedeutet, der Temperaturkoeffizient der Durchbruchspannung ist positiv. In Abb. 4.11 ist die Durchbruchspannung der beiden SJ-Bauelemente gegen die Temperatur aufgetragen. Der Einfachheit halber ist der Avalan-

chedurchbruch hierbei bestimmt durch die Spannung, bei der das Ionisationsintegral gemäß Gl. (2.46) bzw. Gl. (2.47) gleich eins wird. Scheinbar steigt $U_{(BR)DSS}$ nicht in gleichem Verhältnis wie die erhöhte Temperatur an, was auf das in der Simulation herangezogene Modell (*Chynoweth*-Modell) zur Beschreibung der Temperaturabhängigkeit von den Stoßionisationskoeffizienten zurückzuführen ist.

Im Gegensatz zum bipolaren Transistor ist beim MOSFET der Lawindurchbruch ein reversibler Prozess, das heißt, er hat aufgrund eines positiven Temperaturkoeffizienten des Widerstandes keinen Wärmedurchbruch bzw. keine dauernde Schädigung zur Folge, und zwar solange sich keine höheren Ströme und Drain-Source-Spannungen einstellen.

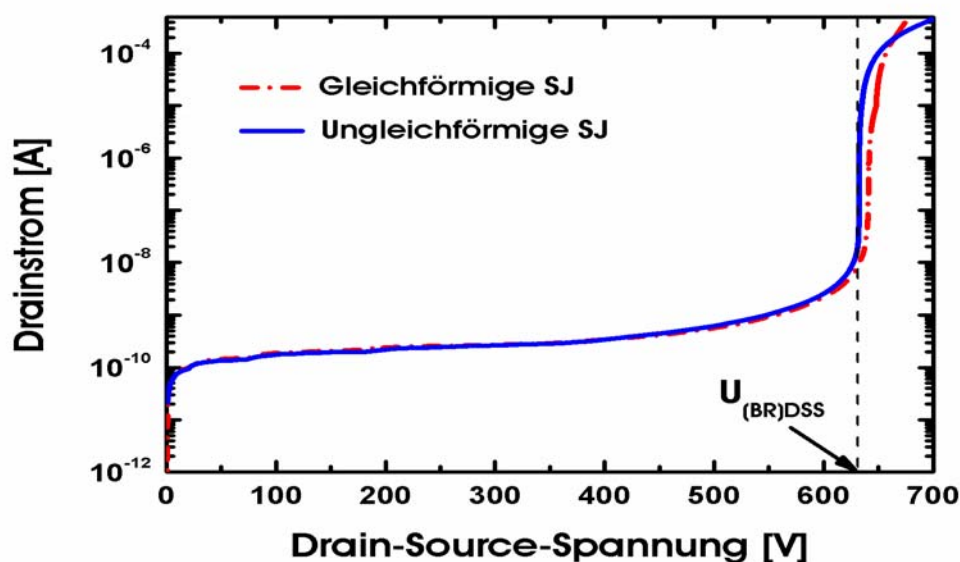


Abbildung 4.10: Durchbruchkennlinien des SJ-Transistors.

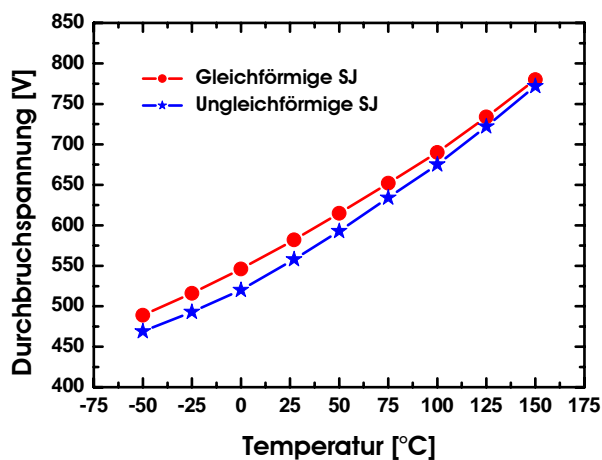


Abbildung 4.11: Variation der Durchbruchspannung mit der Temperatur.

4.2.3 Durchbruchspannung

Die untersuchten Kompensationsstrukturen können grundsätzlich an drei verschiedenen Orten durchbrechen: am Substrat-Driftzonen-Übergang, an einem der Säule-Driftzonen-Übergänge und am gekrümmten Basis-Driftzonen-Übergang nahe der Siliziumoberfläche. Der Substrat-Driftzonen-Übergang entspricht einem beidseitig abrupten planparallelen pn-Übergang, so dass für die Durchbruchspannung nach dem Depletion-Modell gilt [BGG99]:

$$U_{(BR)DSS}^P = 5,34 \cdot 10^{13} \cdot \left(\frac{N_S N_D}{N_S + N_D} \right)^{-3/4} \text{ V} \quad (4.19)$$

N_S entspricht der Dotierkonzentration des Substrats in cm^{-3} . Jeder Säule-Driftzonen-Übergang bildet einen beidseitig abrupten zylindrischen pn-Übergang. Entsprechend dem Ansatz nach *Baliga* [Bal96] ergibt sich die Durchbruchspannung für solch einen zylindrischen pn-Übergang in guter Näherung zu (siehe Anhang C):

$$U_{(BR)DSS}^Z = \frac{qN_A}{4\epsilon_{Si}} R_s^2 + \frac{qN_D}{2\epsilon_{Si}} \left[\left(\frac{R_s^2 - R_{krit}^2}{2} \right) + R_{krit}^2 \ln \left(\frac{R_{krit}}{R_s} \right) \right] \quad (4.20)$$

mit der radialen Ausdehnung R_{krit} der Raumladungszone beim Durchbruch:

$$\frac{R_{krit}}{\text{cm}} = \sqrt{\left(\frac{R_s}{\text{cm}} \right)^2 + 1,52 \cdot 10^{12} \cdot \frac{(R_s / \text{cm})^{6/7}}{(N_D / \text{cm}^{-3})}} \quad (4.21)$$

wobei R_s den Säulenradius und N_A die Säulendotierung bezeichnet. Den gekrümmten Basis-Driftzonen-Übergang behandelte *Kim et al.* [KKC94] als einseitig abrupt, und zwar unter Berücksichtigung von 3D-Krümmungseffekten der Raumladungszone. In Anlehnung an seine Näherung kann man den analytischen Ausdruck für die Durchbruchspannung des gekrümmten Basis-Driftzonen-Übergangs berechnen

$$U_{(BR)DSS}^K = \frac{qN_D}{\epsilon_{Si}(K+1)} \left[\frac{r_b^2}{2} + \frac{1}{K-1} \cdot \frac{r_{krit}^{K+1}}{r_b^{K-1}} - \frac{(K+1)}{2(K-1)} r_{krit}^2 \right] \quad (4.22)$$

mit dem kritischen Radius r_{krit} der gekrümmten Raumladungszone:

$$\frac{r_{krit}}{\text{cm}} = \left[\left(\frac{r_b}{\text{cm}} \right)^{K+1} + 5,9 \cdot 10^{11} \cdot \frac{(7K-1)^{1/7} (K+1) (r_b / \text{cm})^{K-1/7}}{(N_D / \text{cm}^{-3})} \right]^{1/(K+1)} \quad (4.23)$$

wobei der Krümmungsfaktor K gegeben ist durch

$$K = \frac{(r_m/r_b)+2}{(r_m/r_b)+1} \quad (4.24)$$

r_m entspricht dem Radius des kreisförmigen Source-Oxid-Fensters, durch das sich eine p^+ -Diffusion zur Bildung der p-Basis einstellt, und heißt lateraler Krümmungsradius. Die sich ausbreitende Sourcediffusion legt den Radius r_b des gekrümmten pn-Übergangs fest. Für die angenommenen Zahlenwerte $N_A = 1 \cdot 10^{16} \text{ cm}^{-3}$, $N_S = 1 \cdot 10^{14} \text{ cm}^{-3}$, $R_S = 2,5 \cdot 10^{-4} \text{ cm}$, $r_m = 3 \cdot 10^{-4} \text{ cm}$ und $r_b = 1 \cdot 10^{-4} \text{ cm}$ wird nach Abb. 4.12 die jeweilige Durchbruchspannung über der Driftzonendotierung N_D aufgetragen.

Es stellt sich heraus, dass der ideale Durchbruchort am Substrat-Driftzonen-Übergang liegt. Die Durchbruchspannung der beidseitig abrupten zylindrischen Übergänge der Säulen in die Driftzone ist viel kleiner als diejenige des beidseitig abrupten planparallelen Übergangs des Substrats in die Driftzone, aber noch etwas größer als diejenige des gekrümmten Basis-Driftzonen-Übergangs. Die Krümmungen von Raumladungszonen führen also zu stark verschlechterten Durchbruchspannungen.

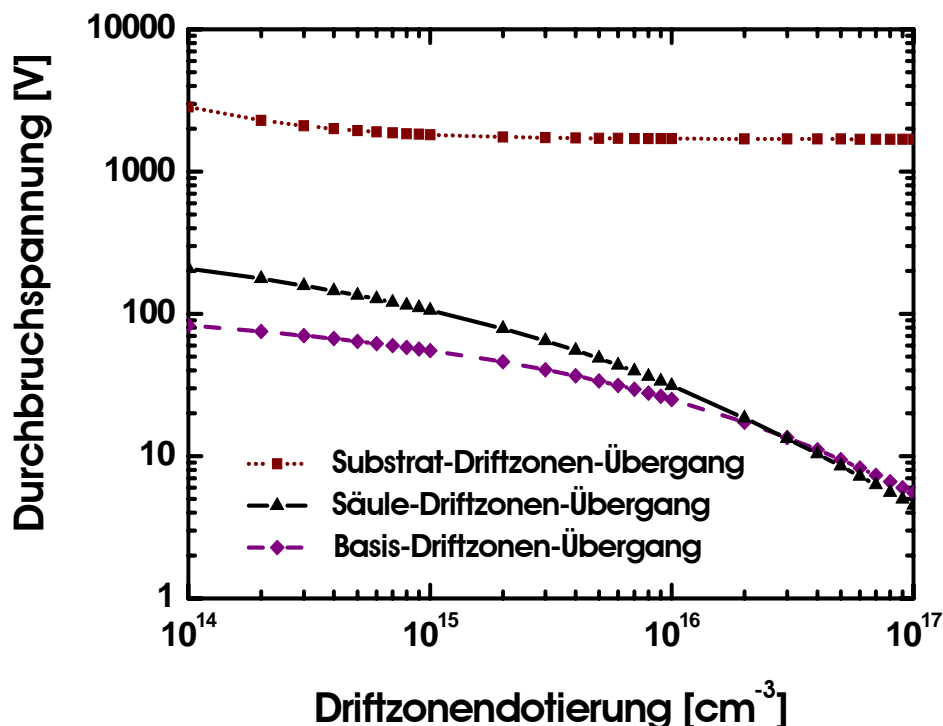


Abbildung 4.12: Theoretische Abhängigkeit der Durchbruchspannung des jeweiligen pn-Überganges von der Dotierung in der Driftzone.

Abb. 4.13 zeigt anhand der Konturdiagramme die Simulationsergebnisse des gleichförmigen SJ-LDMOS-Transistors zu Beginn des Avalanchedurchbruches. Dargestellt sind die elektrische Potentialverteilung, der absolute Betrag der elektrischen Feldstärke, der Verlauf der Stoßionisationsrate in der Raumladungszone und die Raumladungsverteilung.

Die Spannung fällt dabei ungleichmäßig am Transistor ab, wodurch es an Orten großer Potentialschwankungen, z.B. am gekrümmten p⁺n-Übergang Basis-Driftzonen, zu hohen Feldstärken kommt. Die Potentiallinien liegen am dichtesten im Bereich der Grenzfläche zwischen der Driftzone und dem Substrat unter dem Drain. An dieser Substratgrenzfläche hat die vertikale Feldkomponente ihr Maximum, sie wird aber von dort aus entlang der Grenzfläche bis zur Source immer schwächer, weil die Spannung mit zunehmender Entfernung zum Drain abnimmt. Dementsprechend greift die Raumladungszone in Richtung Drain hin immer tiefer in das Substrat hinein und erzeugt damit einen keilförmigen Verlauf. Die Raumladung im Substrat, die durch die Eindringtiefe der Raumladungszone bestimmt ist, steigt auch in Richtung Drain hin an.

Die simulierte Potential- und Feldverteilung, der Verlauf der Stoßionisationsrate in der Raumladungszone sowie die Ausdehnung der Raumladungszone beim Avalanchedurchbruch des ungleichförmigen SJ-LDMOS-Transistors sind aus Abb. 4.14 zu entnehmen. Gebiete mit hoher Feldstärke entstehen sowohl an den Säule-Driftzonen-Übergängen als auch an der Grenzfläche zwischen dem Substrat und der Driftzone. Allerdings sind die Potentiallinien nach wie vor an der Substratgrenzfläche am engsten zusammengedrängt. Verglichen mit der gleichförmigen SJ greift die Raumladungszone der ungleichförmigen SJ aufgrund der Ungleichförmigkeit der Säulenstruktur weniger tief in das Substrat hinein. Das heißt, der ungleichförmige SJ-LDMOS-Transistor bietet eine Milderung des substratgestützten Ausräumungseffekts.

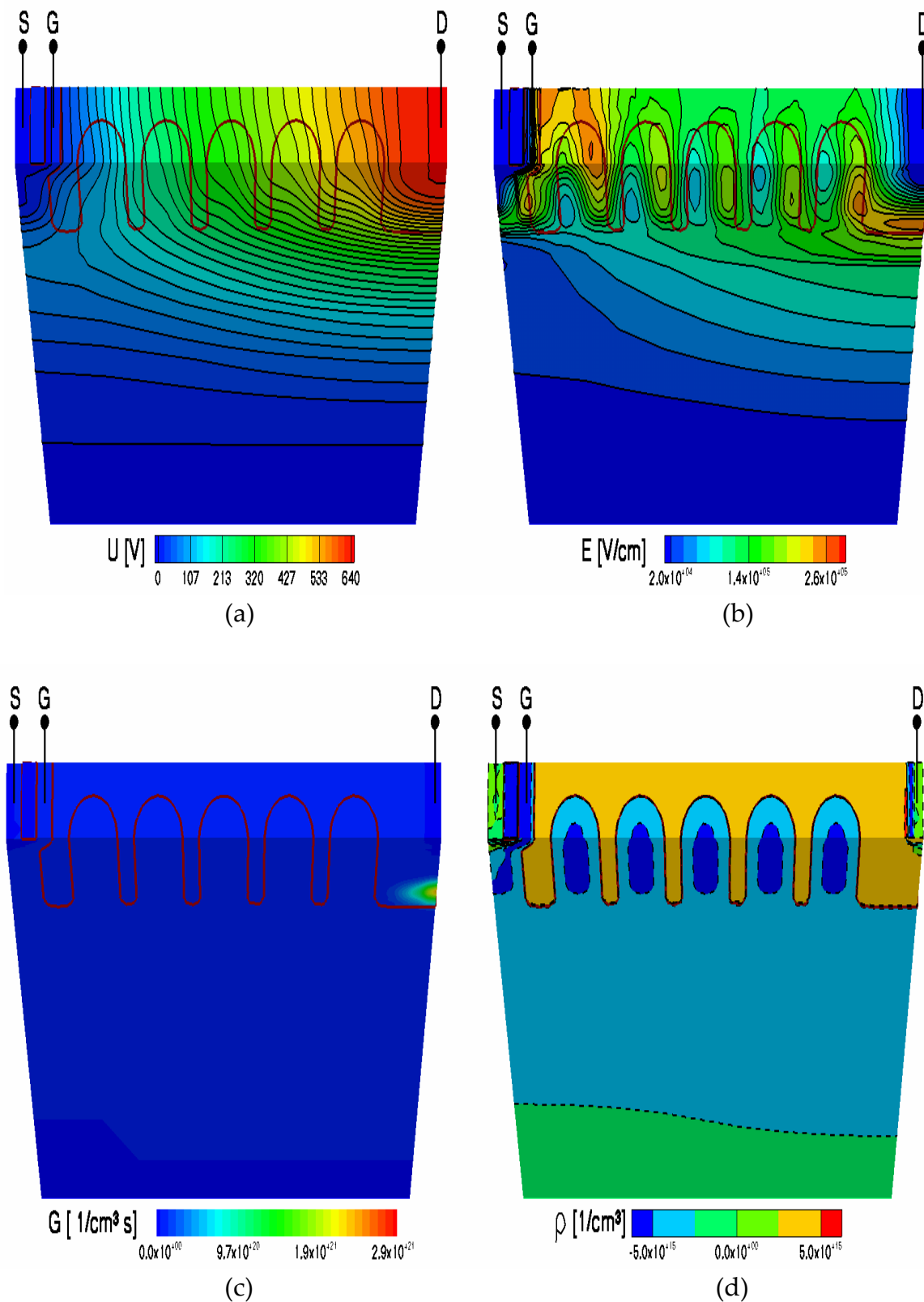


Abbildung 4.13: 3D-Konturdiagramme des simulierten Durchbruchverhaltens des gleichförmigen SJ-LDMOS-Transistors; (a) Potentialfeldverteilung (b) Elektrische Feldverteilung (c) Verlauf der Stoßionisationsrate in der Raumladungszone (d) Raumladungsdichte (Gestrichelte Linien bezeichnen die Abgrenzung der Raumladungszone).

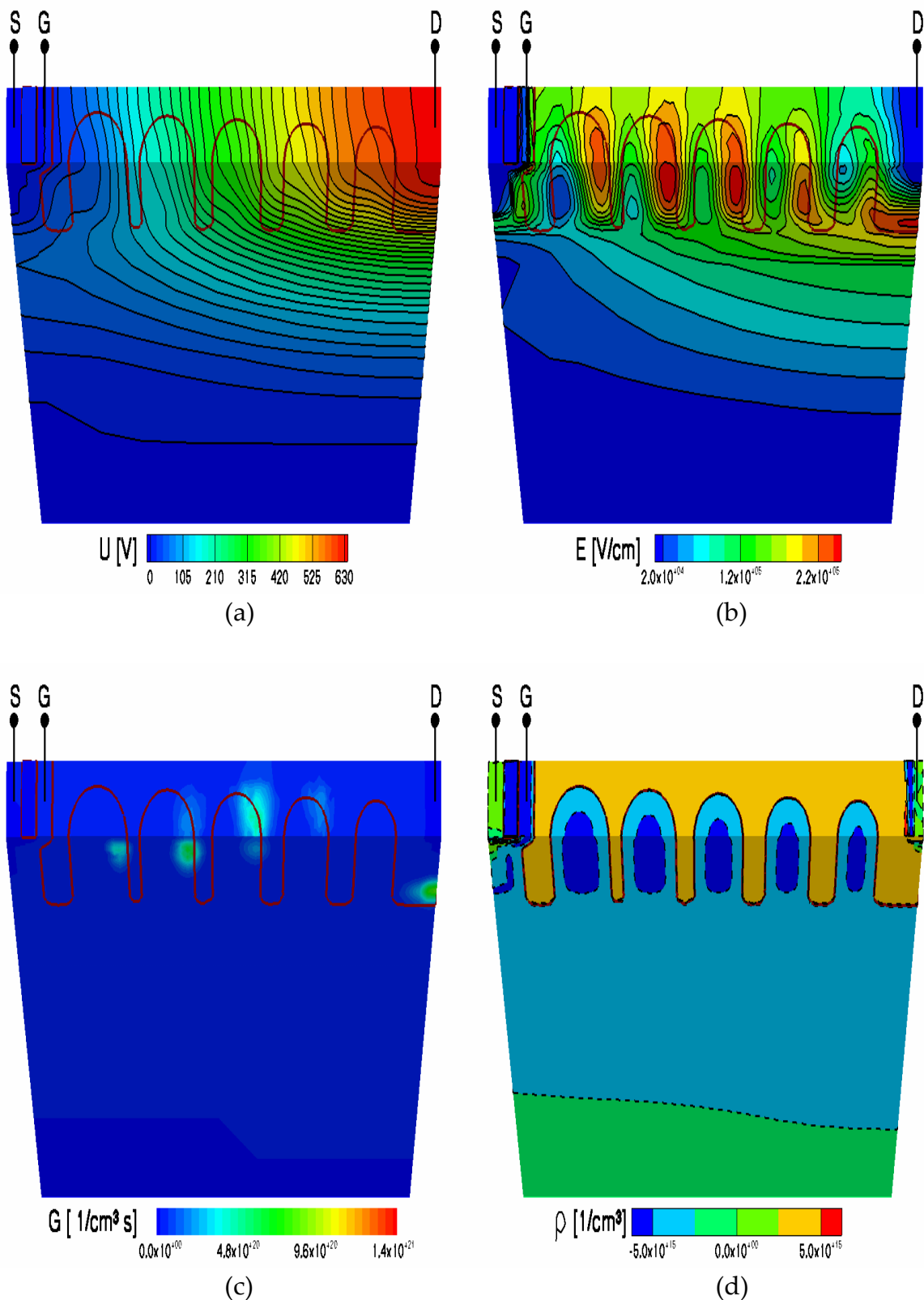


Abbildung 4.14: 3D-Konturdiagramme des simulierten Durchbruchverhaltens des ungleichförmigen SJ-LDMOS-Transistors; (a) Potentialfeldverteilung (b) Elektrische Feldverteilung (c) Verlauf der Stoßionisationsrate in der Raumladungszone (d) Raumladungsdichte (Gestrichelte Linien bezeichnen die Abgrenzung der Raumladungszone).

4.3 Sicherer Arbeitsbereich (Safe Operating Area)

In Anbetracht eines vernünftigen Rechenaufwands gehen die bisher untersuchten Durchlass- und Sperreigenschaften von SJ-MOSFETs von isothermen Bedingungen aus, d.h. die Innentemperatur der Bauelemente, also die Sperrschichttemperatur T_j , entspricht der konstanten Umgebungstemperatur T_a . Diese Annahme trifft in Wirklichkeit, insbesondere bei beträchtlicher Verlustleistung, nicht zu. Dort führt die in den Bauelementen umgesetzte Leistung durch thermisch-elektrische Wechselwirkung eine lokale Selbsterwärmung der Bauelemente und damit eine Erhöhung von T_j gegenüber T_a herbei. Die Erwärmungserscheinung kann man an den nichtisothermen Ausgangskennlinienfeldern bei hohem U_{GS} entsprechend Abb. 4.15 beobachten. Die nichtisothermen Kennlinienfelder werden durch Erweiterung der Halbleitergrundgleichungen um die Wärmeleitungsgleichung elektrothermisch simuliert, wobei das Substrat der Bauelemente direkt über einer Wärmesenke liegt, deren andere Ende auf konstanter Raumtemperatur (300 K) gehalten wird. Der thermische Oberflächenwiderstand zwischen der Substratoberfläche und der Wärmesenke, d.h. der reziproke Wert von λ (siehe Gl. (2.79)), nimmt dabei den Wert $0,2 \text{ cm}^2\text{K}/\text{W}$ an⁴. Wie ersichtlich ist, decken sich für $U_{GS} = 5 \text{ V}$ die nichtisotherme Kennlinie und die isotherme Kennlinie, was eine noch sehr geringe Temperatureinwirkung impliziert. Bei $U_{GS} = 10 \text{ V}$ hingegen wird eine Abweichung zwischen den beiden Kennlinien bemerkbar und weist darauf hin, dass sich die Wärme in den Bauelementen entwickelt. Dabei sinkt der Drainstrom als Folge einer temperaturbedingten Abnahme der Elektronenbeweglichkeit. Erhöht man bei dieser hohen Gatespannung $U_{GS} = 10 \text{ V}$ die Drainspannung immer weiter, so kommt es bei ausreichend großem Leistungsumsatz in den Bauelementen zu einer thermischen Zerstörung der Bauelemente und damit zu einem abrupten Stromanstieg.

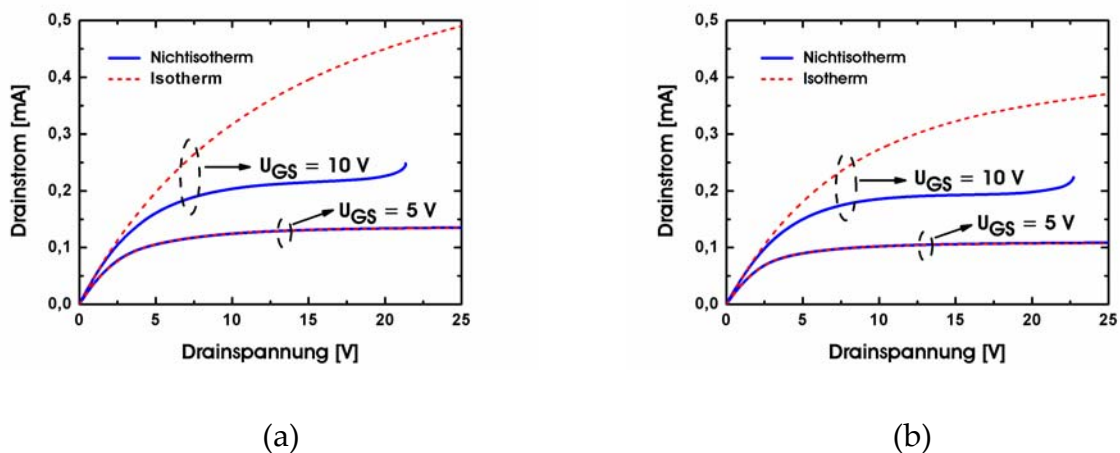


Abbildung 4.15: Isotherme und nichtisotherme Ausgangskennlinienfelder im Vergleich; (a) Gleichförmige SJ (b) Ungleichförmige SJ.

⁴ Die thermischen Oberflächenwiderstände $1/\lambda$ liegen typischerweise zwischen $0,1$ und $1,0 \text{ KW}^{-1}\text{cm}^2$.

Um thermische Stabilität sicherzustellen, müssen gleichzeitig Strom und Spannung in so begrenzter Größe auftreten, dass die Zerstörungsgefahr durch Überschreiten der maximalen Sperrschichttemperatur $T_{j\max}$ nicht besteht. Für Si-Bauelemente hat $T_{j\max}$ typische Werte von $\approx 150^\circ\text{C}$. Der Bereich des Strom-Spannungs-Wertes eines Transistors, in dem thermische Stabilität gewährleistet ist, wird als sicherer Arbeitsbereich (*Safe Operating Area*, Abk., *SOA*) bezeichnet. In Abb. 4.16 ist die SOA eines Leistungs-MOSFETs in logarithmischer Darstellung aufgezeichnet. Er wird in der statischen SOA (versehen mit durchgezogener Linie) und der dynamischen SOA (versehen mit gestrichelten Linien) unterteilt und durch folgende Einflussgrößen begrenzt:

- Durchbruchspannung $U_{(BR)DSS}$
- Durchlasswiderstand $R_{DS(on)}$
- Maximaler Drainstrom – bedingt vor allem durch die Strombelastbarkeit der Bonddrähte
- Maximal zulässige Verlustleistung P_V bei vorgegebenen Kühlbedingungen (z.B. $T_a = 25^\circ\text{C}$)

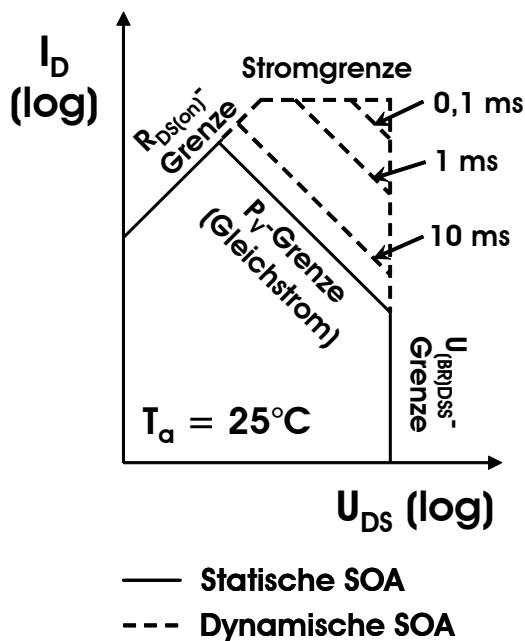


Abbildung 4.16: Sicherer Arbeitsbereich (SOA) eines Leistungs-MOSFETs bei konstanter Umgebungstemperatur $T_a = 25^\circ\text{C}$.

Für die statische SOA dient ein Gleichstromverfahren zur Ermittlung des nutzbaren Bereiches. Im Gleichstrombetrieb wird P_V vor allem durch den thermischen Widerstand R_{th} zwischen Sperrschicht und Umgebung quantitativ bestimmt:

$$P_V = \frac{T_{j\max} - T_a}{R_{th}} \quad (4.25)$$

Der thermische Widerstand R_{th} kann in einem Innenbestandteil, welcher durch die Wärmeleitfähigkeit κ in Gl. (2.73) berücksichtigt wird, und in einem Außenbestandteil, welcher durch thermischen Oberflächenwiderstand λ^{-1} anzugeben ist, aufgeteilt werden. Seine Größe ist durch die Geometrie und das Material des Transistors bedingt. Bei Kenntnis von R_{th} (z.B. durch Datenblattangaben) kann man auch den maximalen Dauer-Drain-Gleichstrom $I_{D_{\max}}$ leicht ermitteln:

$$I_{D_{\max}} = \sqrt{\frac{T_{j_{\max}} - T_a}{R_{DS(on)}(T = T_{j_{\max}}) \cdot R_{th}}} \quad (4.26)$$

Hierin ist $R_{DS(on)}(T = T_{j_{\max}})$ der Durchlasswiderstand bei der maximalen Sperrschichttemperatur $T_{j_{\max}}$ ($\approx 150^\circ\text{C}$). Aus den Gleichungen (4.25) und (4.26) folgt, dass im Dauerbetrieb sowohl P_V als auch $I_{D_{\max}}$ mit wachsender Umgebungstemperatur T_a vermindert werden. Der Wert für $I_{D_{\max}}$ wird jedoch in der Praxis nicht eingehalten, denn für geringe Drainspannungen ist der Drainstrom I_D durch den Durchlasswiderstand $R_{DS(on)}$ begrenzt, für hohe Drainspannungen entweder durch die maximale Verlustleistung P_V oder durch die Durchbruchspannung $U_{(BR)DSS}$.

Messtechnisch geht ein Gleichstromverfahren aufgrund der relativ langen Messdauer mit erheblicher Verlustleistung einher. Gerade deshalb arbeitet man vorzugsweise mit einem Impulsverfahren, bei dem das Bauelement z.B. mit kurzen rechteckförmigen Gatespannungs-Impulsen bei konstantem U_{DS} angesteuert wird. Der Impulsbetrieb verzögert das Ansteigen der Sperrschichttemperatur, indem die Wärmekapazität c_L des Halbleitermaterials durch die Verlustleistung umgeladen wird, und verursacht ein periodisches Aufheizen und Abkühlen des Bauelementes. Auf diese Weise sind höhere Impulsspitzenleistungen⁵ realisierbar. Die dynamische SOA beruht auf einem Impulsbetrieb, somit ist er gemeinhin großflächiger als die statische SOA. Charakteristisch für zeitveränderliche Wärmevorgänge ist die transiente Wärmeimpedanz Z_{th} . Sie ist ein Maß für das Wärmeableitvermögen bei Einspeisung einzelner Rechteckimpulsen konstanter Höhe. Ihre Größe ist von der Impulsdauer t_p abhängig, jedoch stets geringer als der thermische Widerstand R_{th} . Den typischen Verlauf von Z_{th} in Abhängigkeit von t_p gibt Abb. 4.17 an, aus der offensichtlich ist, dass die transiente Wärmeimpedanz zunächst drastisch mit zunehmender Impulsdauer ansteigt, bevor der Anstieg nachlässt. Aus der transienten Wärmeimpedanz Z_{th} bestimmt sich die zulässige Impulsspitzenleistung P_V gemäß

$$P_V = \frac{T_{j_{\max}} - T_a}{Z_{th}(t_p)} \quad (4.27)$$

⁵ Wenn Leistungsbauelemente im Impulsbetrieb arbeiten, spricht man nicht mehr von Verlustleistung, sondern von Impulsspitzenleistung.

Entsprechend Gl. (4.27) erhält man deshalb eine umso kleinere dynamische SOA, je länger die Impulsdauer ist. Bei nahezu unendlich langen Impulsdauern nähert sich die dynamische SOA der statischen SOA an, bei nahezu unendlich kurzen Impulsdauern hingegen tendieren die Strom- und Durchbruchspannungsgrenze der dynamischen SOA dazu, aneinander anzuschließen.

Ganz analog wird der zulässige Spitzenwert des Drainstromes $I_{D(peak)max}$ mit Hilfe von Z_{th} berechnet:

$$I_{D(peak)max} = \sqrt{\frac{T_{jmax} - T_a}{R_{DS(on)}(T = T_{jmax}) \cdot Z_{th}}} \quad (4.28)$$

Typischerweise ist $I_{D(peak)max}$ viermal so groß wie I_{Dmax} , allerdings unterliegt $I_{D(peak)max}$ aufgrund seiner Abhängigkeit von Z_{th} der Pulsdauer t_p . Je kürzer die Impulse dauern, desto höher wird $I_{D(peak)max}$. Darum kann der zulässige Spitzenwert des Drainstromes $I_{D(peak)max}$ bei kurzen Pulsen sogar den maximalen Strom durch die Bonddrähte erreichen.

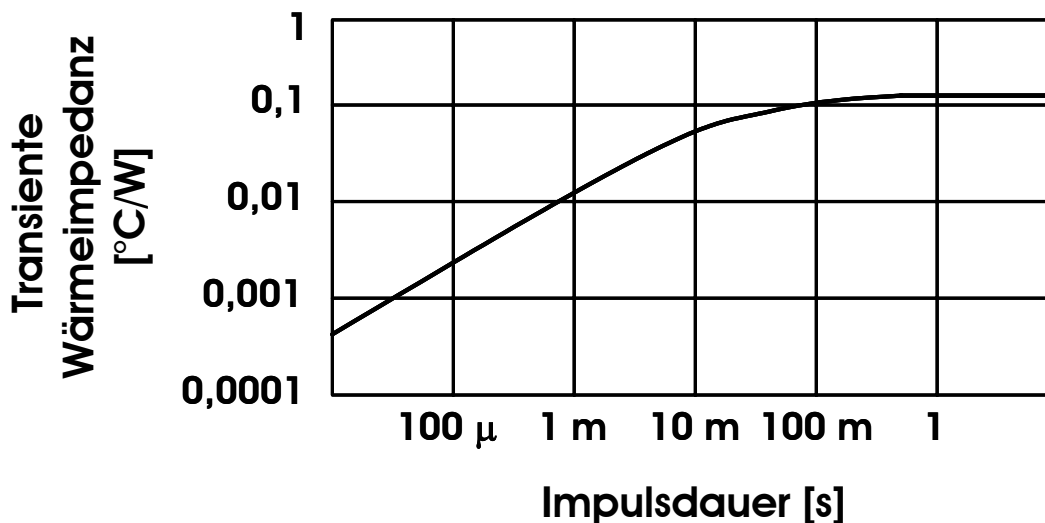


Abbildung 4.17: Transiente Wärmeimpedanz Z_{th} in Abhängigkeit der Impulsdauer t_p .

4.4 Trade-Off zwischen Durchlass- und Sperrfähigkeit

Den Zusammenhang zwischen dem spezifischen Durchlasswiderstand und der Durchbruchspannung von beiden Säulenstrukturen veranschaulichen die Trade-Off-Kurven nach Abb. 4.18 im Vergleich zum RESURF-LDMOS-Silizium-Limit gemäß Gl. (3.11) mit $d = 15 \mu\text{m}$ und zum konventionellen RESURF-LDMOS nach *Kimm et al.* [KKC01]. Die Kurvenermittlung erfolgt durch gleichzeitige Variation der Dotierung

in den p-Säulen und in der n-Driftzone bei einer festgehaltenen Schichtdicke von 15 μm . Im Fall der ungleichförmigen SJ nähert sich der Trade-Off im Hochspannungsbereich scheinbar näher dem Silizium-Limit an als im Niederspannungsbereich, im Fall der gleichförmigen SJ hingegen verläuft der Trend entgegengesetzt. Der Überlappungspunkt zwischen beiden Trade-Off-Kurven deutet die Möglichkeit an, beide SJ-Strukturen so zu konzipieren, dass ihr stationäres Betriebsverhalten vergleichbar ist. Gegenüber dem konventionellen RESURF-LDMOS verzeichnen die untersuchten SJ-LDMOS-Transistoren einen um etwa 40% geringeren Durchlasswiderstand.

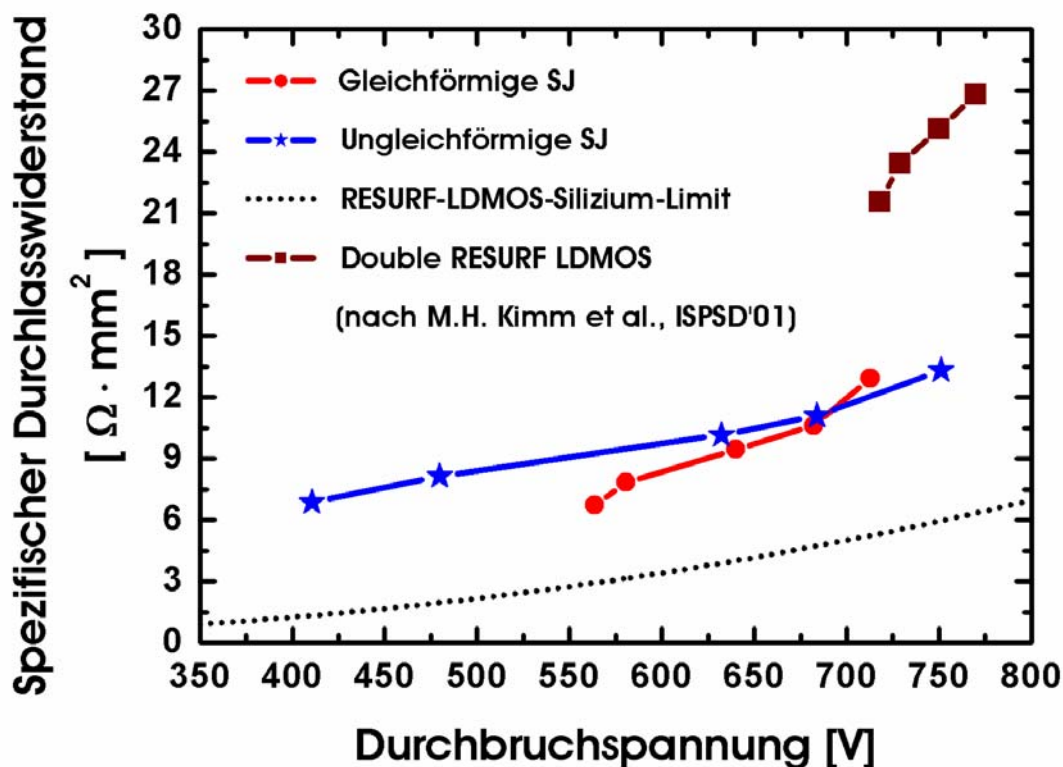


Abbildung 4.18: Trade-Off-Kurven des SJ-Transistors im Vergleich zum konventionellen RESURF-LDMOS.

In Anbetracht von Gl. (4.8) erwartet man, dass die Erhöhung des Zellabstands b ein Sinken des flächenbezogenen Durchlasswiderstandes $R_{DS(on)} \cdot A$ zur Folge hat, da hierdurch die Dotiermenge in der Driftzone angehoben wird. Dennoch lässt sich der Zellabstand nicht beliebig vergrößern, wie in Abb. 4.19 zu sehen ist, denn es gibt einen kritischen Wert ($b \approx 10 \mu\text{m}$), über welchen sich die Blockierfähigkeit verschlechtert. Wenn der Zellabstand diesen kritischen Wert annimmt, so steht der SJ-LDMOS-Transistor unter optimal ladungsausgleichender Wirkung der p- und n-Gebiete, was zur maximalen Durchbruchspannung führt. Eine Abweichung des Zellabstands vom kritischen Wert ist mit einer Störung der Kompensationsbedingung verbunden. Beim Vergleich zwischen beiden SJ-Auslegungen ist allerdings deutlich

erkennbar, dass sich die Durchbruchspannung der ungleichförmigen SJ bei solchen Abweichungen nicht so drastisch reduziert wie bei der gleichförmigen SJ. Diese geringere Sensitivität der Spannungsfestigkeit gegen gestörten Ladungsausgleich deutet auf eine Besonderheit der ungleichförmigen Säulenauslegung, worauf im nächsten Abschnitt näher eingegangen wird.

Auch gemäß Gl. (4.8) ist eine Reduktion des Durchlasswiderstandes durch Erhöhung der Dicke der Driftzone d , oder, mit anderen Worten, der Höhe der p-Säulen möglich. Abb. 4.20 zeigt $R_{DS(on)} \cdot A$ und $U_{(BR)DSS}$ in Abhängigkeit von der Driftzontentiefe d . Bei kleinen Driftzontentiefen nimmt $R_{DS(on)} \cdot A$ offenbar bei gleichzeitigem Anstieg von $U_{(BR)DSS}$ ab. Erst wenn die Driftzontentiefe über einen kritischen Wert von ca. 15 μm erhöht wird, kommt es ebenfalls zur Verschlechterung der Blockierfähigkeit des Bauelements. Dabei sinkt $R_{DS(on)} \cdot A$ weiterhin, sein Verlauf zeigt aber geringere Senkungen, da der Stromfluss beim SJ-LDMOS in der Regel oberflächennah erfolgt. Die Einwirkung der Driftzontentiefe auf $U_{(BR)DSS}$ lässt sich anhand der Abbildungen 4.21 und 4.22 anschaulich erklären. Wenn die Driftzone nicht zu tief ist ($d < 12 \mu\text{m}$), kommt es lange vor dem Erreichen des Durchbruchs an einem pn-Übergang zu einer Verarmung an Ladungsträgern in dieser Driftzone. Somit findet der Durchbruch am n⁺n-Übergang statt. Eine weitere Vergrößerung der Driftzontentiefe verschiebt den Durchbruch vom n⁺n-Übergang auf dem vertikalen pn-Übergang vom Substrat in die Driftzone, an dem die Durchbruchspannung ihren Höchstwert hat. Beim Überschreiten des kritischen Werts ($d \approx 15 \mu\text{m}$) wird die Wechselwirkung des vertikalen pn-Überganges mit den lateralen pn-Übergängen weniger wirksam, was wiederum den oberflächennahen Durchbruch entweder am Übergang der p-Basis in die n-Driftzone oder am Übergang der p-Säulen in die n-Driftzone eintreten lässt und damit die Durchbruchspannung verringert.

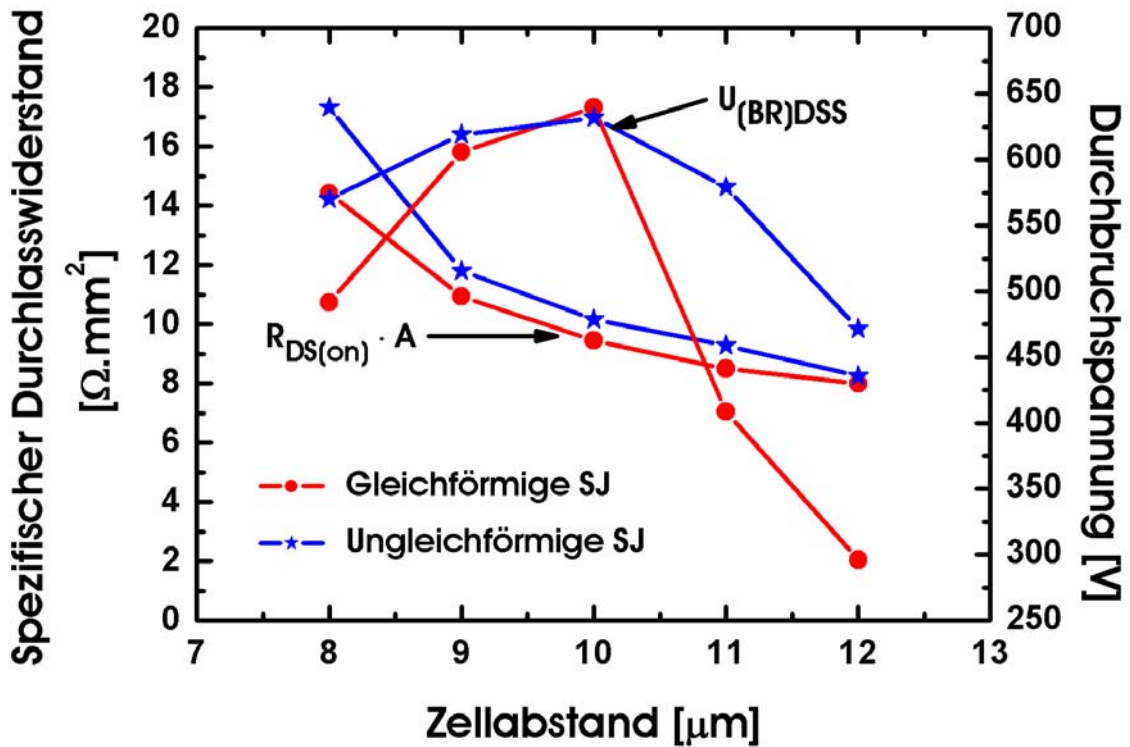


Abbildung 4.19: Einfluss des Zellabstands auf die Durchbruchspannung und den spezifischen Durchlasswiderstand.

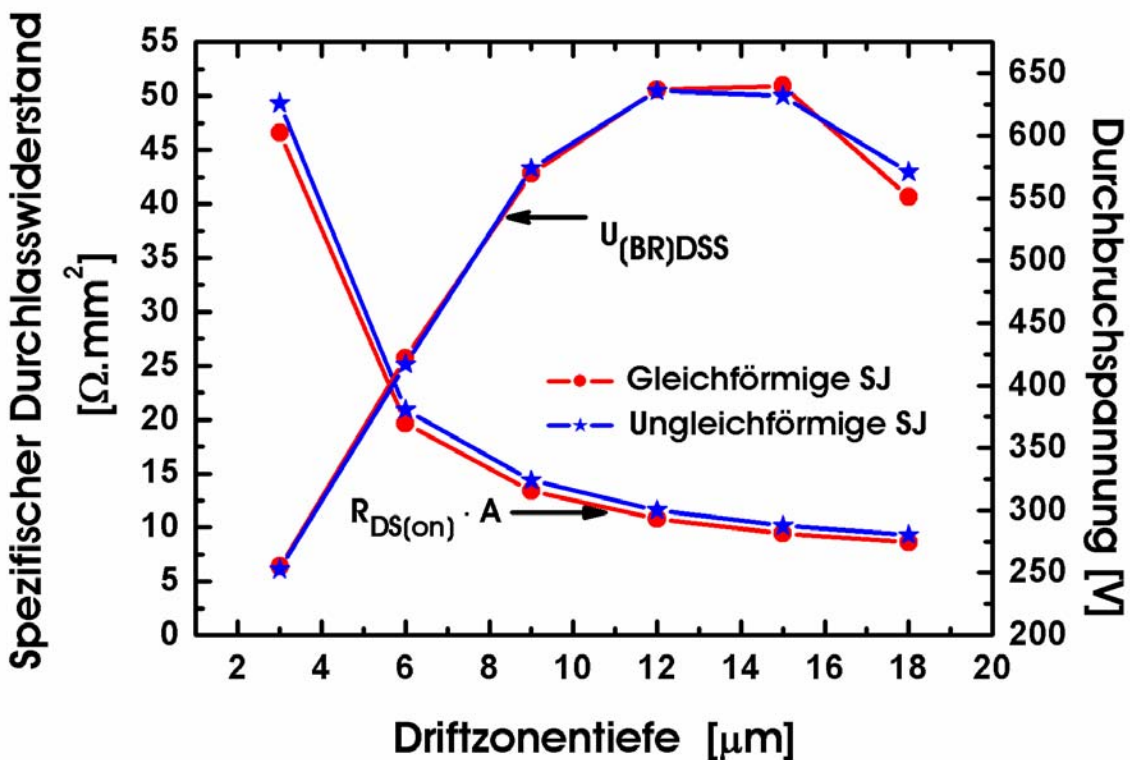


Abbildung 4.20: Einfluss der Driftzonentiefe auf die Durchbruchspannung und den spezifischen Durchlasswiderstand.

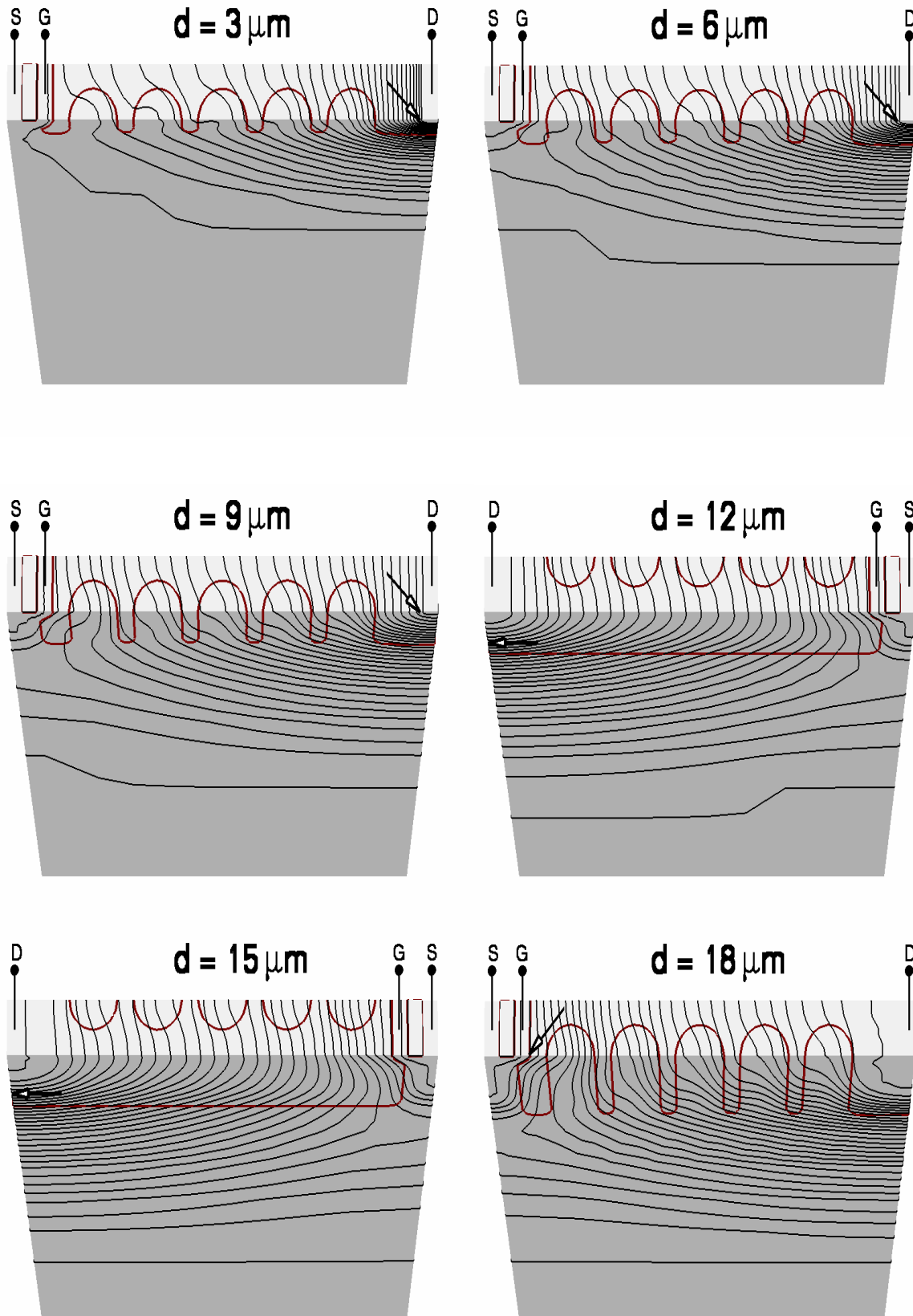


Abbildung 4.21: Durchbruchstelle der gleichförmigen SJ in Abhängigkeit der Driftzonentiefe (Pfeilspitzen zeigen die Durchbruchstelle an).

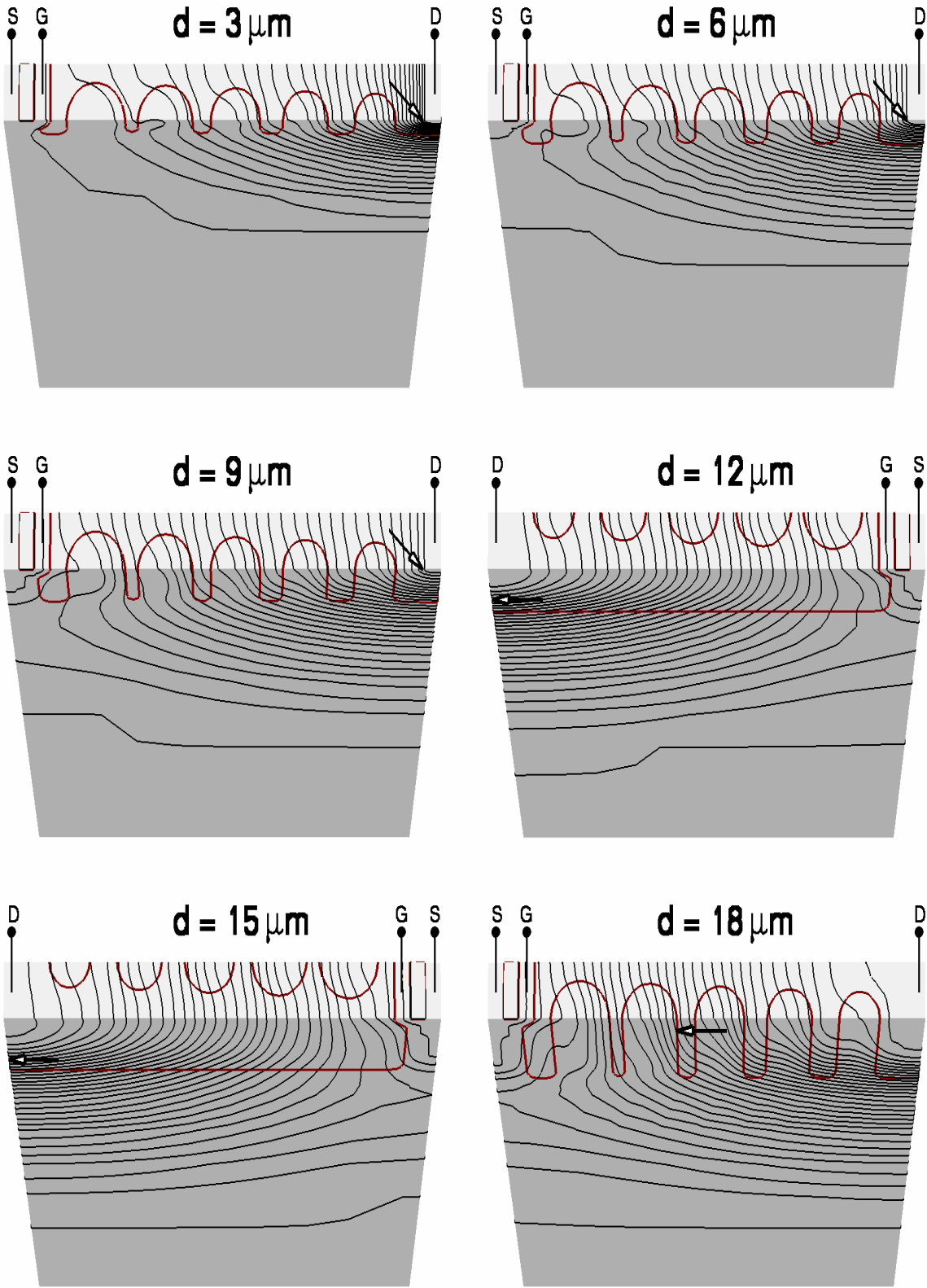
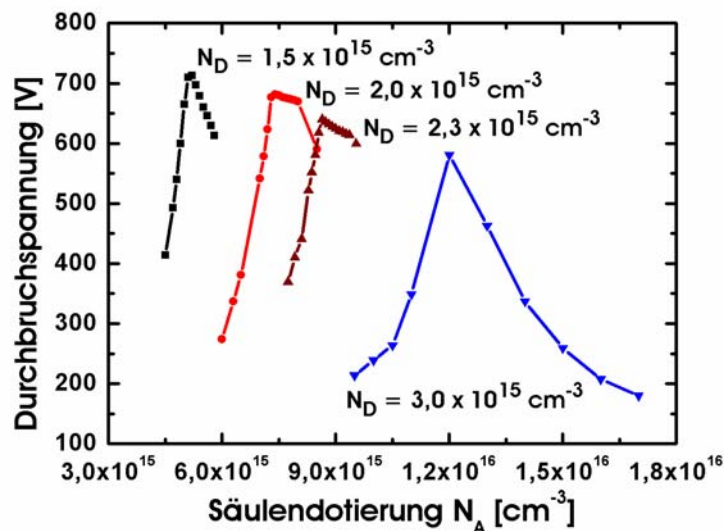


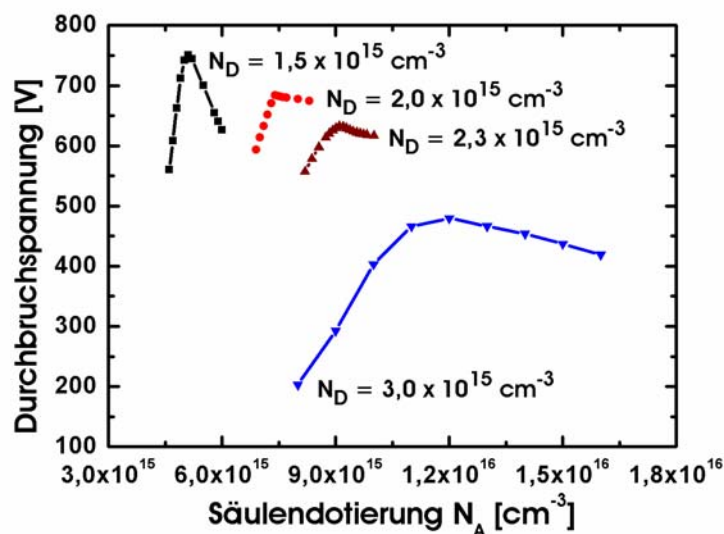
Abbildung 4.22: Durchbruchstelle der ungleichförmigen SJ in Abhängigkeit der Driftzonentiefe (Pfeilspitzen zeigen die Durchbruchstelle an).

4.5 Empfindlichkeit gegen nichtideale Dotierungsverhältnisse

Für die Funktion des SJ-LDMOS ist die vollständige Kompensation der Gesamtladung in den p-Säulen und in der n-Driftzone ausschlaggebend. Jeder festgehaltenen Driftzonendotierung N_D ist beim optimalen SJ-Design eine optimale Säulendotierung N_A^{\max} zugeordnet und umgekehrt, wie in Abb. 4.23 gezeigt wurde. Mit der optimalen Dotierung wird hierbei diejenige Dotierung gemeint, welche die maximale Durchbruchspannung zur Folge hat.



(a)



(b)

Abbildung 4.23: Dotierungsabhängigkeit der Durchbruchspannung; (a) Gleichförmige SJ (b) Ungleichförmige SJ.

Im Herstellungsprozess aber sind Schwankungen in den Dotierungen unvermeidbar. Für den Kompensationsgrad lässt sich folgende Definition angeben [SBD99]:

$$\frac{N_i}{\%} := \frac{N_i - N_i^{\max}}{N_i^{\max}} \quad (4.29)$$

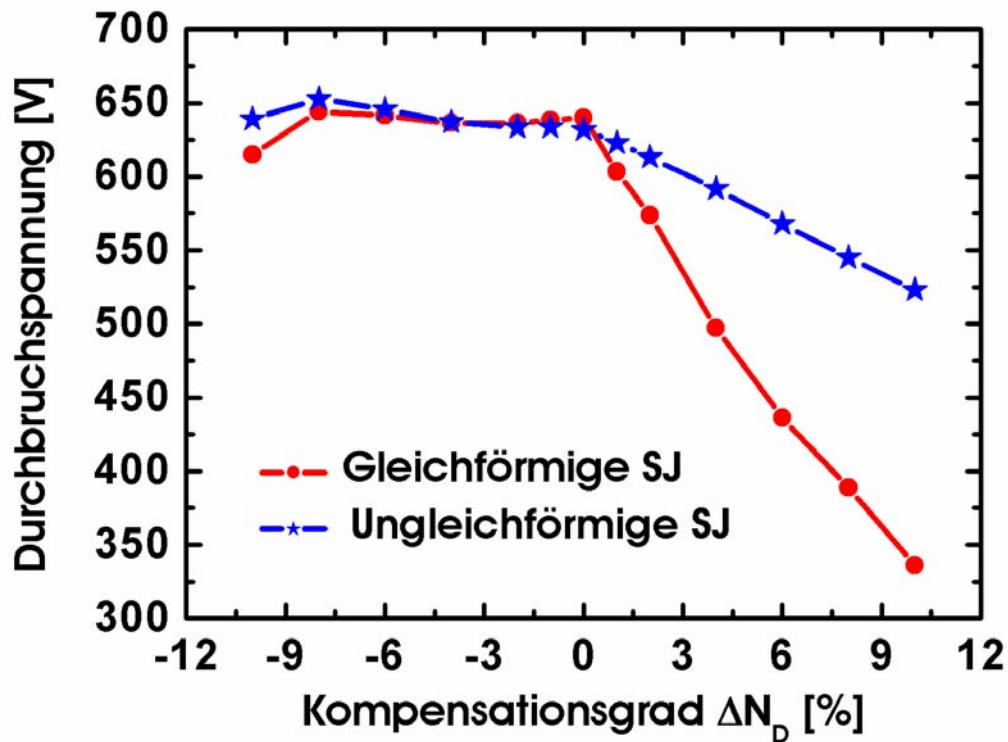
mit $i = A, D$. Hierbei ist (N_A^{\max}, N_D^{\max}) ein Zahlenpaar, für welches die Durchbruchspannung den maximalen Wert annimmt. Zum Beispiel liegt N_A^{\max} für beide SJ-Strukturen mit konstantem $N_D = 3 \cdot 10^{15} \text{ cm}^{-3}$ bei etwa $1,2 \cdot 10^{16} \text{ cm}^{-3}$.

Abb. 4.24 und Abb. 4.25 zeigen die Durchbruchspannung und den spezifischen Durchlasswiderstand von beiden SJ-Strukturen bei verschiedenen Kompensationsgraden in der Driftzone, ΔN_D , bzw. in den Säulen, ΔN_A . Offensichtlich führt ein Unterschreiten der optimalen Dotierungskonzentrationen in den Säulen zu einer viel drastischeren Reduktion der Durchbruchspannung als wenn die Säulen zu stark dotiert sind; das bedeutet, die Sensitivität der Durchbruchspannung ist für positive Werte von ΔN_A ($\Delta N_A > 0$) wesentlich schwächer als für negative Werte von ΔN_A ($\Delta N_A < 0$). Bei gestörtem Ladungsausgleich in der n-Driftzone, ΔN_D , tritt der umgekehrte Effekt ein mit der Ausnahme, dass ein Ladungsdefizit von bis zu 8% ($-8 \leq \Delta N_D < 0$) die Durchbruchspannung geringfügig erhöht. Dies liegt daran, dass das optimale Design für die untersuchten SJ-Bauelemente bisher durch Einstellung der Säulendotierung N_A bei festgehaltenem Driftzonendotierung N_D erreicht ist. Wenn man nun N_A festhält und N_D variiert, muss ein optimales N_D^{\max} existieren, für das die maximale Durchbruchspannung erreicht wird, wie oben schon erwähnt. Die Durchbruchspannung verhält sich also bei einem Vorzeichenwechsel des Kompensationsgrades unsymmetrisch. Wird dennoch ein Vergleich zwischen beiden SJ-Designs angestellt, so ist festzustellen, dass jedenfalls die Blockierfähigkeit der gleichförmigen SJ empfindlicher gegen Kompensationsabweichungen reagiert als diejenige der ungleichförmigen SJ. Aus Abb. 4.25 geht darüber hinaus hervor, dass mit zunehmenden ΔN_A der spezifische Durchlasswiderstand steigt, mit zunehmenden ΔN_D hingegen sinkt. Die Zunahme von ΔN_D ist gleichbedeutend mit einer Anhebung von N_D und bewirkt deswegen einen Abfall vom spezifischen Durchlasswiderstand. Im Gegensatz dazu reduziert eine Zunahme von ΔN_A die Durchtrittsfläche für Elektronen, so dass der spezifische Durchlasswiderstand wächst, trotzdem ändert sich der spezifische Durchlasswiderstand nur wenig mit zunehmenden ΔN_A .

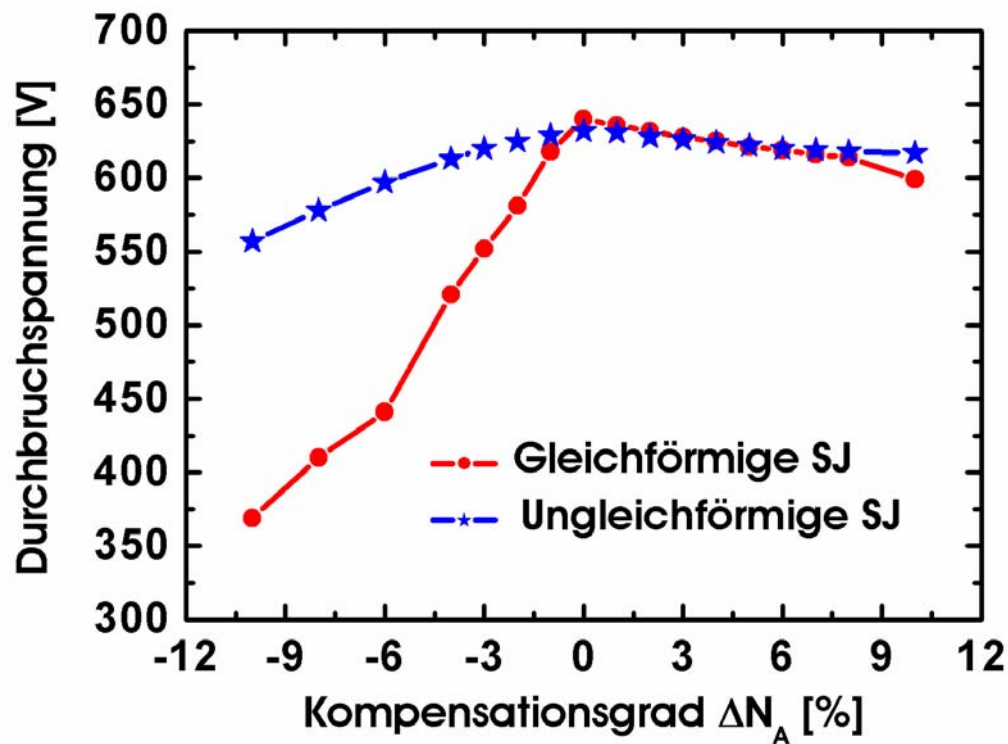
Wenn man bedenkt, dass der drainnahe pn-Übergang zwischen dem Substrat und der Driftzone bei einer höheren Sperrspannung durchbricht als in den anderen Teilen des Bauelementes, so ist das beobachtete unsymmetrische Verhalten der Durchbruchspannung auf die Verlagerung des Avalanchedurchbruchs von der drainnahen Grenzfläche zwischen dem Substrat und der Driftzone entweder an den

p-Basis-n-Driftzonen-Übergang oder an einen der p-Säule-n-Driftzonen-Übergänge zurückzuführen. Abb. 4.26 bis 4.29 erlauben einen Vergleich des elektrischen Feldprofils entlang verschiedener Schnittlinien für drei unterschiedliche Kompensationsgrade. Die Erhöhung von ΔN_A auf +10% oder die Senkung von ΔN_D auf -10% bewirkt die Unterdrückung der elektrischen Feldspitze am lateralen p⁺n-Übergang, so dass sich das oberflächennahe elektrische Feldprofil auf die Drainseite neigt, in diesem Bereich kommt dann der Durchbruch zustande. Im Gegensatz dazu verschiebt der Ladungsmangel in den Säulen $\Delta N_A = -10%$ oder die übermäßige Driftzonendotierung $\Delta N_D = +10%$ die elektrische Oberflächenfeldspitze auf die Sourceseite und damit den Durchbruch in das Sourcegebiet. Abb. 4.30 veranschaulicht den genauen Durchbruchort der Bauelemente in Abhängigkeit von den Kompensationsgraden. Wie man sieht, liegt der Durchbruchort der gleichförmigen SJ bei $\Delta N_A = -10%$ bzw. $\Delta N_D = +10%$ am Basis-Driftzonen-Übergang (p⁺n-Übergang), bei $\Delta N_A = +10%$ bzw. $\Delta N_D = -10%$ am Säule-Driftzonen-Übergang neben der n⁺-Drain. Für die ungleichförmige SJ trifft das Gleiche nur zu, wenn $\Delta N_A = -10%$ bzw. $\Delta N_D = +10%$ gilt. Bei $\Delta N_D = -10%$ bricht die ungleichförmige SJ am n⁺n-Übergang durch, während sich der Durchbruchort bei $\Delta N_A = +10%$ immer noch am Substrat-Driftzonen-Übergang befindet. Der Durchbruch passiert am n⁺n-Übergang, zumal die Driftzone der ungleichförmigen SJ mit $\Delta N_D = -10%$ einen relativ hohen Ohmschen Widerstand aufweist und folglich lange vor Einsetzen des Durchbruchs am vertikalen Substrat-Driftzonen-Übergang von beweglichen Ladungsträgern frei ist. Wie erwartet tritt der elektrische Durchbruch am gekrümmten Basis-Driftzonen-Übergang bei einer geringeren Sperrspannung auf als am Säule-Driftzonen-Übergang, dessen Durchbruchspannung wiederum kleiner ist als diejenige des Substrat-Driftzonen-Überganges. Deswegen ist die Durchbruchspannung stark vom Vorzeichen des Kompensationsgrades abhängig.

Anhand von 3D-Konturdiagrammen nach den Abbildungen 4.31 bis 4.34 lässt sich die Feldstärkeverteilung nahe der Oberfläche gut veranschaulichen. Die Abbildungen sind aus Symmetriegründen des Bauelements nur auf eine Halbzelle beschränkt. Zu erkennen ist zunächst die Welligkeit der Feldstärke, welche das zugrunde liegende Dotierprofil wiedergibt. Bei der maximalen Durchbruchspannung ($\Delta N_A = \Delta N_D = 0%$) stellt sich für beide SJ-Strukturen eine recht gleichmäßige Feldstärkeverteilung im mittleren Bereich der Driftzone ein, im Source- und Drainbereich dagegen besteht ein wesentlicher Unterschied zwischen beiden SJ-Strukturen. Bei der gleichförmigen SJ liegt am sourcenahen Säulen-Driftzonen-Übergang eine weitaus höhere Oberflächenfeldspitze als die übrigen Feldspitzen, ansonsten bleibt der Feldstärkeverlauf von der mittleren Driftzone bis zum Drainbereich ziemlich gleichmäßig. Bei der ungleichförmigen SJ sind die Feldspitzen im mittleren Bereich der Driftzone etwas größer als im Source- und Drainbereich. Die Feldverteilung der gleichförmigen SJ ist also etwas unsymmetrischer verglichen mit der ungleichförmigen SJ.

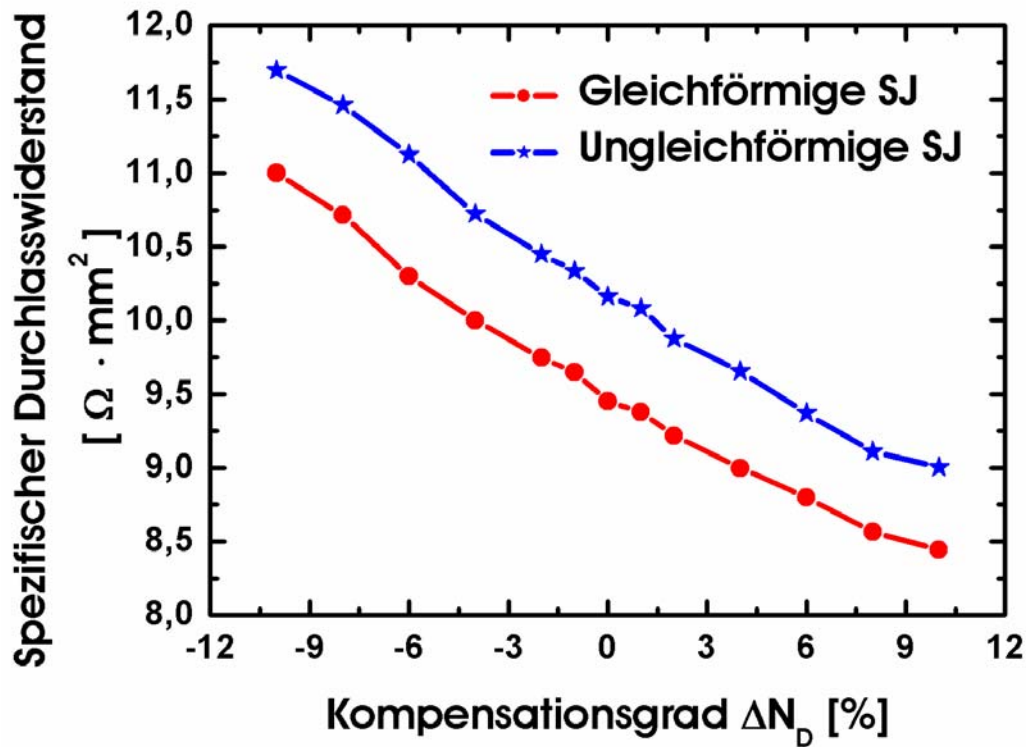


(a)

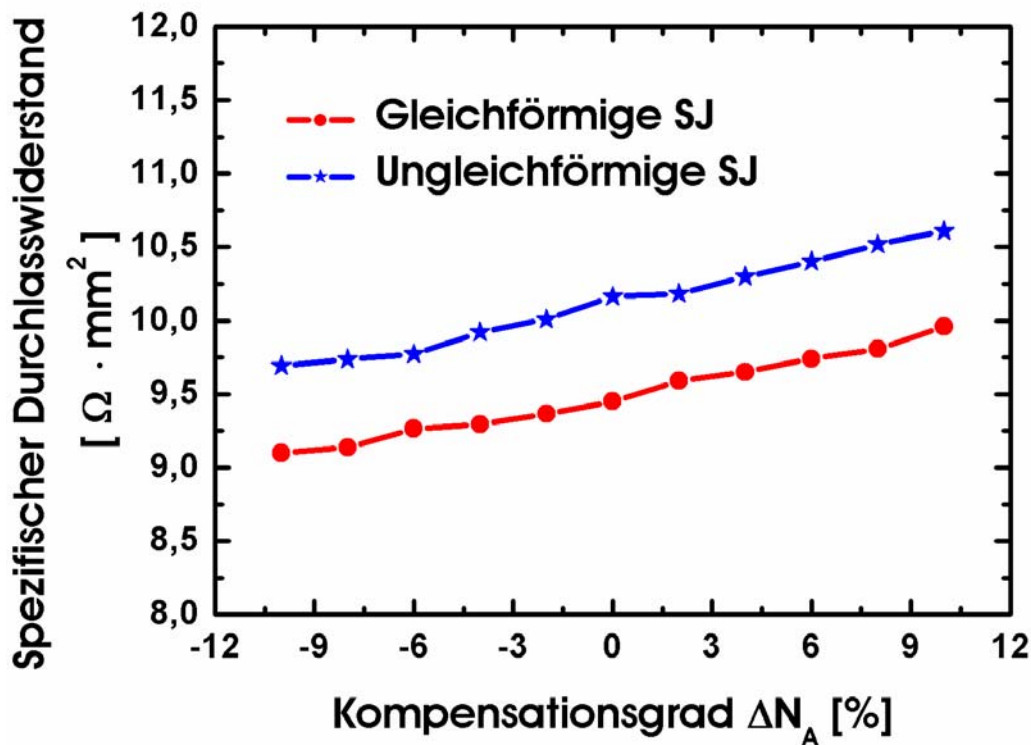


(b)

Abbildung 4.24: Abhängigkeit der Durchbruchspannung von (a) Kompensationsgraden ΔN_D in der Driftzone und von (b) Kompensationsgraden ΔN_A in den Säulen.



(a)



(b)

Abbildung 4.25: Abhängigkeit des Durchlasswiderstandes von (a) Kompensationsgraden ΔN_D in der Driftzone und von (b) Kompensationsgraden ΔN_A in den Säulen.

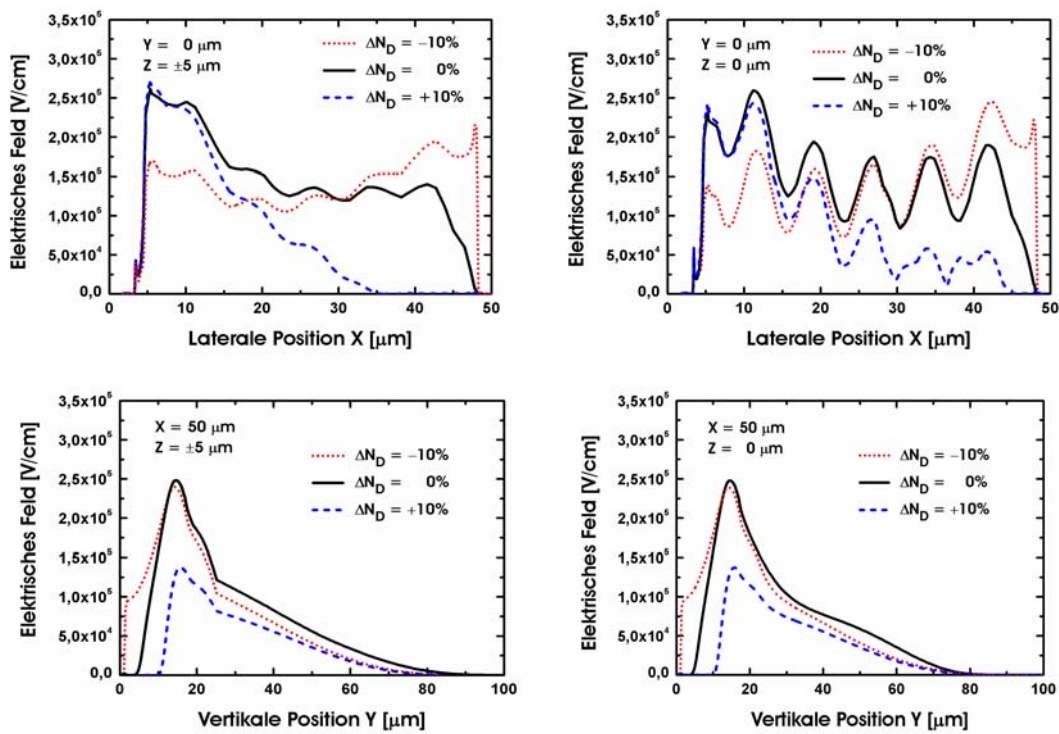


Abbildung 4.26: 2D-Feldstärkeverteilung in der gleichförmigen SJ beim Durchbruch entlang verschiedener Schnittlinien für drei Kompensationsgrade in der Driftzone; $\Delta N_D = -10\%$, 0% , $+10\%$.

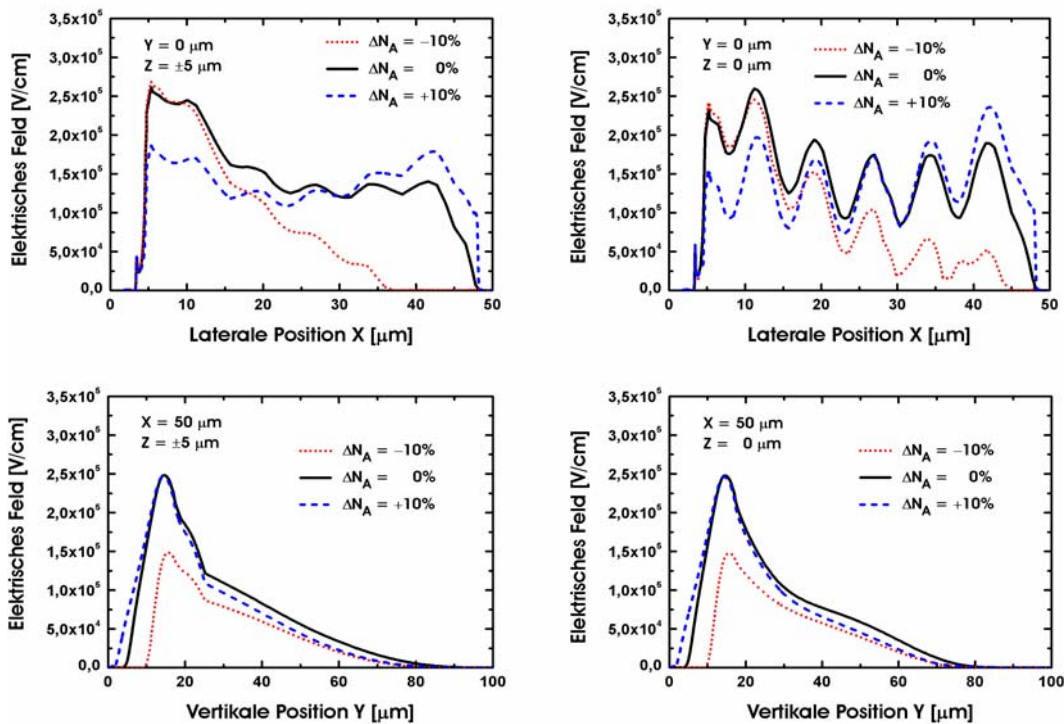


Abbildung 4.27: 2D-Feldstärkeverteilung in der gleichförmigen SJ beim Durchbruch entlang verschiedener Schnittlinien für drei Kompensationsgrade in den Säulen; $\Delta N_A = -10\%$, 0% , $+10\%$.

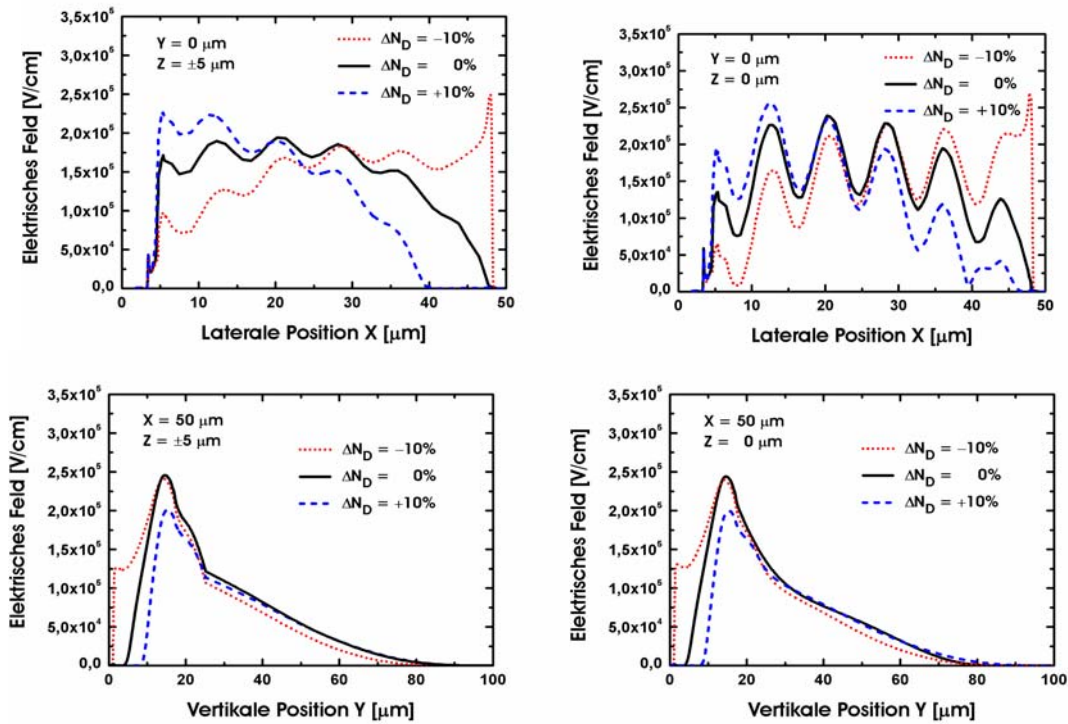


Abbildung 4.28: 2D-Feldstärkeverteilung in der ungleichförmigen SJ beim Durchbruch entlang verschiedener Schnitlinien für drei Kompensationsgrade in der Driftzone; $\Delta N_D = -10\%$, 0% , $+10\%$.

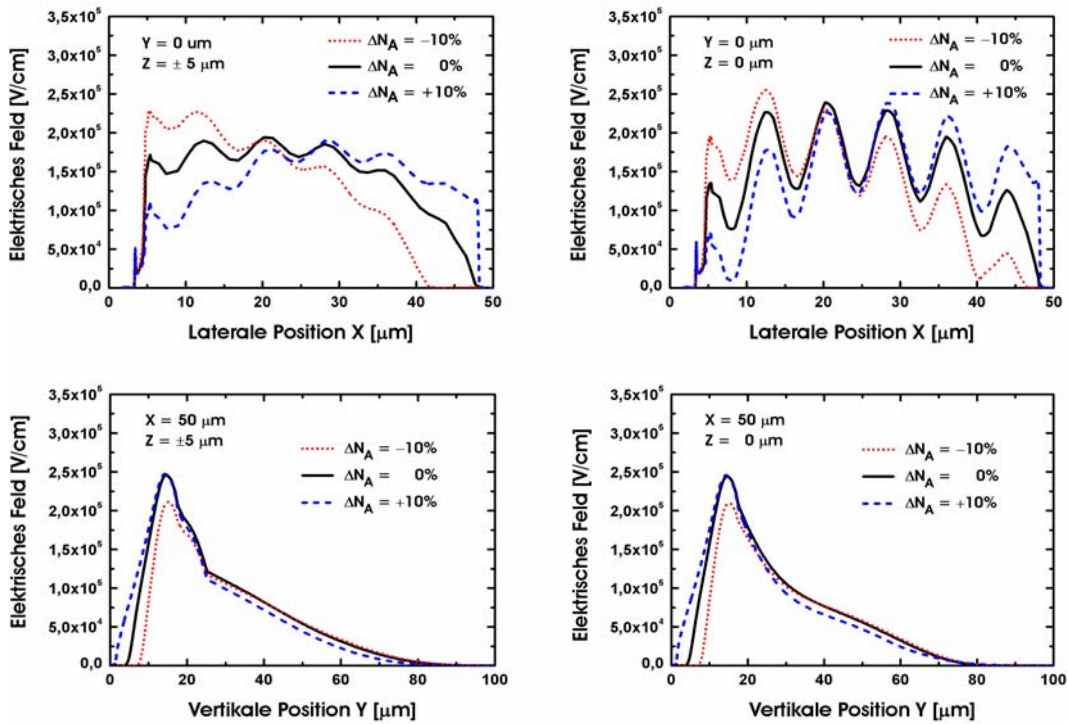
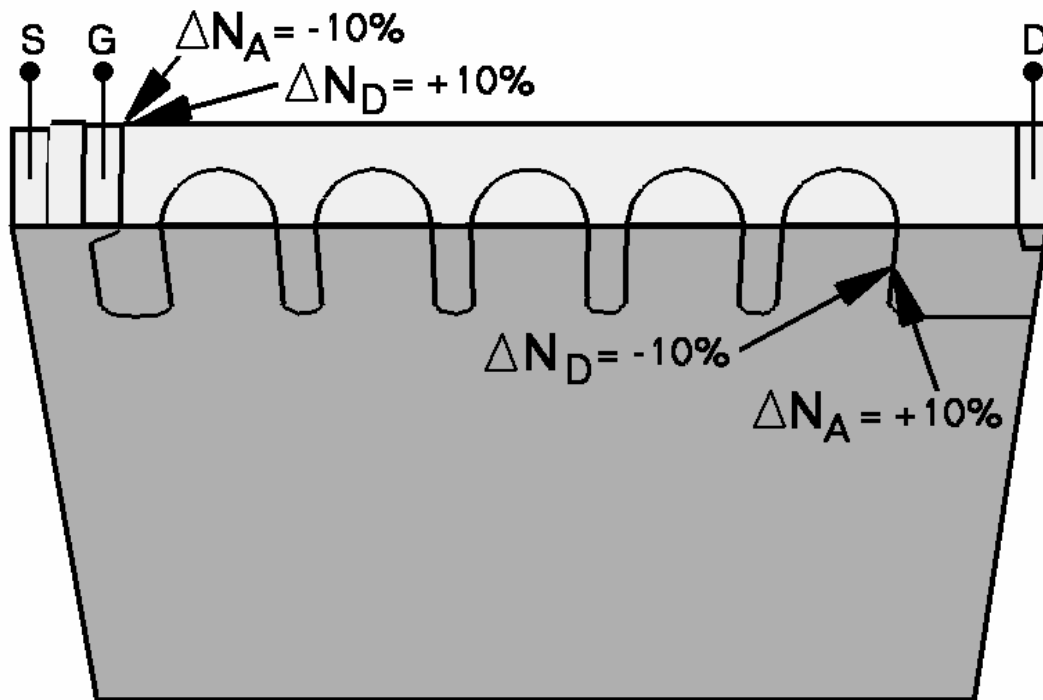
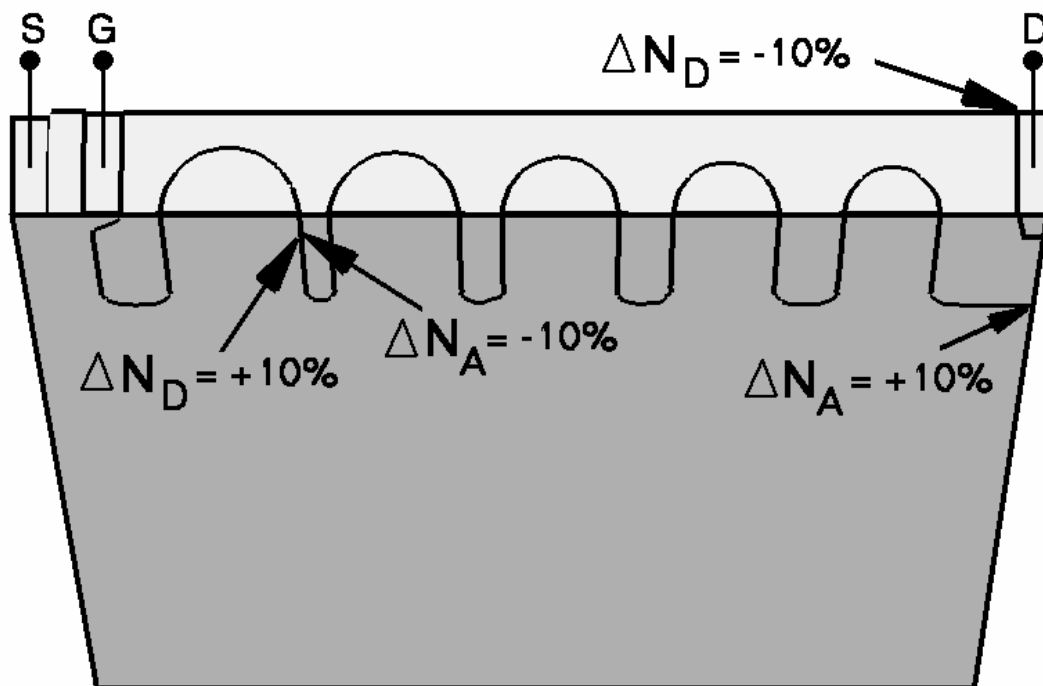


Abbildung 4.29: 2D-Feldstärkeverteilung in der ungleichförmigen SJ beim Durchbruch entlang verschiedener Schnitlinien für drei Kompensationsgrade in den Säulen; $\Delta N_A = -10\%$, 0% , $+10\%$.

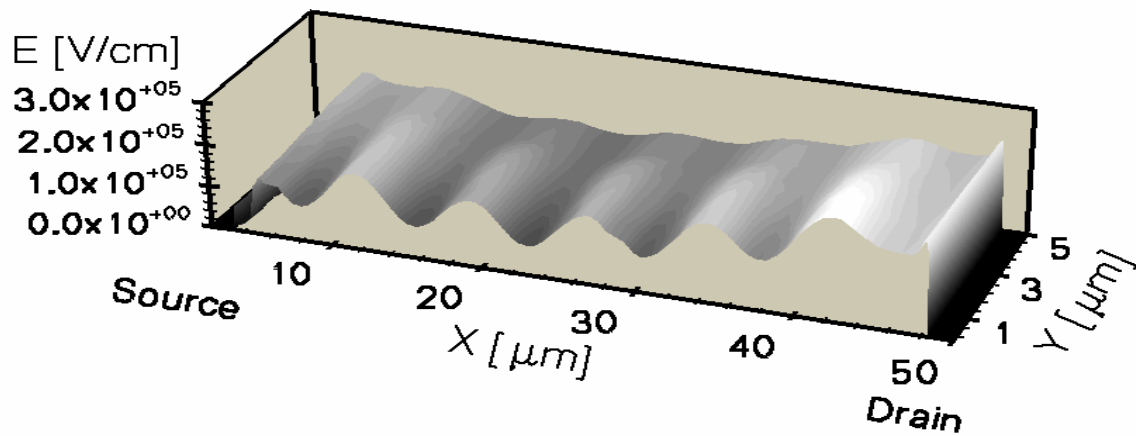


(a)

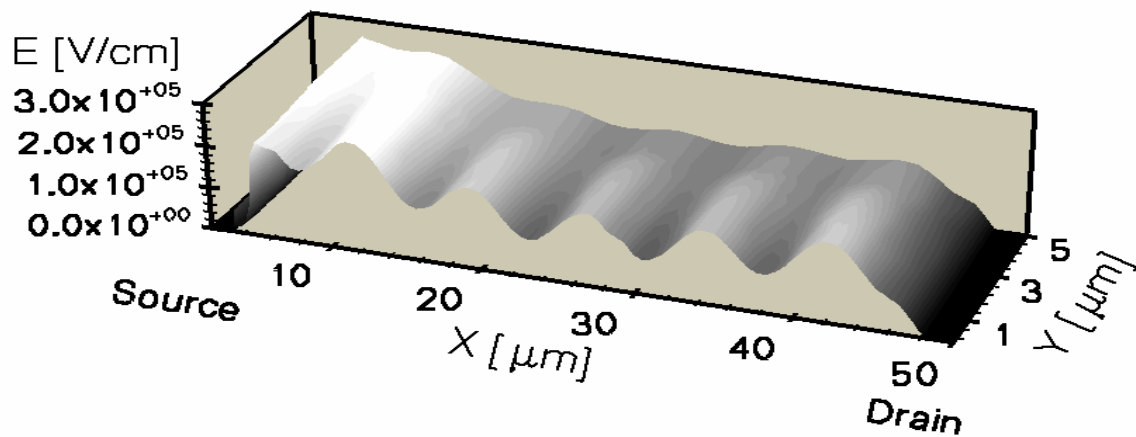


(b)

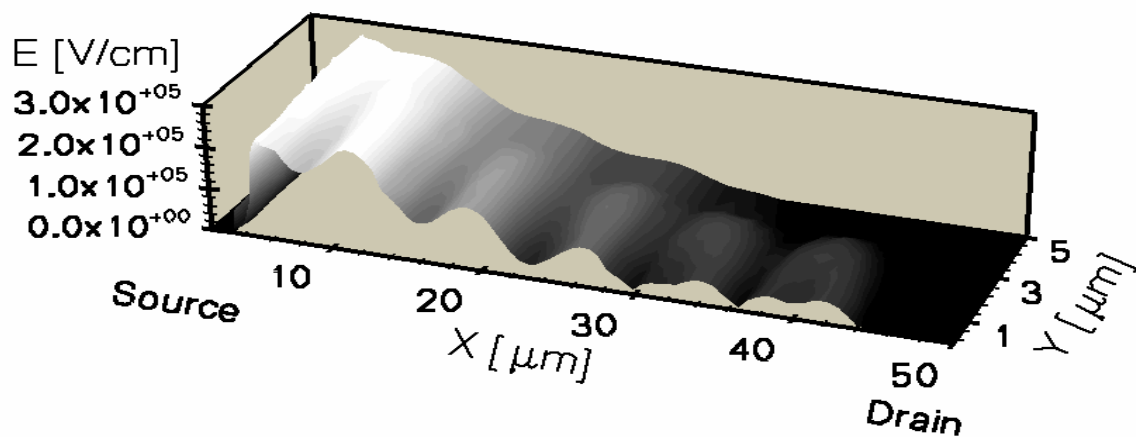
Abbildung 30: Abhängigkeit des Durchbruchorts von den Kompensationsgraden;
 (a) Gleichförmige SJ (b) Ungleichförmige SJ.



(a)

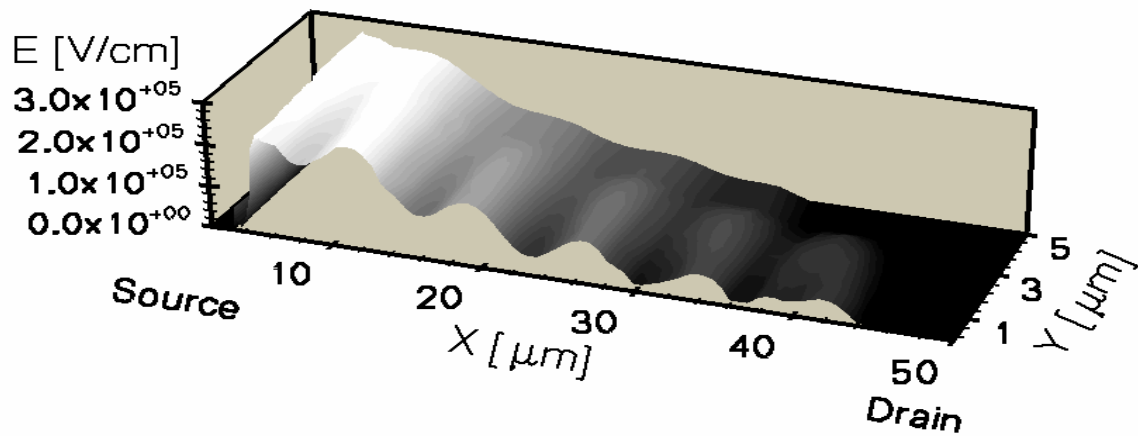


(b)

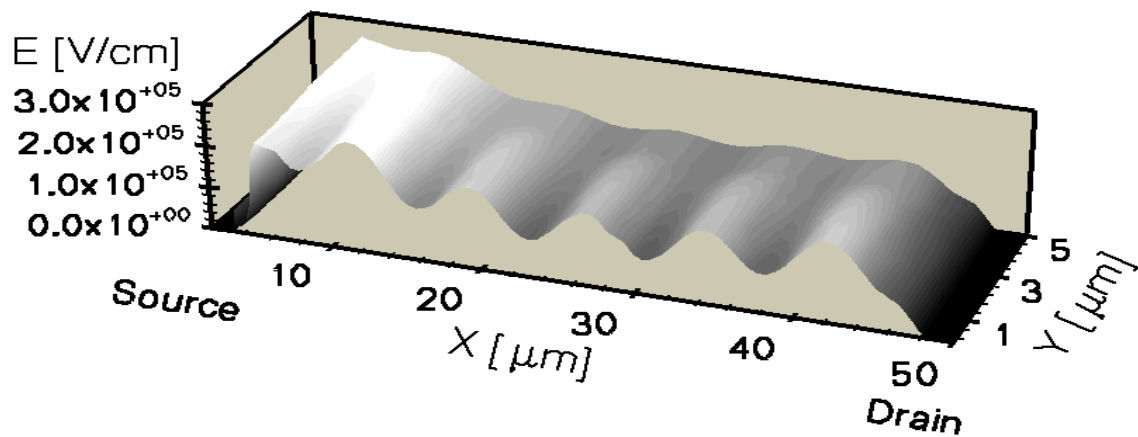


(c)

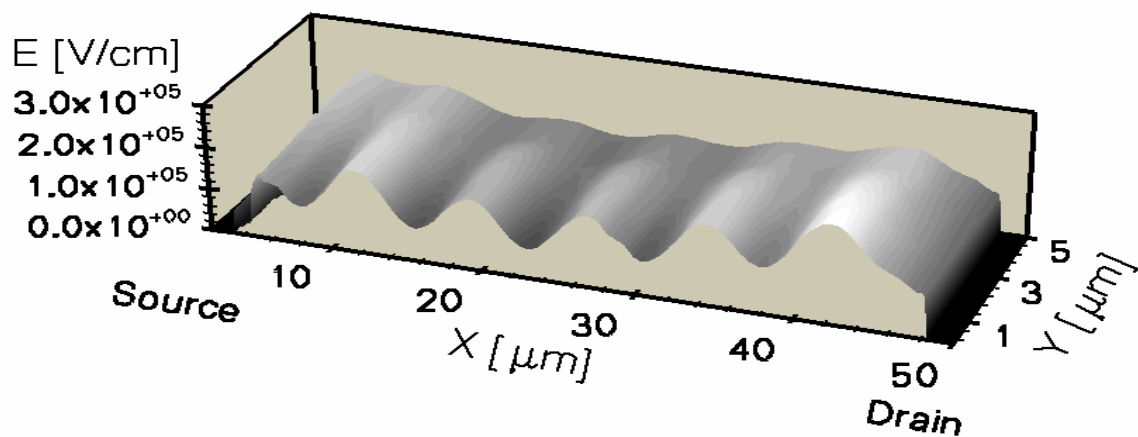
Abbildung 4.31: 3D-Feldstärkeverlauf an der Oberfläche einer Halbzelle der gleichförmigen SJ beim Durchbruch für drei Kompensationsgrade in der Driftzone ΔN_D ; (a) $\Delta N_D = -10\%$ (b) $\Delta N_D = 0\%$ (c) $\Delta N_D = +10\%$.



(a)

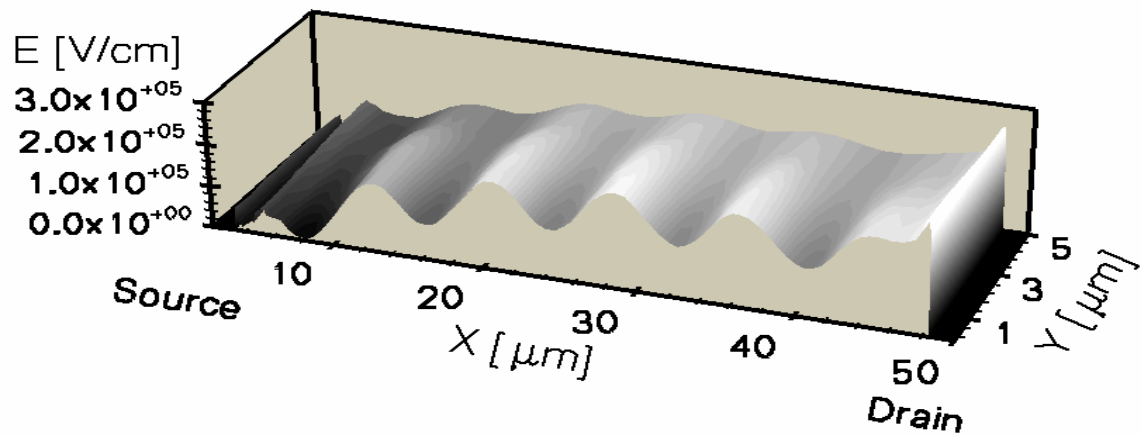


(b)

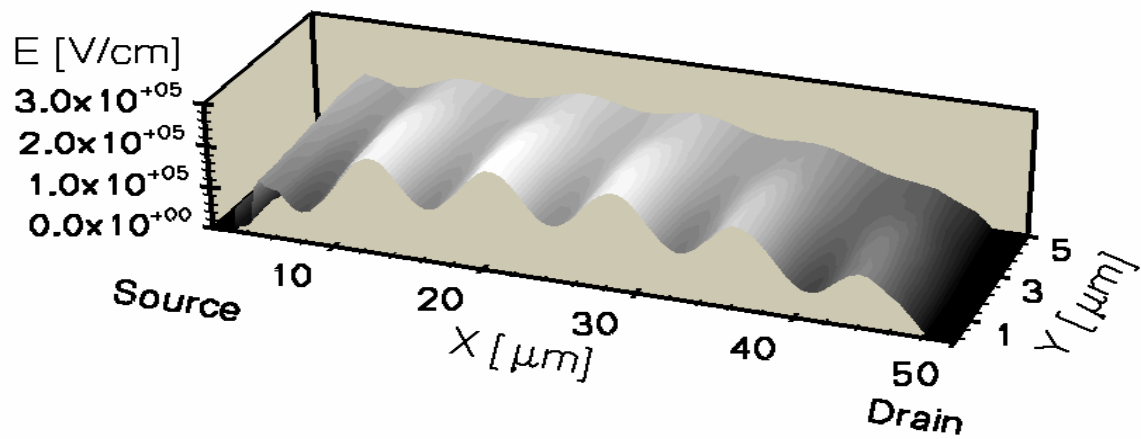


(c)

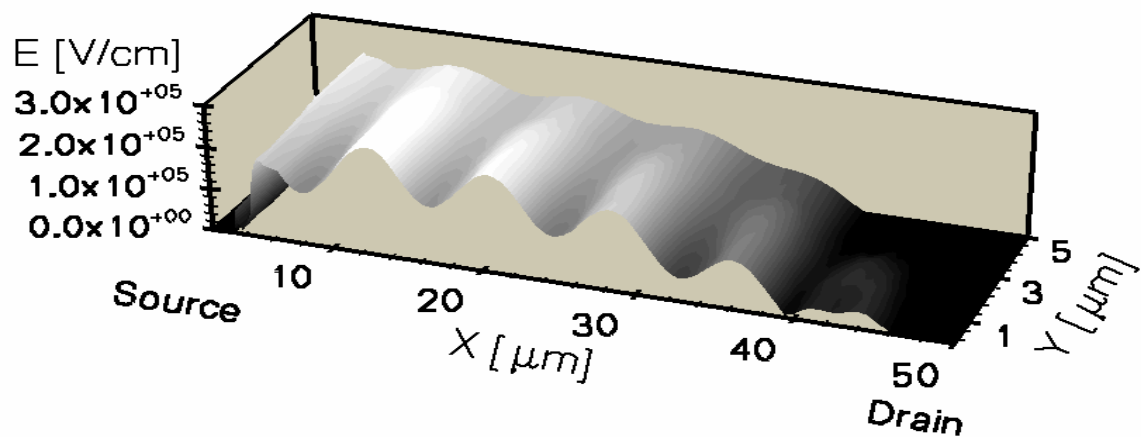
Abbildung 4.32: 3D-Feldstärkeverlauf an der Oberfläche einer Halbzelle der gleichförmigen SJ beim Durchbruch für drei Kompensationsgrade in den Säulen ΔN_A ; (a) $\Delta N_A = -10\%$ (b) $\Delta N_A = 0\%$ (c) $\Delta N_A = +10\%$.



(a)

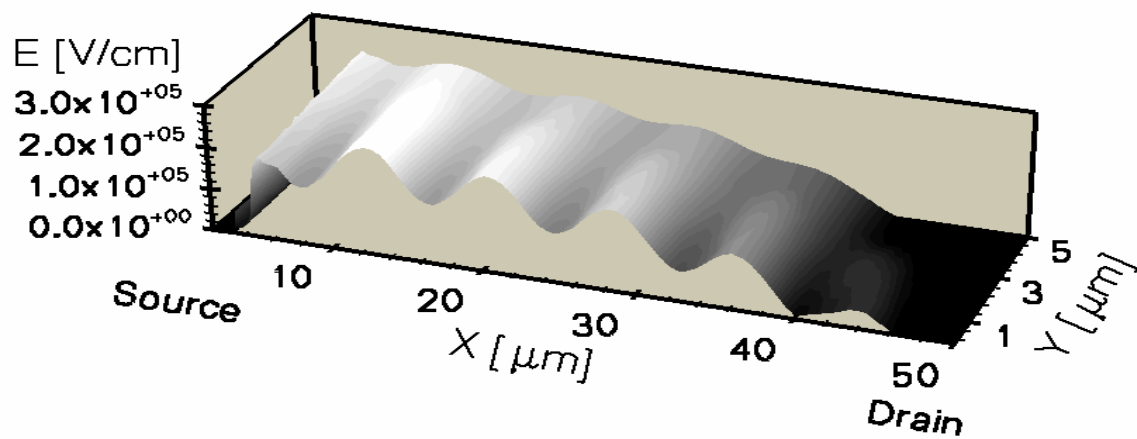


(b)

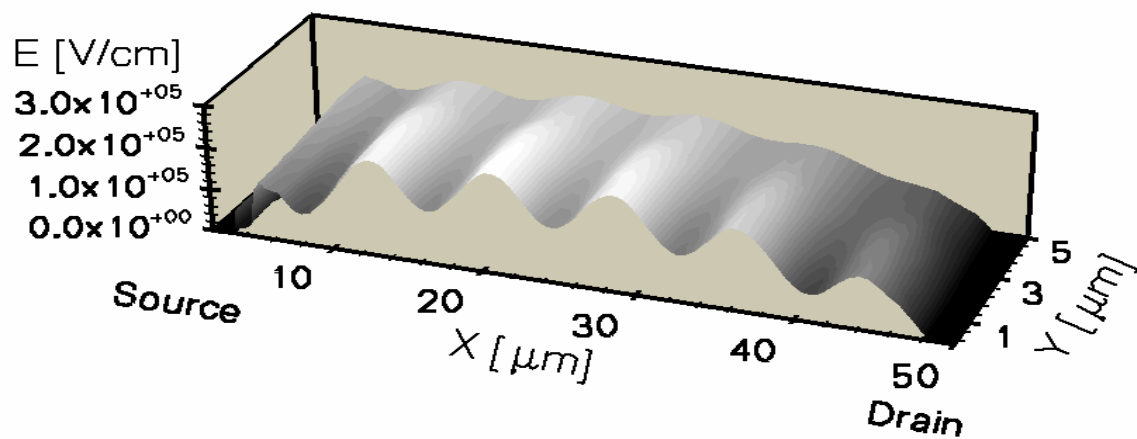


(c)

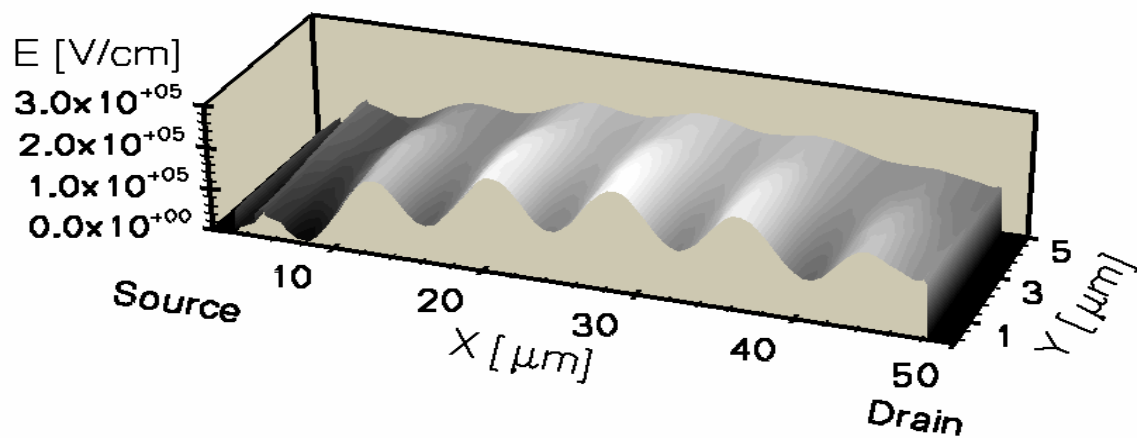
Abbildung 4.33: 3D-Feldstärkeverlauf an der Oberfläche einer Halbzelle der ungleichförmigen SJ beim Durchbruch für drei Kompensationsgrade in der Driftzone ΔN_D ; (a) $\Delta N_D = -10\%$ (b) $\Delta N_D = 0\%$ (c) $\Delta N_D = +10\%$.



(a)



(b)



(c)

Abbildung 4.34: 3D-Feldstärkeverlauf an der Oberfläche einer Halbzelle der ungleichförmigen SJ beim Durchbruch für drei Kompensationsgrade in den Säulen ΔN_A ; (a) $\Delta N_A = -10\%$ (b) $\Delta N_A = 0\%$ (c) $\Delta N_A = +10\%$.

Dadurch, dass das optimale Design der gleichförmige SJ während des Durchbruch-eintritts bereits eine hohe Oberflächenfeldstärke nahe dem Sourcebereich bedingt, kann ein positiver Wert von ΔN_D oder ein negativer Wert von ΔN_A , der eine Verschiebung des Durchbruchs in Richtung Source bewirkt, die Durchbruchspannung der gleichförmigen SJ stärker verringern als bei der ungleichförmigen SJ, deren Feldstärke im Sourcebereich relativ klein ist. Analog dazu bewirkt ein negativer Wert von ΔN_D oder ein positiver Wert von ΔN_A eine Verschiebung des Durchbruchs in Richtung Drain. Nun ist aber die Feldstärke im Drainbereich der beiden SJ-Strukturen vergleichbar klein, daher führt der Durchbrucheffect in Richtung Drain zu einem nicht so steilen Abfall der Durchbruchspannung. Aus diesem Grund tendiert die gleichförmige SJ bei Abweichungen von der optimalen Kompensationsbedingung leicht zu dem beobachteten unsymmetrischen Durchbrucheffect, während die ungleichförmige SJ das Feld gleichmäßiger verteilt und dadurch den substratgestützten Ausräumungseffekt unterdrückt.

4.6 Auswirkung hexagonaler Säulenordnungen

Bisher wurde bei der Säulengestaltung von einer rechteckförmigen Anordnung ausgegangen. Die Säulenstruktur lässt sich jedoch auch noch mit einer hexagonalen Anordnung realisieren, wie in Abb. 4.35 veranschaulicht. Um nur den Einfluss des Layouts zu ermitteln, werden die Abmessungen und Dotierungen der Kompensationsstruktur unverändert gehalten.

Die Simulationsberechnungen ergeben, dass sich die hexagonale Säulenordnung geringfügig auf die bisher erzielte Durchbruchspannung auswirkt ($U_{(BR)DSS} = 637$ V für gleichförmige SJ und $U_{(BR)DSS} = 634,7$ V für ungleichförmige SJ), wohl aber auf den spezifischen Durchlasswiderstand ($R_{DS(on)} \cdot A = 10,39 \Omega \cdot \text{mm}^2$ für gleichförmige SJ und $R_{DS(on)} \cdot A = 10,94 \Omega \cdot \text{mm}^2$ für ungleichförmige SJ). Dies deutet auf eine Reduzierung der effektiven Querschnittsfläche hin, wodurch die Ladungsträger stärker behindert werden. Simuliertes Durchlass- und Durchbruchverhalten für beide SJ-Strukturen mit hexagonaler Säulenordnung zeigen Abb. 4.36 bis 4.38, welche zu erkennen geben, dass die Stromflusslinien im Zickzack von Drain nach Source laufen und dass zwischen rechteckiger und hexagonaler Säulenordnung grundsätzlich kein großer Unterschied hinsichtlich charakteristischer Merkmale der Potentiallinien, der Feldstärkeverteilung und der Verteilung der Stoßionisationsrate beim Durchbruch besteht. In Abb. 4.39 und Abb. 4.40 sind die Sensitivitäten auf nichtideale Dotierung für beide SJ-Strukturen mit hexagonaler Säulenordnung dargestellt. Die Schwankungen der Durchbruchspannung liegen ungefähr innerhalb gleicher Grenzen wie bei der orthogonalen Säulenordnung. Im Gegensatz dazu weist jedoch die hexagonale Säulenordnung einen höheren spezifischen Durchlasswiderstand auf. Aus der hexagonalen Ausführungsform kann man somit im Hinblick auf statische Eigenschaften keinen Vorteil ziehen.

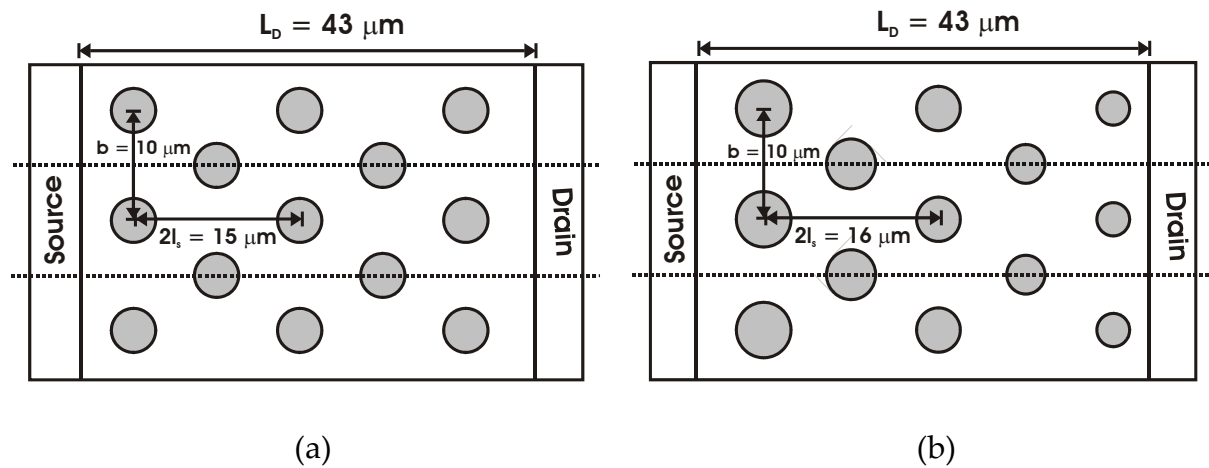


Abbildung 4.35: Draufsicht des SJ-Transistors mit hexagonaler Säulenordnung; (a) Gleichförmige SJ (b) Ungleichförmige SJ.

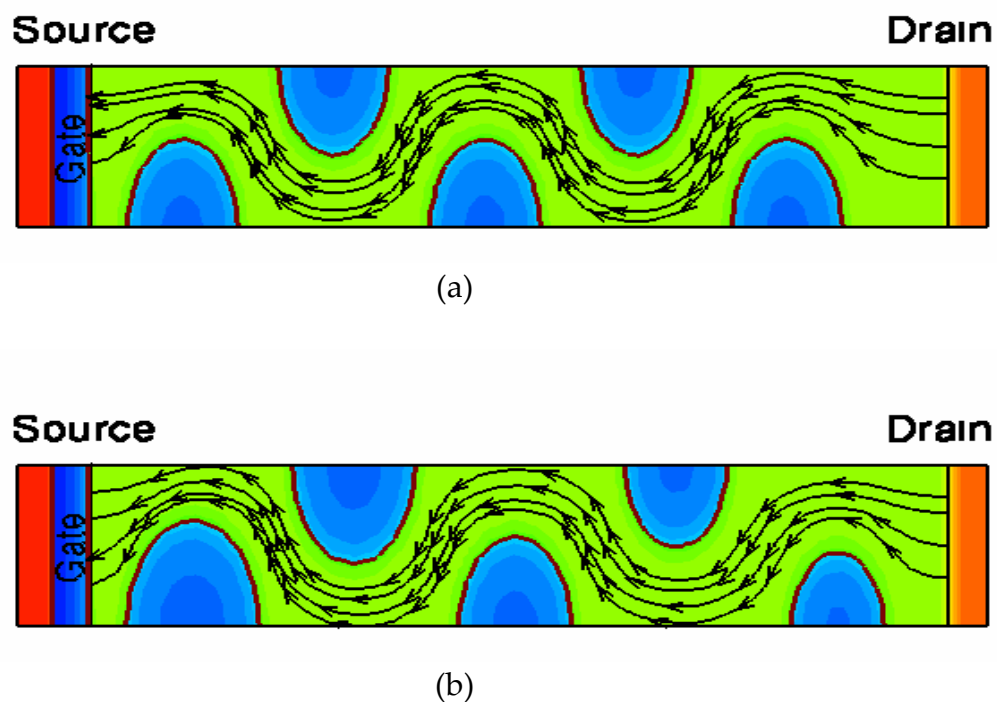


Abbildung 4.36: Oberflächennahe Stromflusslinien des SJ-LDMOS-Transistors mit hexagonaler Säulenordnung bei $U_{GS} = 10 \text{ V}$, $U_{DS} = 1 \text{ V}$; (a) Gleichförmige SJ (b) Ungleichförmige SJ.

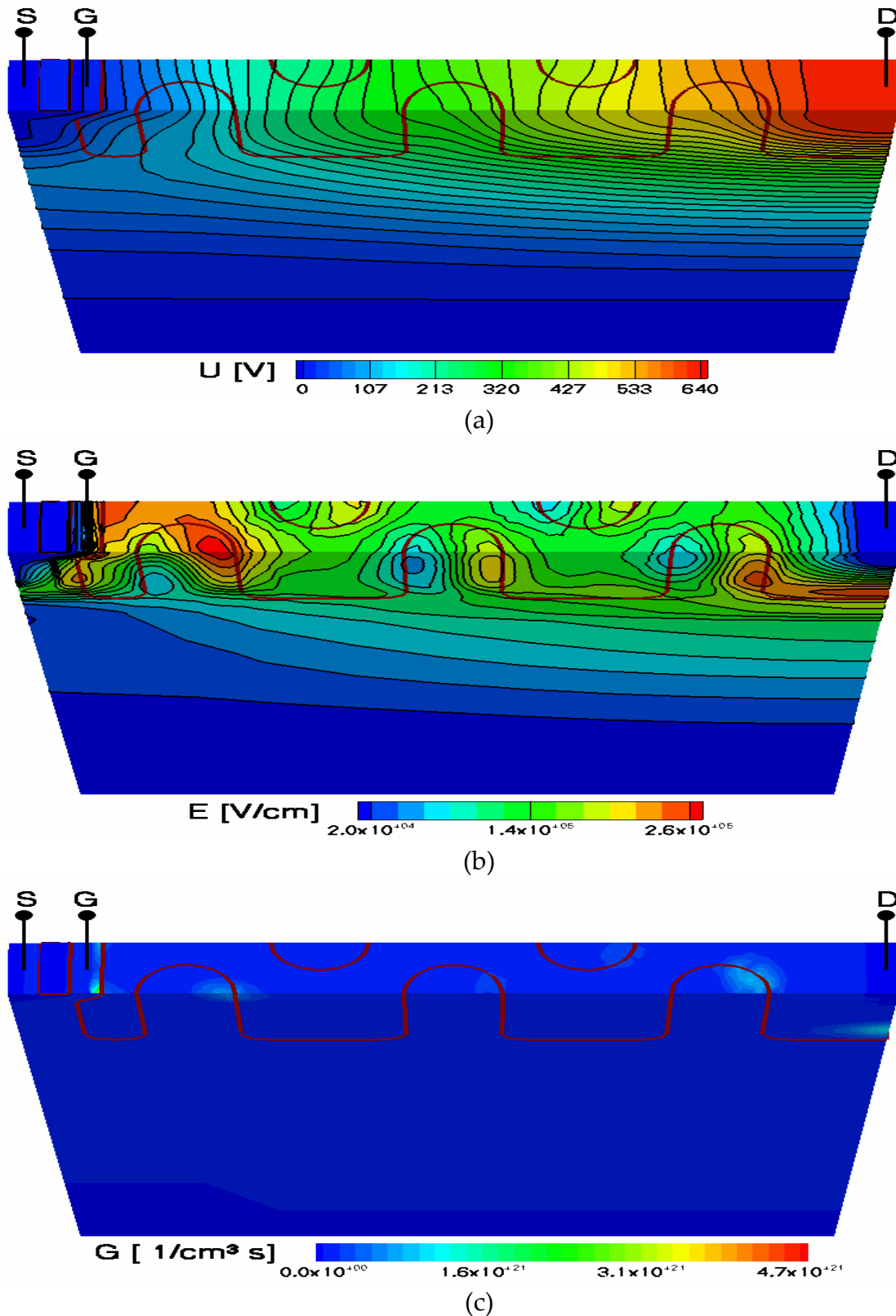


Abbildung 4.37: 3D-Konturdiagramme des simulierten Durchbruchverhaltens des gleichförmigen SJ-LDMOS-Transistors mit hexagonaler Säulenordnung; (a) Potentialfeldverteilung (b) Elektrische Feldverteilung (c) Verteilung der Stoßionisationsrate in der Raumladungszone.

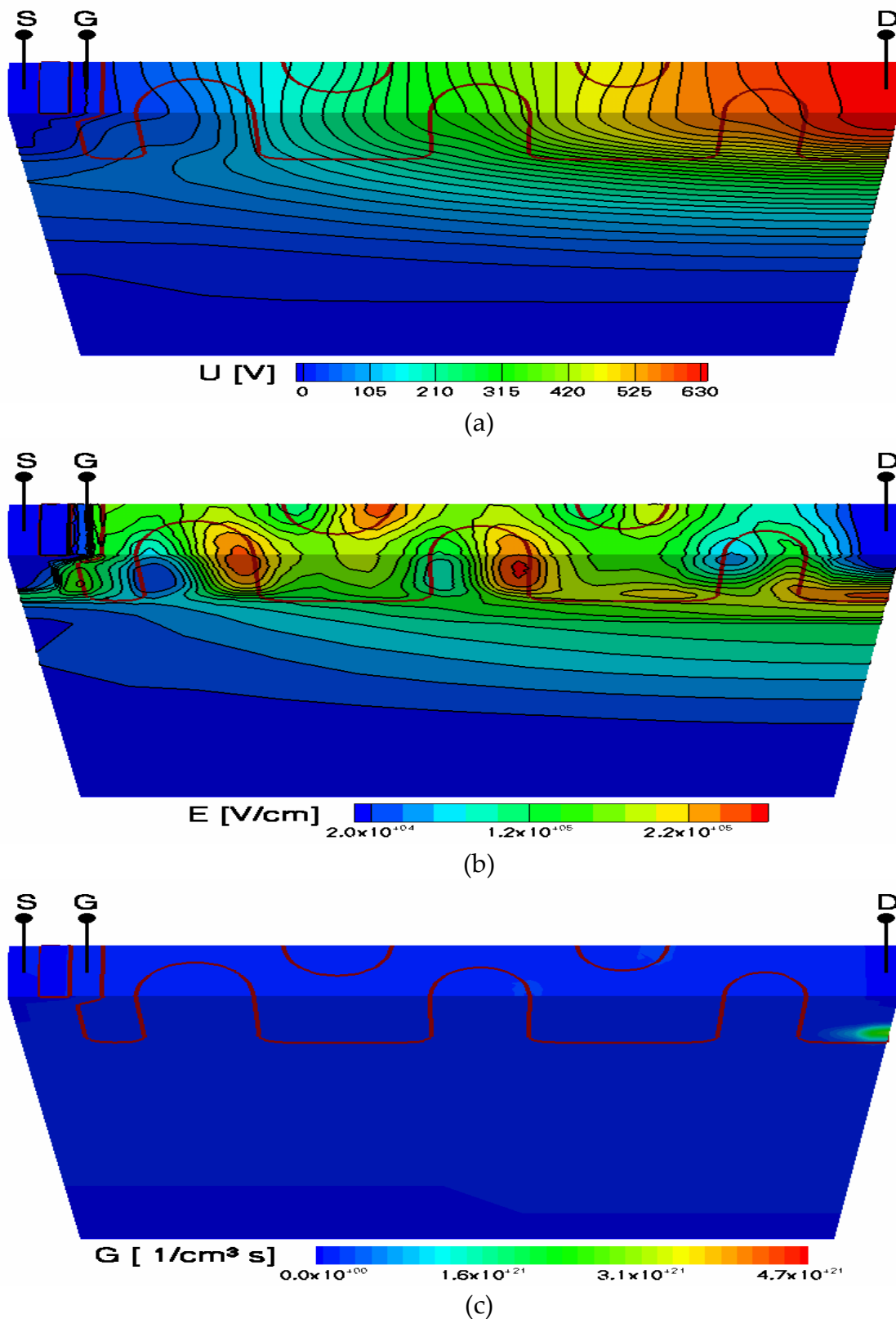


Abbildung 4.38: 3D-Konturdiagramme des simulierten Durchbruchverhaltens des ungleichförmigen SJ-LDMOS-Transistors mit hexagonaler Säulenordnung; (a) Potentialfeldverteilung (b) Elektrische Feldverteilung (c) Verteilung der Stoßionisationsrate in der Raumladungszone.

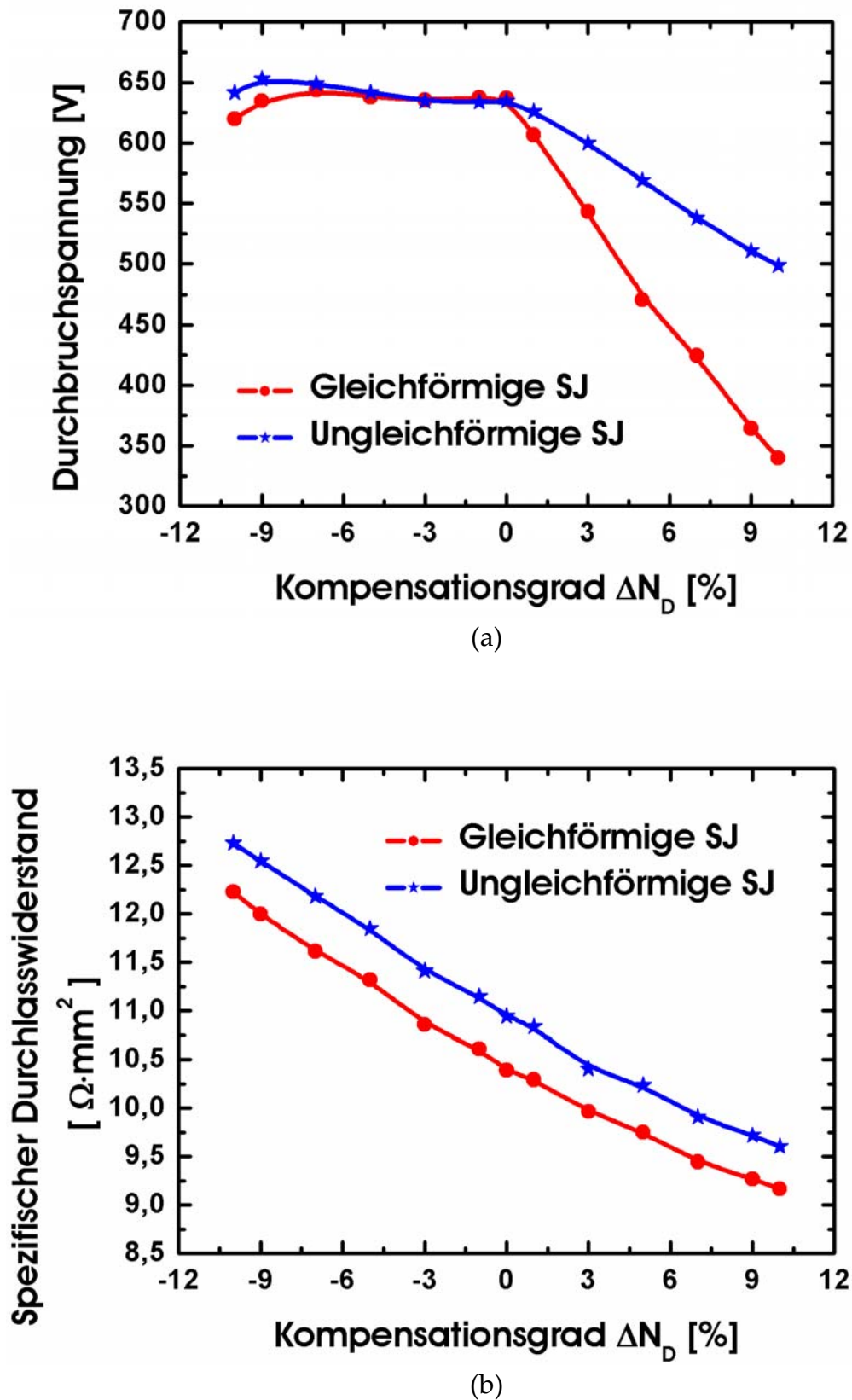
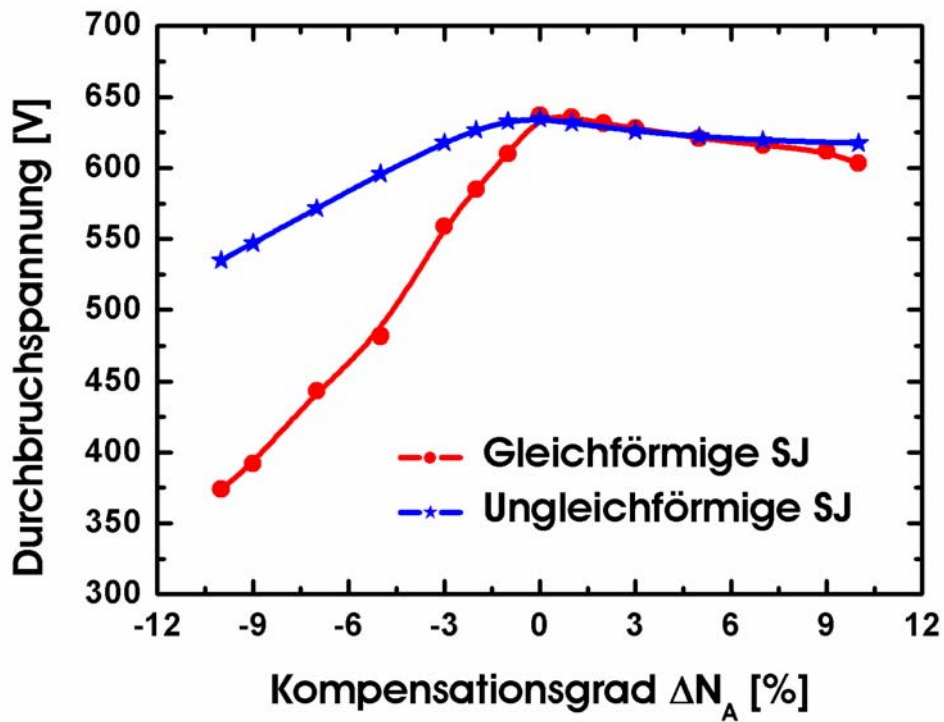
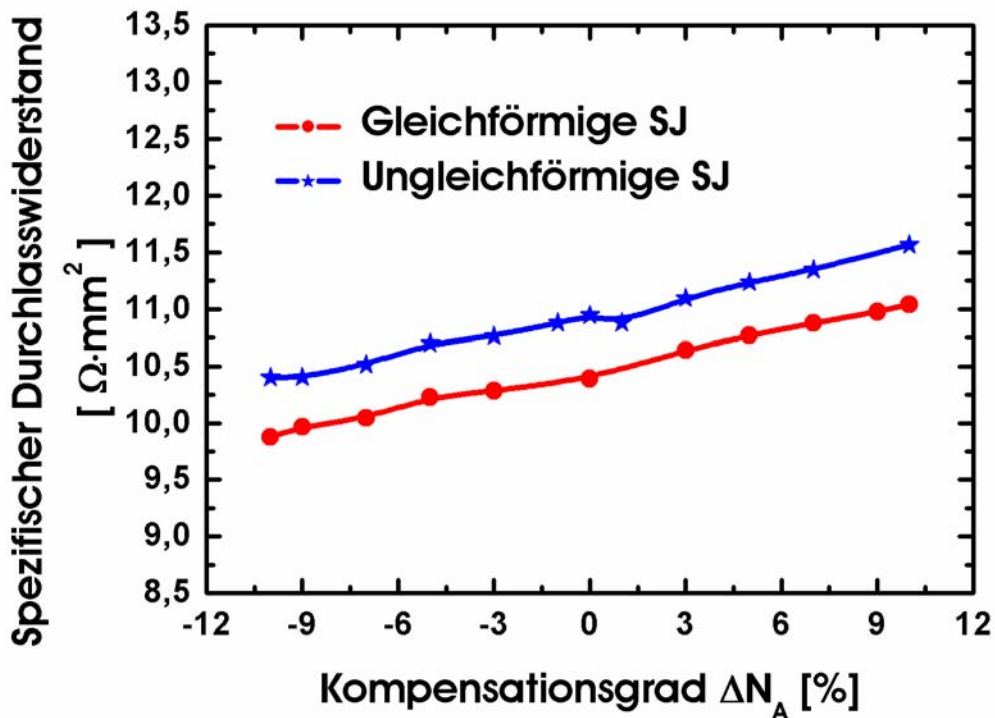


Abbildung 4.39: Abhängigkeit der (a) Durchbruchspannung und des (b) spezifischen Durchlasswiderstandes von Kompensationsgraden ΔN_D bei den SJ-Strukturen mit hexagonaler Säulenordnung.



(a)



(b)

Abbildung 4.40: Abhängigkeit der (a) Durchbruchspannung und des (b) spezifischen Durchlasswiderstandes von Kompensationsgraden ΔN_A bei den SJ-Strukturen mit hexagonaler Säulenordnung.

Kapitel 5

Dynamisches Verhalten von SJ-LDMOS-Transistoren

Superjunction-Transistoren werden fast ausschließlich in Schaltnetzteilen eingesetzt, wobei sie als Schaltelemente mit einer impulsförmigen Steuerspannung betrieben werden. Die Schalteigenschaften der Bauelemente hängen wesentlich von den internen parasitären Kapazitäten ab. Eine Schaltung zur Untersuchung des Schaltverhaltens basiert auf einem ohmschen Lastkreis bzw. einer induktiven Last mit Freilaufzweig. Die charakteristischen Schaltzeiten werden anhand der zeitlichen Verläufe der Ströme und Spannungen bestimmt. In speziellen Schaltungen lässt sich auch die Belastungscharakteristik der Bauelemente prüfen.

5.1 Parasitäre Transistorkapazitäten

Beim LDMOS geschehen der Auf- und Abbau des leitenden Kanals innerhalb weniger Nanosekunden. Diese Zeitdauer ist vernachlässigbar klein gegen die Schalttaktzeiten. Es gibt im Gegensatz zum bipolaren Transistor keine Speicherzeit. Maßgebend für die Einschalt- und Ausschaltzeiten des Bauelements sind die parasitären Transistorkapazitäten C_{gs} , C_{gd} und C_{ds} sowie der Gatewiderstand R_G (Abb. 5.1(b)).

Die Gate-Source-Kapazität C_{gs} kommt, wie in Abb. 5.1(a) anhand einer RESURF-LDMOS-Struktur skizziert, aus drei Komponenten zustande: die Kapazität C_{n^+}

aufgrund der Überlappungen des Gates mit der n⁺-Source, die MOS-Kapazität⁶ C_K aufgrund der Überlappungen des Gates mit dem Kanal und die Kapazität C_O aufgrund der Erweiterung der Source-Metallisierung über die Gateelektrode. Als Summe dieser Teilkapazitäten berechnet sich C_{gs} nach *Baliga* [Bal96]:

$$C_{gs} = C_{n^+} + C_K + C_O \quad (5.1)$$

Die Kapazität C_{n^+} ist der konstanten Oxidkapazität gleich

$$C_{n^+} = \frac{\epsilon_{ox} \cdot A_{n^+}}{d_{ox}} \quad (5.2)$$

wobei A_{n^+} die Überlappungsfläche zwischen dem Gate und der n⁺-Source, ϵ_{ox} die Dielektrizitätskonstante des Oxids und d_{ox} die Gateoxiddicke darstellt. Der entsprechende Ausdruck für C_O heißt

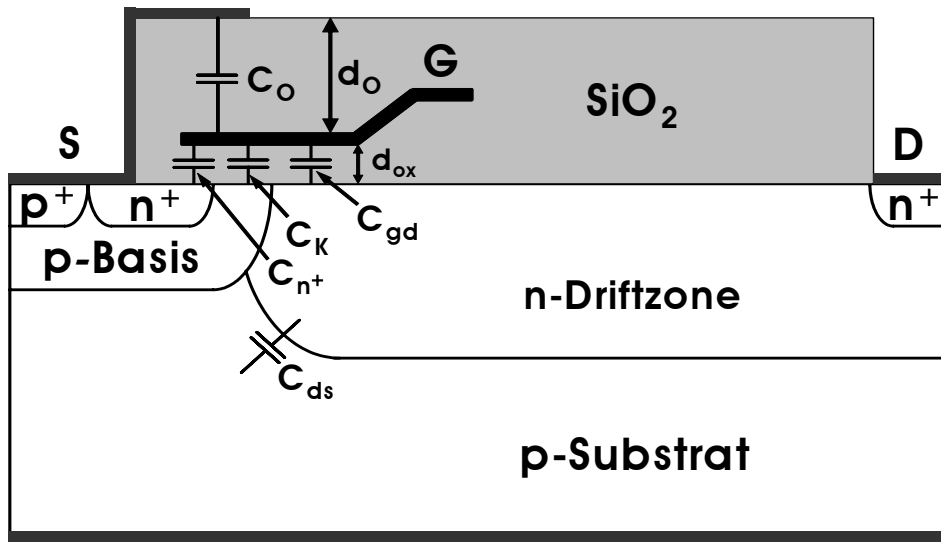
$$C_O = \frac{\epsilon_{ox} \cdot A_O}{d_O} \quad (5.3)$$

mit der Überlappungsfläche A_O zwischen dem Gate und der Source-Kontaktierung. Hierbei steht d_O für die Dicke des dazwischen liegenden Oxids. Die MOS-Kapazität C_K zwischen dem Gate und dem Kanal ist stark von U_{GS} und U_{DS} abhängig. Theoretische Rechnungen ergeben für C_K als Funktion von U_{GS} bei $U_{DS} = 0$ V die Beziehung [TN98]:

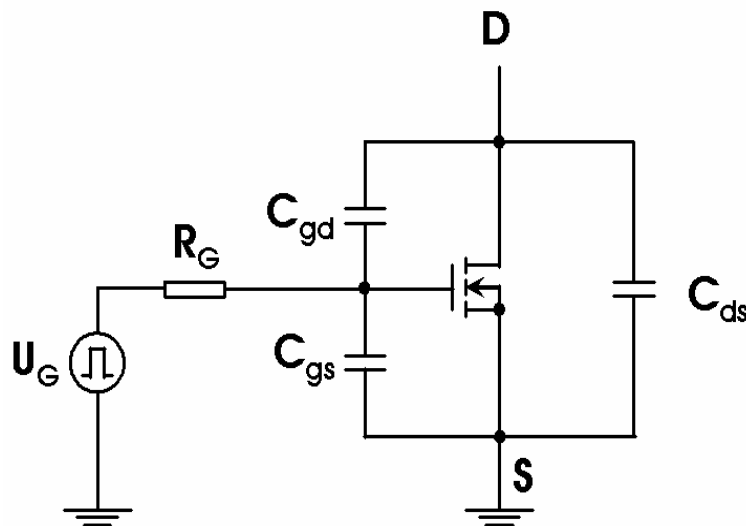
$$C_K = \begin{cases} \frac{\epsilon_{ox} \cdot A_K}{d_{ox}} \cdot \left(1 + \frac{2kT/q}{|U_{GS} - U_{FB}^p - \psi_{S,AKK}|} \right)^{-1} & \text{für } U_{GS} < U_{FB}^p \\ A_K \cdot \left(\frac{d_{ox}}{\epsilon_{ox}} + \sqrt{\frac{kT}{\epsilon_{Si} q^2 N_K}} \right)^{-1} & \text{für } U_{GS} = U_{FB}^p \\ \frac{\epsilon_{ox} A_K}{d_{ox}} \cdot \left[1 + \left(\frac{2\epsilon_{ox}^2 (U_{GS} - U_{FB}^p)}{\epsilon_{Si} q d_{ox}^2 N_K} \right)^{-1/2} \right]^{-1} & \text{für } U_{FB}^p < U_{GS} < U_{GS(TH)} \\ A_K \cdot \left(\frac{d_{ox}}{\epsilon_{ox}} + \sqrt{\frac{4kT \ln(N_K/n_i)}{\epsilon_{Si} q^2 N_K}} \right)^{-1} & \text{für } U_{GS} = U_{GS(TH)} \\ \frac{\epsilon_{ox} \cdot A_K}{d_{ox}} \cdot \left(1 + \frac{2kT/q}{|U_{GS} - U_{FB}^p - \psi_{S,INV}|} \right)^{-1} & \text{für } U_{GS} > U_{GS(TH)} \end{cases} \quad (5.4)$$

⁶ In realen MOS-Bauelementen besteht parallel zur MOS-Kapazität C_K auch noch eine sogenannte Umladungskapazität der Oberflächenzustände der Si-SiO₂-Phasengrenze. Dieser Kapazitätsbeitrag aber ist beim modernen MOSFET nur von geringer Bedeutung.

Hierin sind A_K die flächige Überlappung des Gates über den Kanalbereich, U_{FB}^p die negative Flachbandspannung des n^+ -Polygate/p-Halbleiter-Systems (siehe Gl. 4.13), N_K die Kanaldotierung, $\psi_{S,AKK}$ die Bandverbiegung in Akkumulation und $\psi_{S,INV}$ die Bandverbiegung in Inversion⁷.



B
(a)



(b)

Abbildung 5.1: Parasitäre Kapazitäten beim RESURF-LDMOS; (a) Schematische Darstellung (b) Ersatzschaltbild.

⁷ $\psi_{S,AKK}$ ist auf 0,1 V bis 0,3 V beschränkt, während $\psi_{S,INV}$ in der Größenordnung von 0,7 V bis 1,0 V liegt.

Abb. 5.2 skizziert gemäß Gl. (5.4) den Verlauf der MOS-Kapazität C_K in Abhängigkeit der Gatespannung U_{GS} . Man kann demzufolge sagen, dass für $U_{GS} < U_{FB}^p$ eine Anreicherung von Löchern im Kanal auftritt, so dass C_K ungefähr mit der konstanten Oxidkapazität C_{ox} gleichzusetzen ist. Im Verarmungsbereich ($U_{FB}^p < U_{GS} < U_{GS(TH)}$) hingegen werden die Löcher von der Kanaloberfläche in das Volumen (der p-Basis) abgedrängt und zugleich eine Raumladungszone von ionisierten Akzeptoratom zurücklassen, die für den Ausgleich der Gateladung sorgen. Die Tiefe der Raumladungszone unterhalb der Kanaloberfläche ist umso größer, je höher die Spannung U_{GS} steigt. Dies bedeutet, dass sich C_K nun aus der Serienschaltung der konstanten Oxidkapazität C_{ox} und der mit wachsendem U_{GS} abnehmenden Raumladungszonenkapazität C_{RLZ} zusammensetzt. Folglich ist ein Absinken von C_K im Verarmungsbereich zu erkennen. Erst bei der Einsatzspannung $U_{GS(TH)}$ hält die Vertiefung der Raumladungszone an und eine dünne Inversionsschicht beginnt, sich durch Zufuhr von Elektronen aus dem n^+ -Sourcegebiet ins Kanalgebiet an der Kanaloberfläche zu bilden. Hierbei erreicht C_K den Mindestwert. Durch eine weitere Erhöhung der Gatespannung über $U_{GS(TH)}$ hinaus kommt es bei nahezu unveränderter Tiefe der Raumladungszone zu einem Ansteigen der Inversionsschichtladung. Die Inversionsschichtladung reagiert sehr empfindlich auf die Änderung von U_{GS} mit einer Ausdehnung entlang des Kanals zum drainseitigen Kanalende. In Konsequenz nimmt C_K zunächst rasch mit steigender Gatespannung zu und geht dann beim Eintreffen der Inversionsschicht am drainseitigen Kanalende gegen den Wert für C_{ox} .

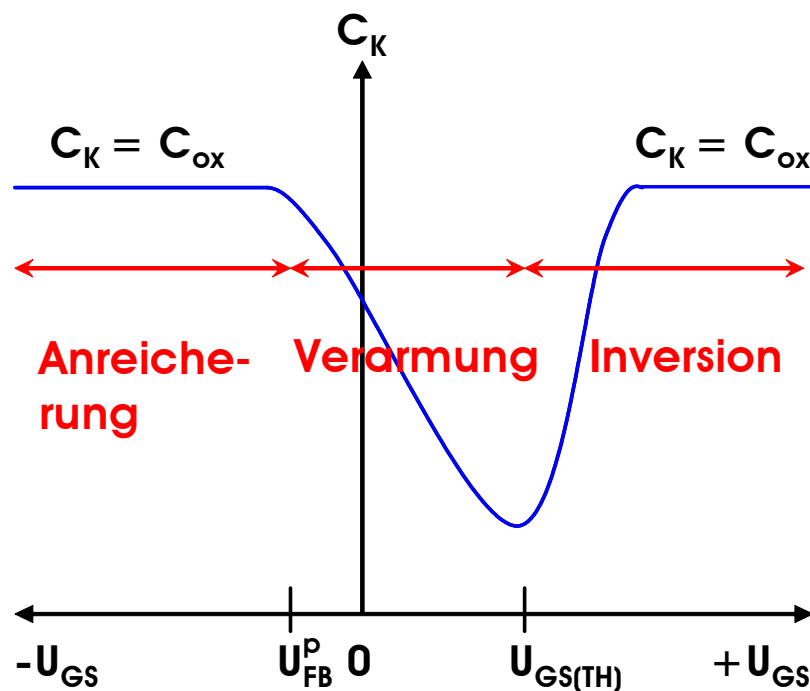


Abbildung 5.2: MOS-Kapazität C_K eines n-Kanal-Leistungs-MOSFET über der Gate-Source-Spannung U_{GS} .

In der Literatur finden sich wenige Ansätze zur analytischen Darstellung von C_K als Funktion von sowohl U_{GS} als auch U_{DS} . In der Veröffentlichung von *Yang et al.* [YWY01] wurde dargelegt, dass der zusätzliche Einfluss von U_{DS} auf C_K als Funktion von U_{GS} auch sehr gut mit Hilfe empirischer Funktionen modelliert werden kann. Auf seine Ergebnisse ist der in Abb. 5.3 aufgetragene Verlauf von C_K in Abhängigkeit von U_{GS} mit U_{DS} als Parameter bezogen.

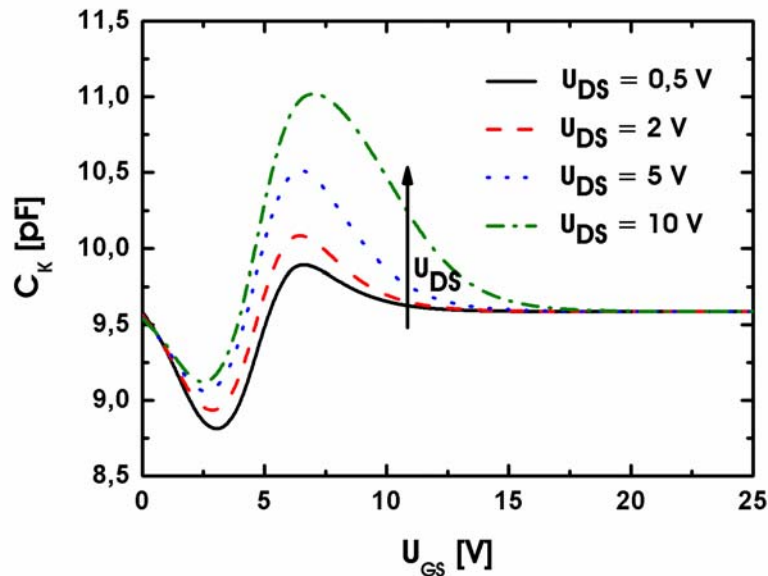


Abbildung 5.3: MOS-Kapazität in Abhängigkeit von U_{GS} mit U_{DS} als Parameter [YWY01].

Im Gegensatz zu Abb. 5.2 kann man in Abb. 5.3 die Spitzen von C_K beobachten. Mit zunehmendem U_{DS} wird C_K bei konstantem U_{GS} immer größer, was auf eine erhöhte Raumladungszonen-Kapazität C_{RLZ} bzw. eine Verlängerung der Inversionsschicht über das Kanalgebiet hinaus hindeutet. Der Grund für die Erhöhung von C_{RLZ} ist, dass die positive Drainspannung die Raumladungszone am pn-Übergang zwischen p-Basis und n-Driftzone einigermaßen in das Kanalgebiet ausdehnt und dabei das Eindringen der Raumladungszone unterhalb der Kanaloberfläche in die Tiefe reduziert. Die Tatsache, dass die C_K/U_{GS} -Kurven Spitzen aufweisen, hängt mit der Verlängerung der Inversionsschicht über das Kanalgebiet hinaus zusammen und erklärt sich wie folgt: Oberhalb der Einsatzspannung $U_{GS(TH)}$ steigt C_K stark mit zunehmender Gatespannung an, und zwar als Folge einer Ausweitung der Inversionsschicht zum drainseitigen Kanalende hin. Gelangt die Inversionsschicht ans drainseitige Kanalende, ergibt sich C_K nahe dem Wert für C_{ox} . Wird die Gatespannung zunehmend positiver gemacht, dringen die Inversionsschicht über das Kanalgebiet hinaus in die Raumladungszone des Driftgebiets hinein, bis sie sich über die gesamte Länge der Raumladungszone des Driftgebiets erstreckt. Bis zu diesem

Zeitpunkt steigt C_K auf ihren Spitzenwert an, der umso größer ist, je stärker die Drainspannung U_{DS} angehoben wird. Mit steigendem U_{DS} muss die Gatespannung U_{GS} immer höhere Werte annehmen, damit C_K den Spitzenwert erreicht. Das liegt daran, dass die zunehmend positive Drainspannung U_{DS} die Raumladungszone immer weiter in das Driftgebiet ausdehnt. Nun da der Oberflächenbereich der Raumladungszone im Driftgebiet, der komplett mit der Inversionsschicht belegt ist, elektrisch leitend wird, kann es keine Spannung über ihm abfallen. Deswegen hat ein weiteres Ansteigen von U_{GS} zur Folge, dass die Ausdehnung der Raumladungszone im Driftgebiet am drainseitigen Kanalende endet; dadurch sinkt C_K auf den Wert für C_{ox} ab.

Bei experimenteller Untersuchung der drei geschilderten Teilkapazitäten ergibt sich allerdings, dass C_O grundsätzlich den dominierenden Anteil an C_{gs} einnimmt. Demnach bildet sich zwischen dem Gate und der Source-Kontaktierung die näherungsweise konstante Gate-Source-Kapazität $C_{gs} \approx C_O = const.$

Der Überlapp des Gates über die Driftzone bewirkt die Gate-Drain-Kapazität C_{gd} , die auch einer Spannungsabhängigkeit unterliegt:

$$C_{gd} = \begin{cases} C_{ox} = \frac{\epsilon_{ox} A_D}{d_{ox}} & \text{für } U_{DS} < U_{GS} \\ \frac{C_{ox} \cdot C_{RLZ}}{C_{ox} + C_{RLZ}} = \frac{\epsilon_{ox} \cdot \epsilon_{Si} \cdot A_D}{\epsilon_{ox} W_{RLZ} + \epsilon_{Si} d_{ox}} & \text{für } U_{DS} \geq U_{GS} \end{cases} \quad (5.5)$$

Analytisch lässt sich C_{gd} bei einer konstanten Gate-Source-Spannung U_{GS} gemäß *Dogan et al.* [DL91] als Funktion von der Drain-Source-Spannung U_{DS} ausdrücken:

$$C_{gd} = \begin{cases} \frac{\epsilon_{ox} A_D}{d_{ox}} & \text{für } U_{DS} < U_{GS} + U_{FB}^n \\ \frac{\epsilon_{ox} A_D}{d_{ox}} \cdot \left[1 + \frac{2\epsilon_{ox}^2 (U_{DS} - U_{GS} - U_{FB}^n)}{\epsilon_{Si} q d_{ox}^2 N_D} \right]^{-1/2} & \text{für } U_{DS} \geq U_{GS} + U_{FB}^n \end{cases} \quad (5.6)$$

A_D ist die Überlappungsfläche der Gateelektrode über die Driftzone. Die Flachbandspannung U_{FB}^n rührt in diesem Fall vom Austrittsenergieunterschied von n⁺-Polysiliziumgate und n-Halbleiter her [TN98]

$$\Phi_{MS}^n = -0,56[\text{V}] + \frac{kT}{q} \ln \left(\frac{N_D}{n_i} \right) \quad (5.7)$$

mit N_D als Driftzonendotierung.

Gl. (5.6) behält ihre Gültigkeit, unter der Bedingung, dass die konstante Gatespannung U_{GS} größer ist als die Einsatzspannung der n-Driftzone:

$$U_{GS} = const > U_{FB}^n + 2\psi_B + \frac{d_{ox}}{\epsilon_{ox}} \cdot \sqrt{4\epsilon_{Si}qN_D\psi_B} \quad (5.8)$$

mit dem Bulk-Fermi-Potential

$$\psi_B = \frac{kT}{q} \cdot \ln\left(\frac{N_D}{n_i}\right) \quad (5.9)$$

Aufgrund der Tatsache, dass die Einsatzspannung der n-Driftzone (Summation aller Terme auf der rechten Seite von Gl. (5.8)) deutlich negativ ist und dass die Steuerungsspannung U_{GS} für selbstsperrende n-Kanaltransistoren niemals unter einen negativen Wert sinkt, wird die oben angegebene Bedingung immer eingehalten.

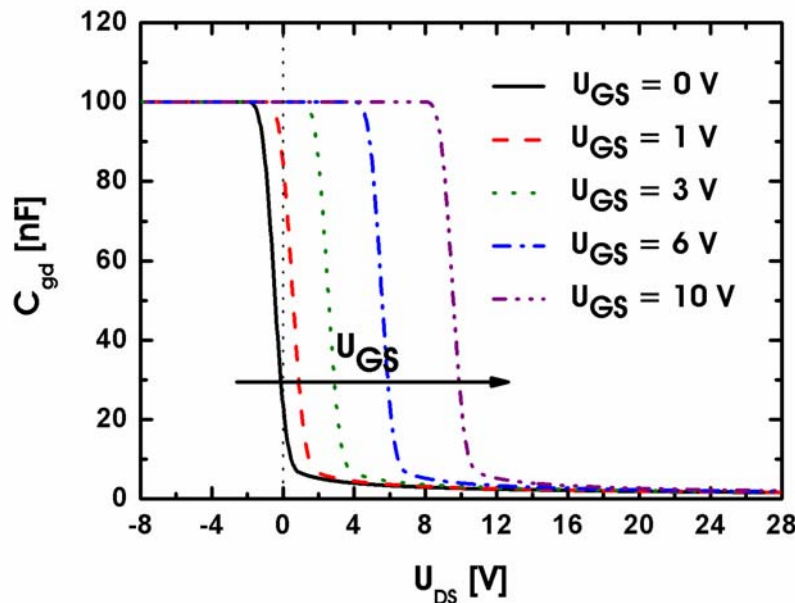


Abbildung 5.4: Verlauf von C_{gd} über U_{DS} mit U_{GS} als Parameter.

Die C_{gd}/U_{DS} -Kurve ist in Abb. 5.4 für verschiedene Werte von U_{GS} dargestellt, sie verschiebt sich mit zunehmender Gatespannung U_{GS} immer mehr nach rechts. Sofern die Drainspannung U_{DS} kleiner als die Summe $U_{GS} + U_{FB}^n$ liegt, wobei U_{GS} konstant gehalten wird, wirkt das Potential der Gateelektrode gegenüber dem Potential der Drainelektrode positiv. Es stellt sich eine Anreicherung von Elektronen im Überlappungsgebiet vom Gate über die Driftzone unter dem Gatekontakt ein, so dass $C_{gd} \approx C_{ox}$ gilt. Überschreitet die Drainspannung U_{DS} den Wert $U_{GS} + U_{FB}^n$, wird die Polung zwischen Gate- und Drainelektrode umgekehrt, dabei stellt sich eine Verarmung an

Ladungsträgern in der Driftzone unterhalb des Gateoxids ein. Mit steigender Drainspannung sinkt C_{gd} dann stark ab. Erst wenn die Ladungsträgerdichte in der Verarmungszone zu Null wird, hört die Absenkung von C_{gd} auf. Bei jeder noch weiteren Zunahme von U_{DS} bleibt C_{gd} auf ihrem Minimalwert und die Kurve wird flach. Im Verarmungsgebiet kann C_{gd} auch als eine Reihenschaltung aus der Oxidkapazität C_{ox} und der sowohl von U_{GS} als auch von U_{DS} abhängigen Raumladungszonen-Kapazität $C_{RLZ} = C_{RLZ}(U_{GS}, U_{DS})$ betrachtet werden.

Alle in Sperrichtung betriebenen p⁺-n-n⁺-Übergänge zwischen der Drain und der Source fasst die Drain-Source-Kapazität C_{ds} zusammen. Dazu zählen z.B. bei dem untersuchten SJ-LDMOS-Transistor die Übergänge zwischen dem p-Substrat und der n-Driftzone, der p-Basis und der n-Driftzone sowie den p-Säulen und der n-Driftzone. Da es sich bei C_{ds} um eine Sperrschichtkapazität handelt, ist C_{ds} stark von der Drain-Source-Spannung U_{DS} abhängig (Abb. 5.5):

$$C_{ds} = C'_{ds0} \cdot A_{ML} \cdot \left(1 + \frac{U_{DS}}{U_D}\right)^{-1/2} \quad (5.10)$$

Hierbei bedeutet A_{ML} die metallurgische Grenzfläche und C'_{ds0} die flächenbezogene Drain-Source-Kapazität bei $U_{DS} = 0$ V. Es gilt:

$$C'_{ds0} = \sqrt{\frac{qN_A N_D \epsilon_{Si}}{2(N_A + N_D)U_D}} \quad (5.11)$$

mit der Diffusionsspannung U_D , die sich um den pn-Übergang zwischen den beiden Dotiergebieten herum ausbildet.

Die parasitären Kapazitäten können in der Praxis nur indirekt gemessen werden. Daher geben Datenblätter nur die Werte von Eingangskapazität $C_{iss} \approx C_{gs} + C_{gd}$ bei Kurzschluss zwischen Drain und Source, Ausgangskapazität $C_{oss} \approx C_{ds} + C_{gd}$ bei Kurzschluss zwischen Gate und Source und Rückwirkungskapazität (Miller-Kapazität) $C_{rss} \approx C_{gd}$ (typisch bei $U_{GS} = 0$ V und $U_{DS} \approx 25$ V angegeben) an. Die Messung wird üblicherweise bei der Kleinsignalfrequenz $f = 1$ MHz durchgeführt. In Abb. 5.6 sind die flächenbezogenen⁸ parasitären Kapazitäten eines RESURF-LDMOS über der Drain-Source-Spannung U_{DS} aufgetragen.

⁸ Mit einem hochgestellten Strich gekennzeichnet.

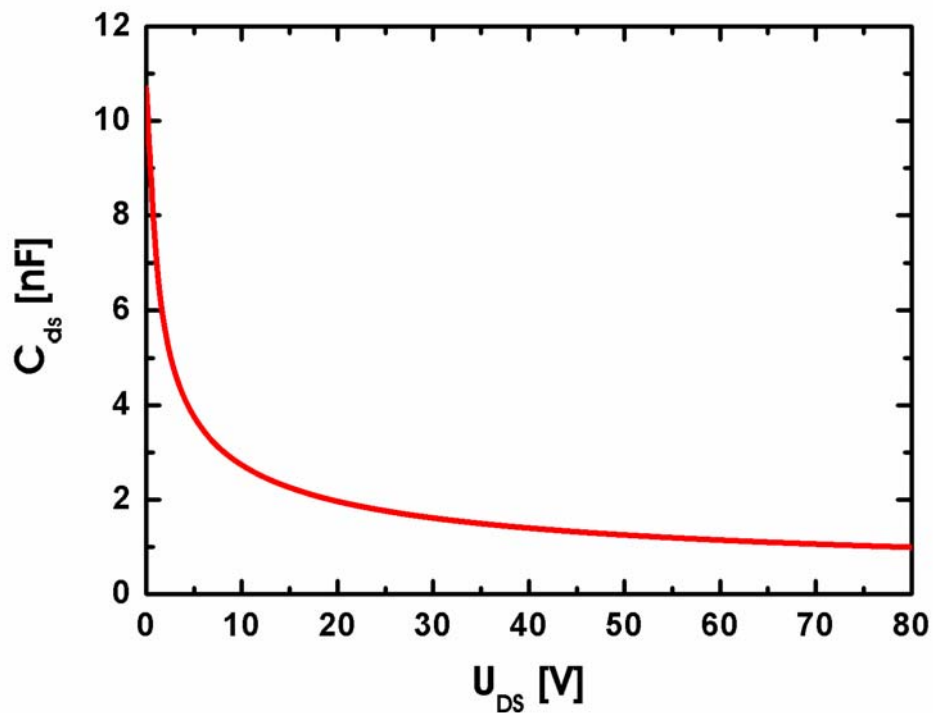


Abbildung 5.5: Drain-Source-Kapazität C_{ds} über der Drain-Source-Spannung U_{DS} .

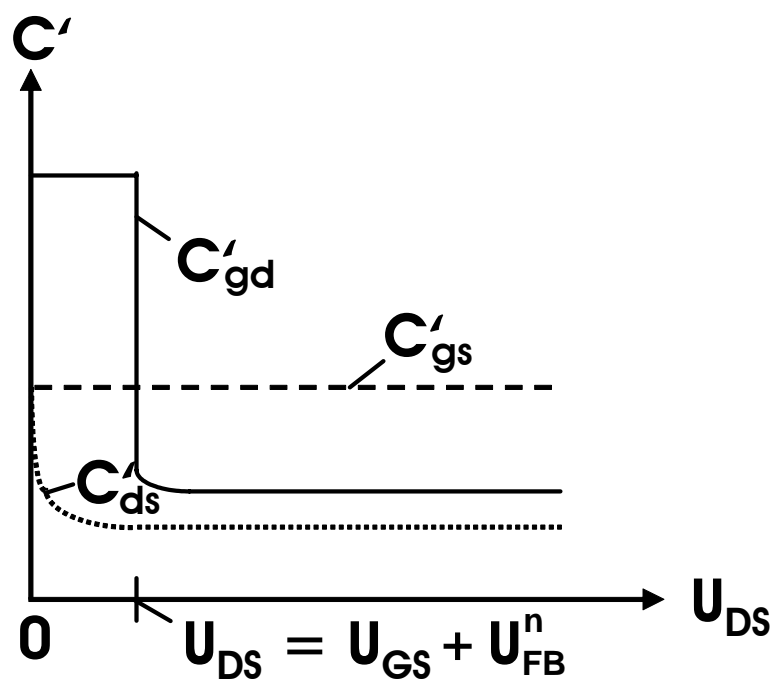


Abbildung 5.6: Typische Abhängigkeit flächenbezogener parasitärer Transistorkapazitäten von der Drain-Source-Spannung U_{DS} bei konstanter Gate-Source-Spannung ($U_{GS} = const$).

5.2 Schaltvorgang

5.2.1 Schaltzeiten bei induktiver Last

Die Lastimpedanz in den meisten leistungselektronischen Stromkreisen hat induktiven Charakter. Beim Einschalten muss die Energie zunächst im Magnetfeld der Spule gespeichert werden, was den Stromanstieg verzögert. Bei Unterbrechung des Stromkreises möchte sich die gespeicherte Energie schlagartig über den Transistor entladen. Hierbei würde eine hohe Spannungsspitze im Transistor induziert, die das Bauelement unwiderruflich zerstören kann. Zum Schutz gegen eine solche Überspannung ist parallel zur induktiven Last eine Freilaufdiode geschaltet, so dass sie in Rückwärtsrichtung mit der angelegten Versorgungsspannung beansprucht wird. Über die Freilaufdiode wird dann beim Abschalten der Versorgungsspannung die Überspannungsspitze kurzgeschlossen. Die induktive Last wirkt danach als Spannungsquelle und treibt den Strom weiter, der dann in den Freilaufzweig der Diode und der Induktivität kommutiert.

Eine allgemeine Testschaltung zur Untersuchung des Schaltverhaltens bei induktiver Last mit Freilaufzweig ist in Abb. 5.7(a) zusammen mit zugehörigen Spannungs- und Stromverläufen dargestellt (Abb. 5.7(b)). Der untersuchte SJ-LDMOS wird über die induktive Last $L = 200 \mu\text{H}$ mit der Spannung $U_{DD} = 350 \text{ V}$ versorgt. Anfangs ist der Transistor gesperrt, es fließt der Laststrom $I_L = 20 \text{ A}$ durch die Freilaufdiode und die Induktivität. Am SJ-LDMOS steht die Spannung $U_{DS} \approx 350,8 \text{ V}$.

Das Einschalten erfolgt durch Anlegen einer impulsförmigen Spannung von 15 V über den extern vorgeschalteten Gatewiderstand $R_G = 10 \Omega$ an das Gate. Folglich steigt die Gate-Source-Spannung U_{GS} exponentiell mit der Zeit an (siehe Anhang D):

$$U_{GS}(t) = U_G \left\{ 1 - \exp \left[\frac{-t}{R_G (C_{gs} + C_{gd})} \right] \right\} \quad (5.12)$$

Nach der Einschaltverzögerungszeit

$$t_{d(on)} = R_G (C_{gs} + C_{gd}) \ln \left[\frac{U_G}{U_G - U_{GS(TH)}} \right] \quad (5.13)$$

ist die Einsatzspannung $U_{GS(TH)}$ erreicht. Zu diesem Zeitpunkt stellt sich der Drainstrom I_D ein, der Transistor geht vom Sperrzustand in den Sättigungsbereich über. Dann wächst I_D der Übertragungscharakteristik zufolge im Verhältnis zu U_{GS} . Es gilt deshalb

$$I_D(t) = g_{fs} (U_{GS} - U_{GS(TH)}) = g_{fs} \left[(U_G - U_{GS(TH)}) - U_G \exp \left\{ \frac{-t}{R_G (C_{gs} + C_{gd})} \right\} \right] \quad (5.14)$$

Hierin bedeutet g_{fs} der Vorwärtssteilheit wie bereits diskutiert. Zugleich fällt der Diodenstrom I_F nach dem Kirchhoffschen Gesetz: $I_F(t) = I_L - I_D(t)$.

Bis der Drainstrom seinen Dauerwert $I_D = I_L$ bei $U_{GS} = U'_{GS} = U_{GS(TH)} + I_L/g_{fs}$ erreicht hat, verstreicht eine Anstiegszeit

$$t_r = R_G (C_{gs} + C_{gd}) \ln \left[\frac{g_{fs} U_G}{g_{fs} (U_G - U_{GS(TH)}) - I_L} \right] \quad (5.15)$$

Während der Anstiegszeit ist die Freilaufdiode noch leitend, so dass U_{DS} unverändert bleibt. Danach schaltet sich die Freilaufdiode wegen $I_F = 0$ bei $I_D(t_r) = I_L$ ab, d.h. sie gerät in den Sperrzustand, und infolgedessen braucht die Gatespannung zurzeit nicht anzusteigen. Vielmehr nimmt U_{DS} ab mit näherungsweise konstanter Geschwindigkeit

$$\frac{dU_{DS}}{dt} = \frac{I_G}{C_{gd}} = \frac{U_G - U'_{GS}}{R_G C_{gd}} \quad (5.16)$$

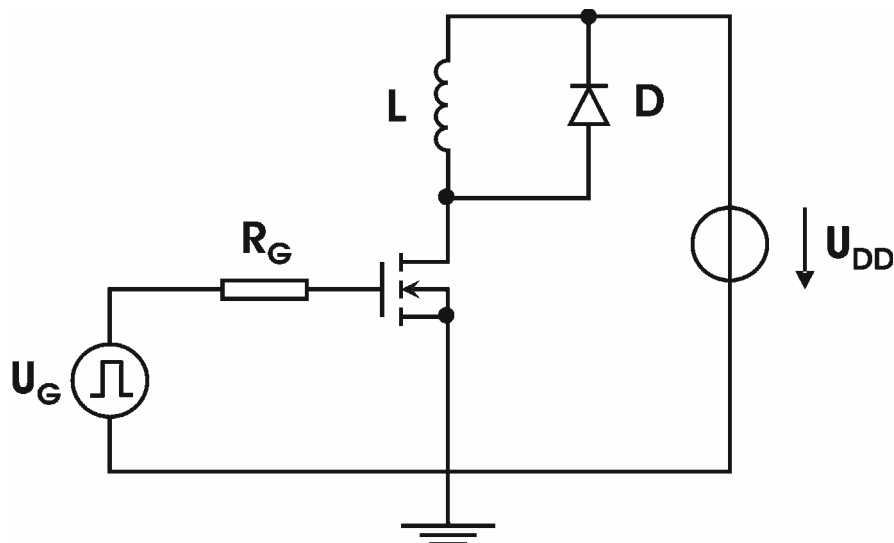
Daraus folgt

$$U_{DS}(t) = U_{DD} - \frac{g_{fs} (U_G - U_{GS(TH)}) - I_L}{g_{fs} R_G C_{gd}} (t - t_r) \quad (5.17)$$

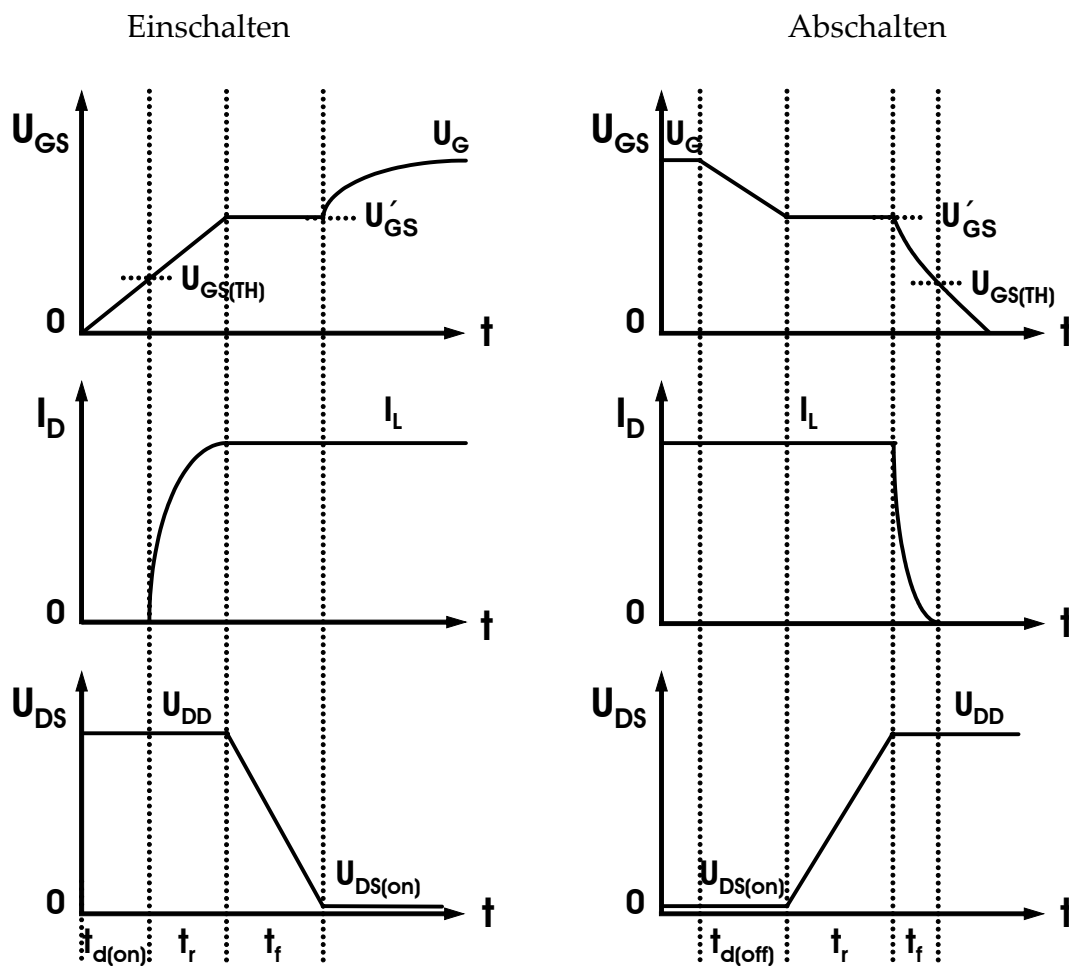
Da nun $I_D = I_L$ konstant ist, muss auch U_{GS} gemäß der Übertragungscharakteristik zeitweise konstant bleiben. Der sogenannte Millereffekt wird jetzt wirksam. U_{DS} sinkt nach Ablauf der Fallzeit

$$t_f = \frac{(U_{DD} - U_{DS(on)}) R_G C_{gd}}{U_G - (U_{GS(TH)} + I_L/g_{fs})} \quad (5.18)$$

auf den nahezu konstanten Sättigungswert $U_{DS(on)} = R_{DS(on)} \cdot I_L$ und der Transistor ist vollständig eingeschaltet. Danach wächst U_{GS} bei konstanter Drainspannung $U_{DS(on)}$ weiter auf U_G . Das Zeitintervall zwischen dem Anlegen der Gatesteuerspannung und dem Erreichen von $U_{DS} = U_{DS(on)}$ versteht man unter Gesamtschaltzeit t_{on} .



(a)



(b)

Abbildung 5.7: Induktiver Schaltvorgang mit Freilaufdiode; (a) Schaltung zur Simulation (b) Typische zeitliche Verläufe mit Definition der Schaltzeiten.

Zum Ausschalten wird die Gatespannung auf $U_G \leq U_{GS(TH)}$ (üblicherweise auf Null) abgebaut. Während der Ausschaltverzögerungszeit

$$t_{d(off)} = R_G (C_{gs} + C_{gd}) \ln \left[\frac{g_{fs} U_G}{g_{fs} U_{GS(TH)} + I_L} \right] \quad (5.19)$$

fällt U_{GS} zunächst von U_G auf U'_{GS} ab; offensichtlich ist $t_{d(off)}$ größer als $t_{d(on)}$. Inzwischen ändern sich weder I_D noch U_{DS} . Nach Ablauf der Ausschaltverzögerung beginnt der Transistor, in den Sättigungsbereich zu geraten. U_{DS} nimmt dann zu entsprechend:

$$U_{DS}(t) = U_{DS(on)} + \frac{1}{R_G C_{gd}} \left(U_{GS(TH)} + \frac{I_L}{g_{fs}} \right) (t - t_{d(off)}) \quad (5.20)$$

Solange U_{DS} noch kleiner als U_{DD} ist, bleibt I_D weiterhin konstant, da die Freilaufdiode gesperrt ist. Deswegen muss auch U_{GS} bei U'_{GS} stehen bleiben, um die Übertragungscharakteristik zu erfüllen. Es vergeht die Anstiegszeit

$$t_r = \frac{(U_{DD} - U_{DS(on)}) g_{fs} R_G C_{gd}}{I_L + g_{fs} U_{GS(TH)}} \quad (5.21)$$

bis U_{DS} anschließend auf den Wert U_{DD} ansteigt. Jetzt wird die Freilaufdiode leitend, somit kann U_{GS} weiter sinken. Die Übertragungscharakteristik bedingt dann den Abfall von I_D :

$$I_D(t) = (I_L + g_{fs} U_{GS(TH)}) \exp \left\{ \frac{-t}{R_G (C_{gs} + C_{gd})} \right\} - g_{fs} U_{GS(TH)} \quad (5.22)$$

Sobald U_{GS} unter $U_{GS(TH)}$ liegt, wird $I_D = 0$. Die Fallzeit von I_D dauert

$$t_f = R_G (C_{gs} + C_{gd}) \ln \left[\frac{I_L + g_{fs} U_{GS(TH)}}{g_{fs} U_{GS(TH)}} \right] \quad (5.23)$$

Danach fällt U_{GS} weiter auf Null ab. Dies hat aber keinen Einfluss mehr auf U_{DS} und I_D , weil sie ihren Dauerwert schon erreicht haben. Vom Zeitpunkt, bei dem das Ausschalten eingeleitet wird, bis der Drainstrom bei $U_{GS} = U_{GS(TH)}$ auf Null zurückgeht, wird die Gesamtausschaltzeit t_{off} gezählt.

Beim Übergang von einem Schaltzustand in den anderen verkräftet das Bauelement während des Zeitintervalls zwischen t_r und t_f gleichzeitig Strom und Spannung in vollem Ausmaß; es tritt also der ungünstige Fall von Schaltverlustleistung ein. Die

mittlere Verlustleistung P entspricht in guter Näherung dem Produkt aus der Schaltfrequenz f und der Fläche unter der Verlustleistungskurve beim Ein- bzw. Ausschalten. Abb. 5.8 bis Abb. 5.11 veranschaulichen für drei Kompensationsbedingungen die simulierten zeitlichen Verläufe von Spannungen, Strömen und Verlustleistungen am SJ-LDMOS im induktiven Schaltbetrieb mit Freilaufdiode. In Tabelle 5.1 werden die Gesamtschaltzeiten und die Schaltverlustleistungen bei $f = 10^5$ Hz der gleichförmigen SJ mit der ungleichförmigen SJ verglichen.

Daraus resultiert, dass die ungleichförmige SJ im Prinzip schneller ein- und ausgeschaltet werden kann als die gleichförmige SJ. Die Verlustleistung der gleichförmigen SJ ist beim Einschalten kleiner als beim Abschalten, für die ungleichförmige SJ; allerdings trifft diese Feststellung nur bei $\Delta N_A = -10\%$ zu. Es bedarf auf Grund kleinerer Einschaltverzögerungszeit für beide Entwurfsvarianten einer längeren Zeit zum Ausschalten als zum Einschalten. Mit der Stärke des Kompensationsgrades erhöht sich die Schaltgeschwindigkeit. Dies erklärt sich physikalisch dadurch, dass bei zunehmender Akzeptorkonzentration N_A die p-Säulen niederohmiger werden und dadurch den Löchern leitfähigere Strompfade bieten. Der Ausdruck für den spezifischen Widerstand der Säulen ρ_s ist unter der Annahme vollständiger Ionisation der Akzeptoren gegeben durch

$$\rho_s = \frac{1}{q \cdot p \cdot \mu_p} \approx \frac{1}{q \cdot N_A \cdot \mu_p} \quad (5.24)$$

Dementsprechend besitzt die ungleichförmige SJ aufgrund ihrer höheren optimalen Säulendotierung kürzere Schaltzeit als die gleichförmige SJ. Aus Gl. (5.24) kann man dennoch ersehen, dass der spezifische Säulenwiderstand ρ_s auch von der Löcherbeweglichkeit abhängt, die wiederum von der Löcherdichte gemäß Gl. (2.24) abhängt. Mit steigender Säulendotierung werden die Löcher immer mehr gegenseitig behindert, und die Abnahme von ρ_s über N_A verläuft flacher, wie in Abb. 5.12 zu sehen ist. Entsprechend nimmt die Schaltgeschwindigkeit immer weniger mit der Stärke des Kompensationsgrades ΔN_A zu. Bei sehr hoher Akzeptorkonzentration kann man also die Wirkung der Akzeptoratome auf die Löcherbeweglichkeit und auf den daraus resultierenden spezifischen Säulenwiderstand nicht vernachlässigen. Allerdings wird die Einschaltzeit der ungleichförmigen SJ durch Anhebung des Kompensationsgrades von $\Delta N_A = 0\%$ auf $\Delta N_A = +10\%$ nur geringfügig verkürzt, wie aus dem Zeitverlauf beim Einschalten der ungleichförmigen SJ zu erkennen ist.

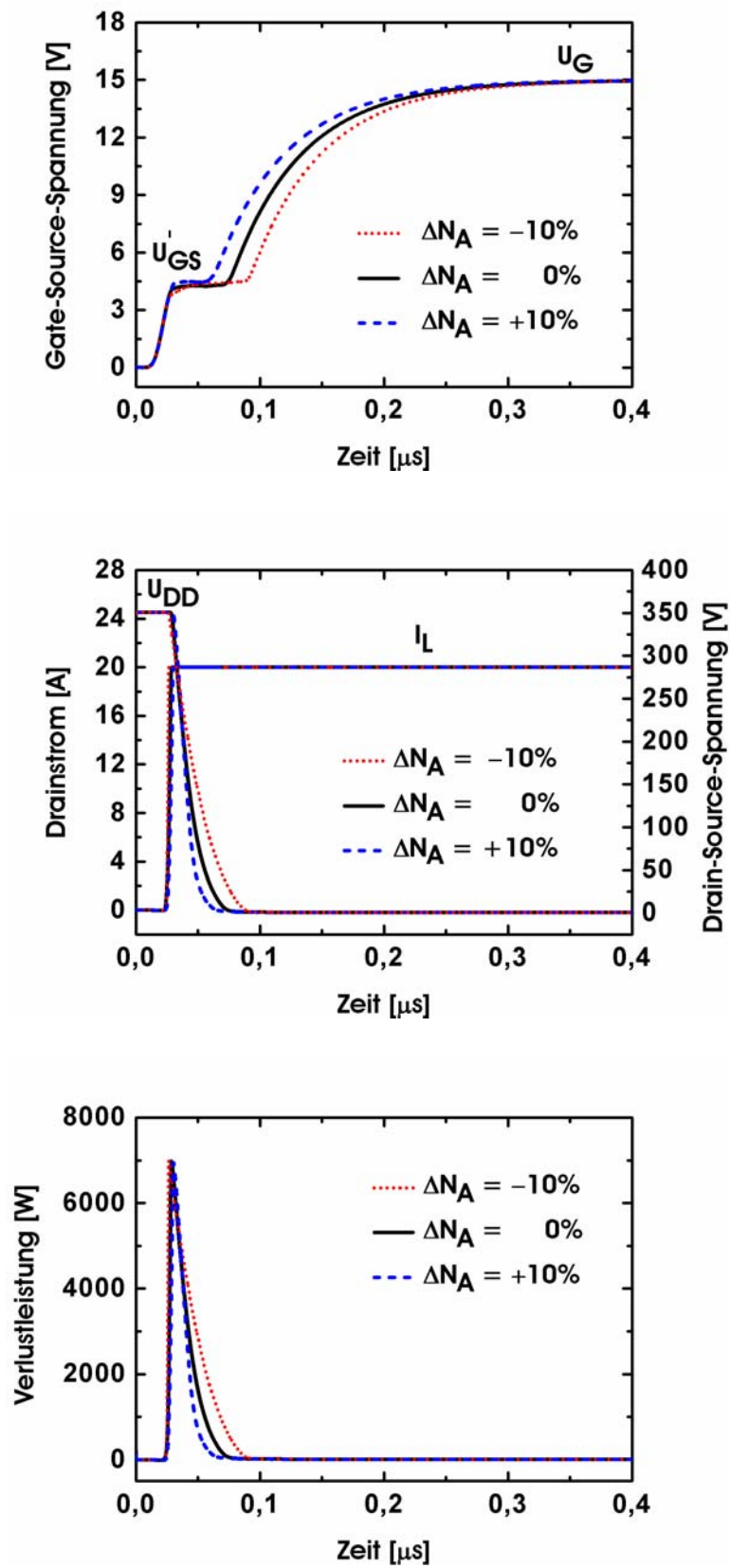


Abbildung 5.8: Verhalten des gleichförmigen SJ-LDMOS-Transistors beim Einschalten induktiver Last mit Freilaufkreis.

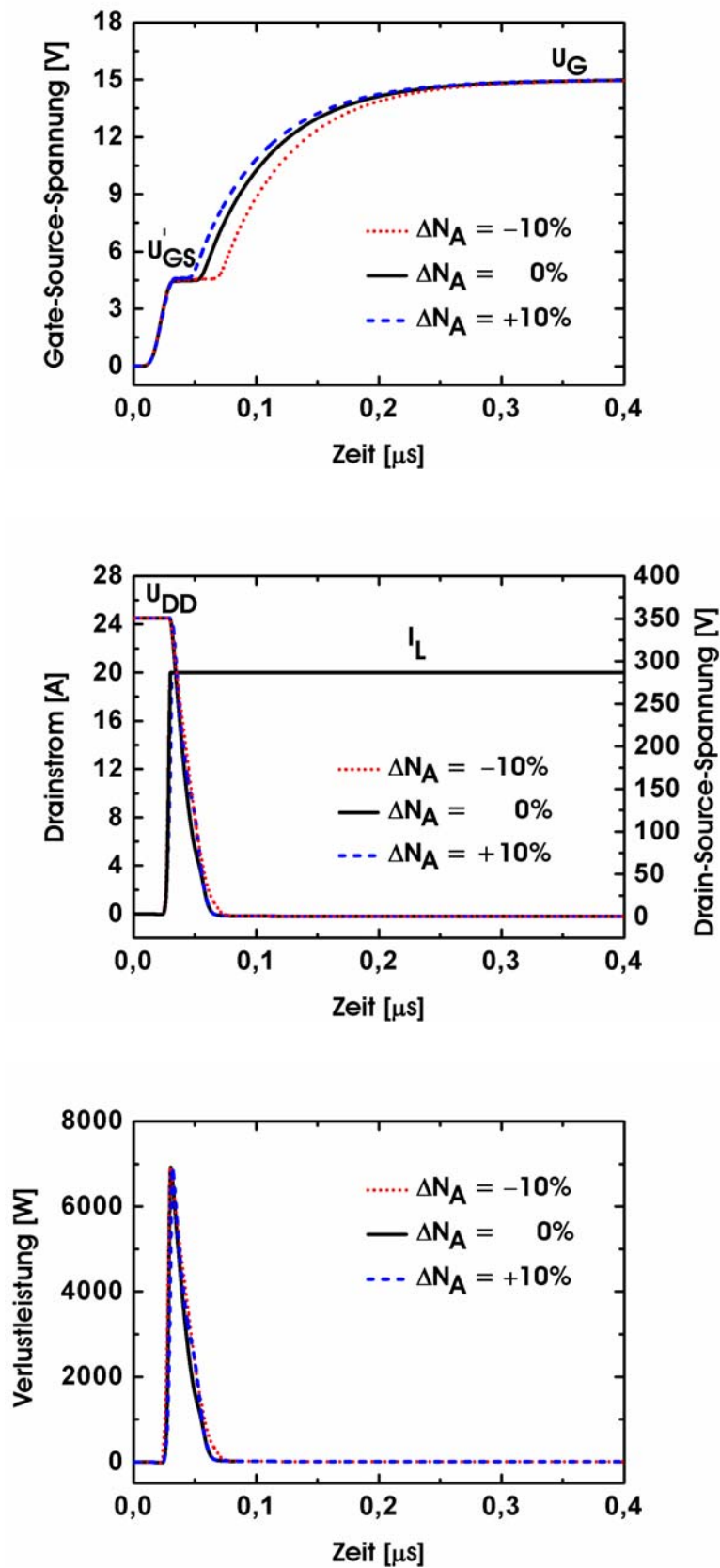


Abbildung 5.9: Verhalten des ungleichförmigen SJ-LDMOS-Transistors beim Einschalten induktiver Last mit Freilaufkreis.

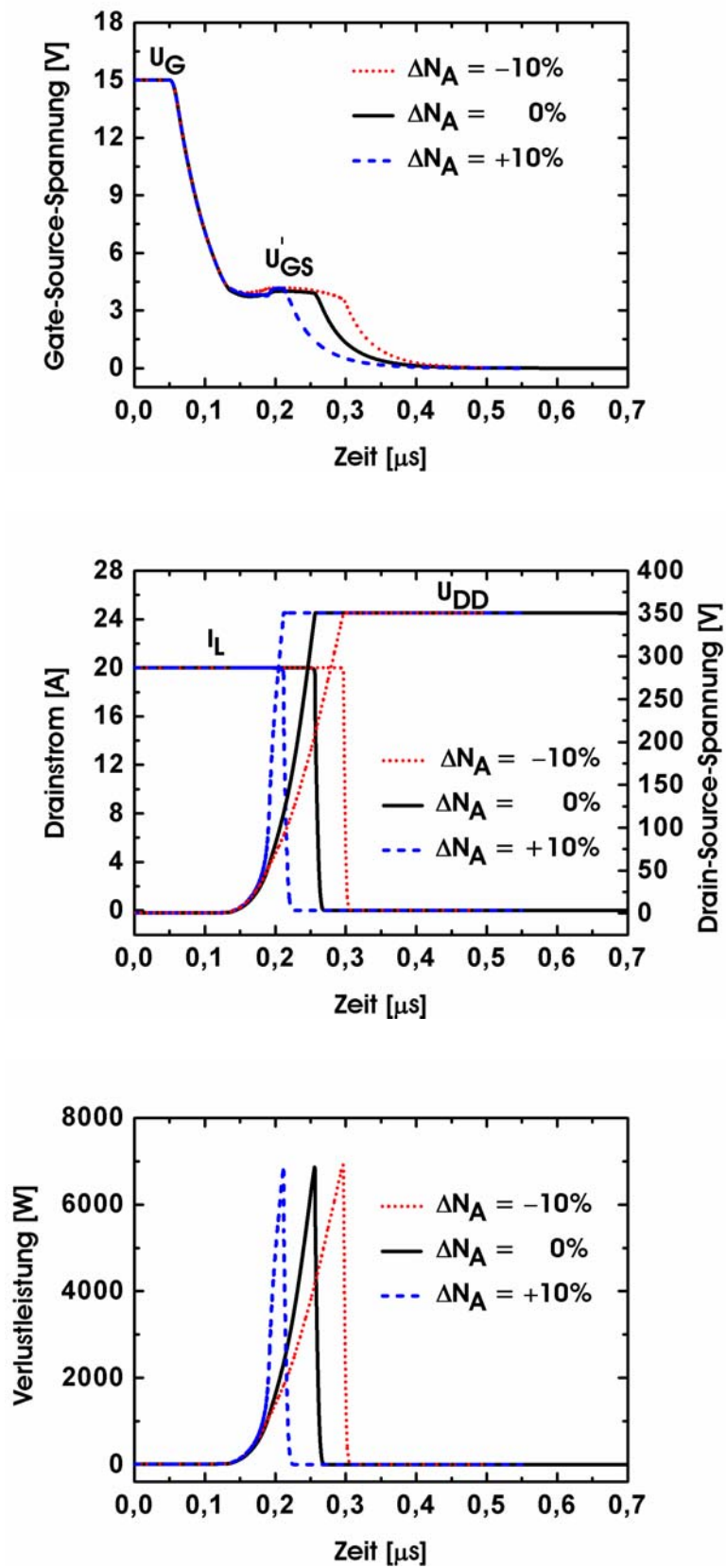


Abbildung 5.10: Verhalten des gleichförmigen SJ-LDMOS-Transistors beim Ausschalten induktiver Last mit Freilaufkreis.

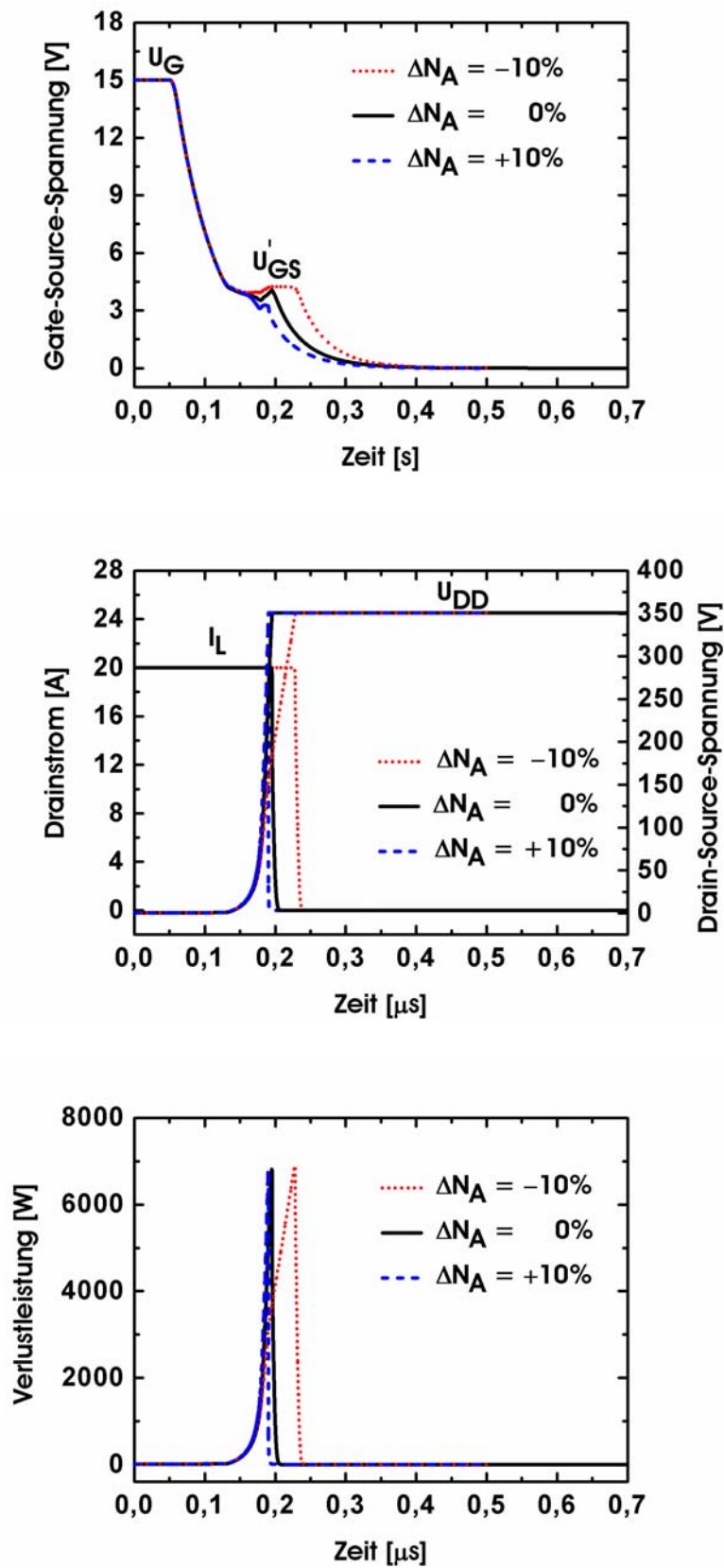
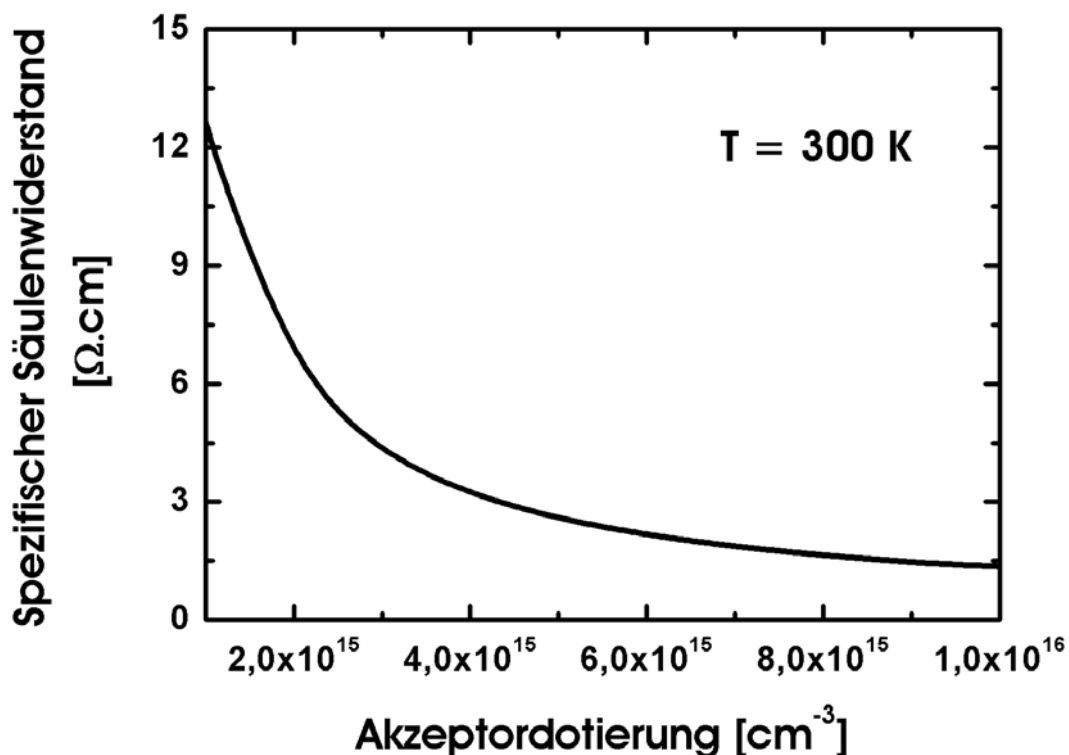


Abbildung 5.11: Verhalten des ungleichförmigen SJ-LDMOS-Transistors beim Ausschalten induktiver Last mit Freilaufkreis.

Tabelle 5.1: Schaltkenngrößen von SJ-LDMOS bei induktiver Last.

Kenngröße	Gleichförmige SJ			Ungleichförmige SJ		
	$\Delta N_A = -10\%$	$\Delta N_A = 0\%$	$\Delta N_A = +10\%$	$\Delta N_A = -10\%$	$\Delta N_A = 0\%$	$\Delta N_A = +10\%$
t_{on} [ns]	80,24	63,40	54,43	62,65	55,15	55,10
P_{on} [W] bei $f = 10^5$ Hz	16,46	12,26	9,22	13,25	11,45	11,31
t_{off} [ns]	256,51	215	175,25	191,20	166,15	152,24
P_{off} [W] bei $f = 10^5$ Hz	42,54	27,60	15,25	25,36	9,65	6,58


Abbildung 5.12: Berechnete Veränderung des spezifischen Säulenwiderstands mit zunehmender Akzeptordotierung bei Raumtemperatur.

Diese kaum bemerkbare Erhöhung der Einschaltgeschwindigkeit der ungleichförmigen SJ mit $\Delta N_A = +10\%$ kommt dadurch zustande, dass zu Beginn des Einschaltvorganges aufgrund des Überschusses an Akzeptoren ein bestimmtes Gebiet in der Säule nahe der Source noch an Löchern reich ist (siehe Abb. 5.14). Dieses Gebiet ist elektrisch neutral, besitzt aber einen endlichen Widerstand, was zu einer weiteren Blockierung der Löcherströmung in die Säule führt. Folglich ändert sich die Einschaltzeit der ungleichförmigen SJ mit $\Delta N_A = +10\%$ sehr wenig. Zum Vergleich ist die Löcherdichtenverteilung während des Einschaltvorganges der ungleichförmigen SJ mit $\Delta N_A = 0\%$ in Abb. 5.13 dargestellt, aus der hervorgeht, dass in diesem Fall bereits vor Beginn des Einschaltens nahezu alle Löcher aus den Säulen ausgeräumt sind.

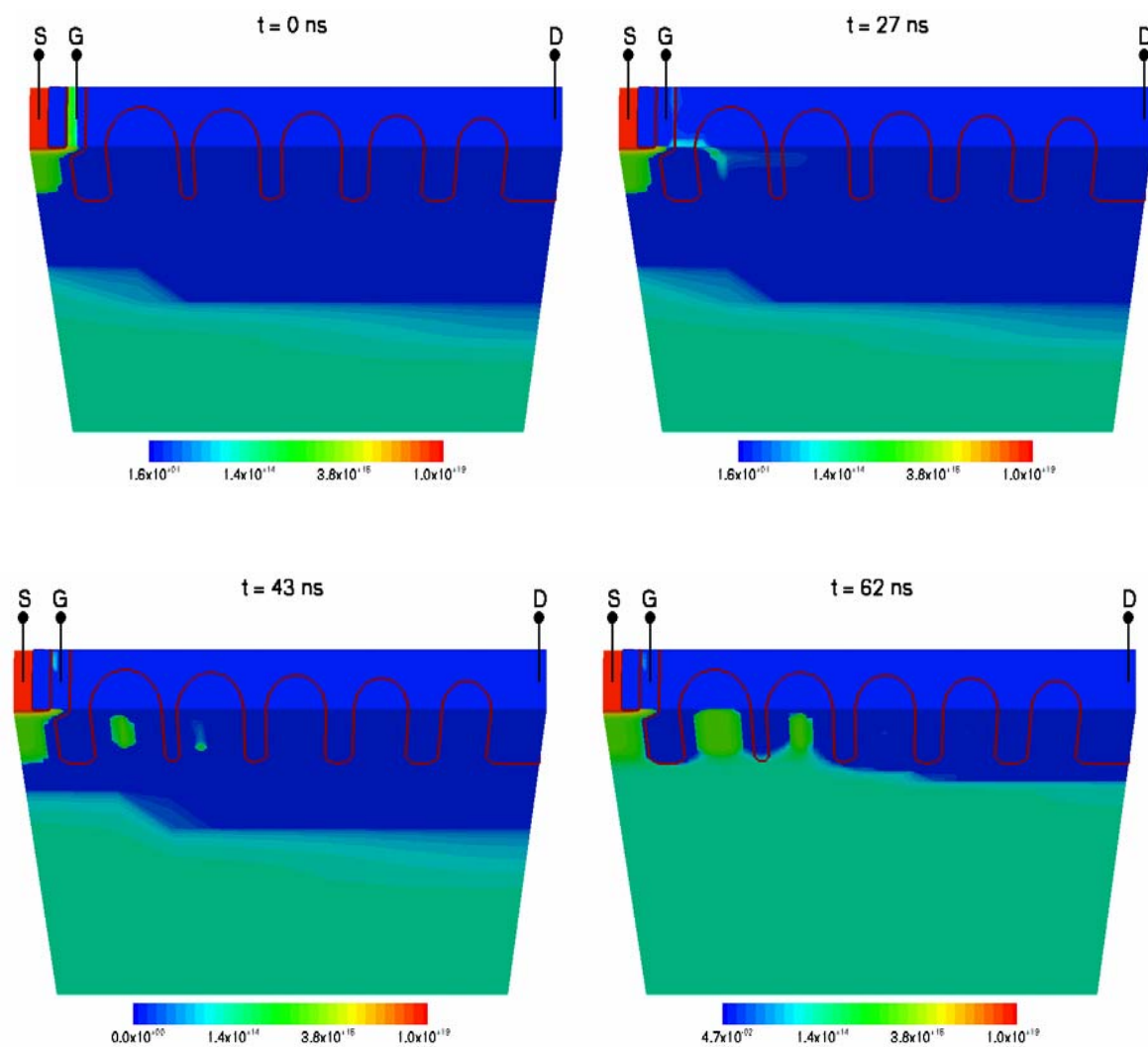


Abbildung 5.13: Löcherdichtenverteilung in der ungleichförmigen SJ mit $\Delta N_A = 0\%$ während des induktiven Einschaltvorganges.

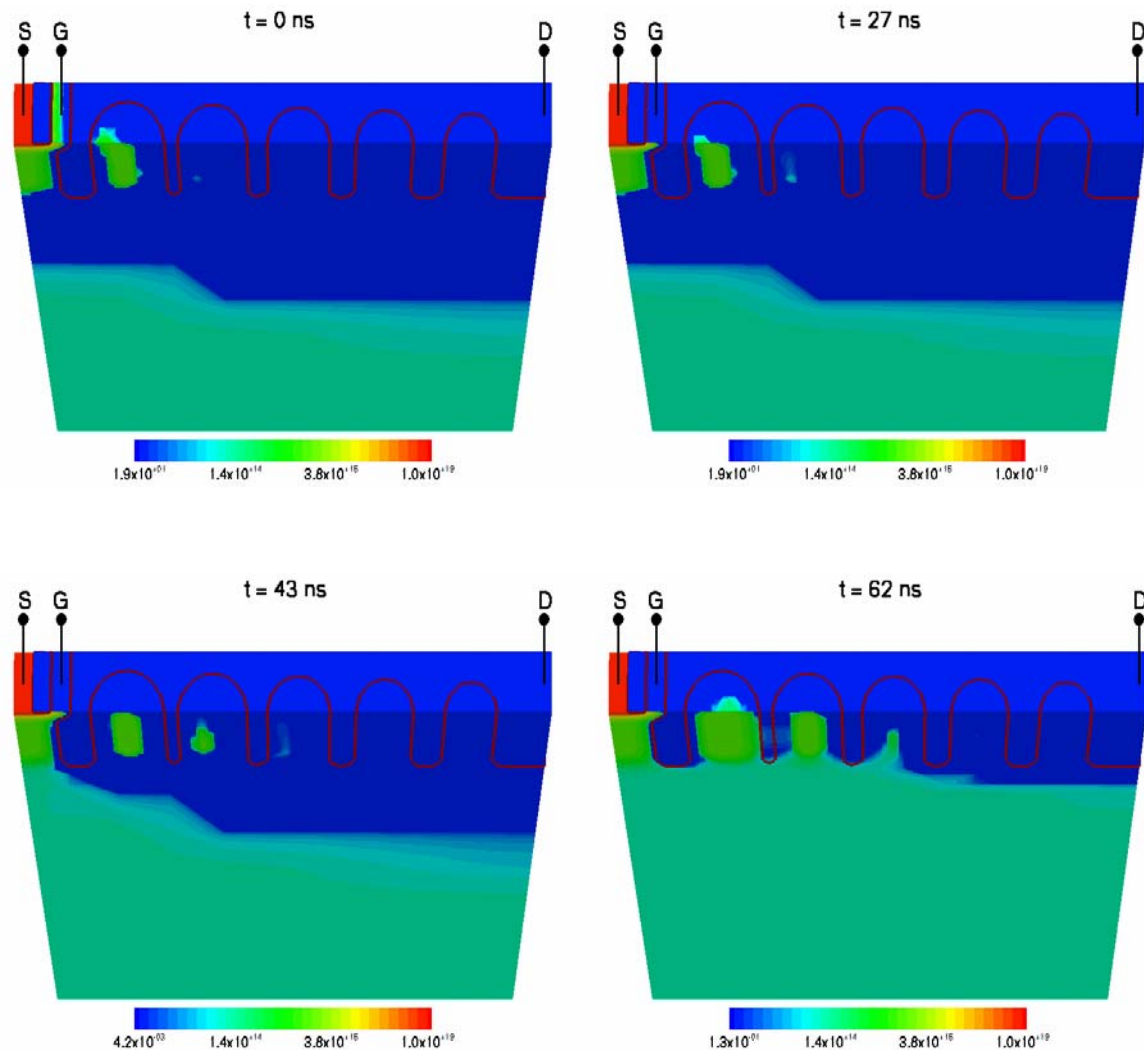


Abbildung 5.14: Löcherdichtenverteilung in der ungleichförmigen SJ mit $\Delta N_A = +10\%$ während des induktiven Einschaltvorganges.

5.2.2 Schaltzeiten bei ohmscher Last

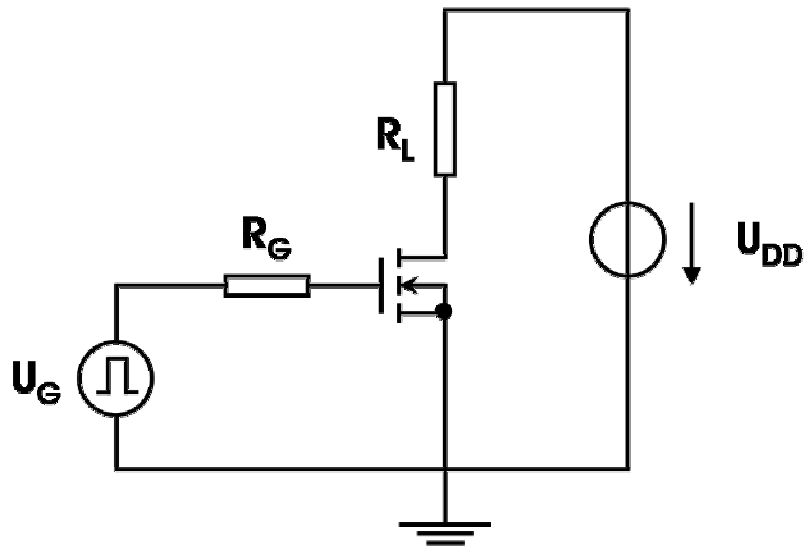
Leistungselektronische Schaltungen mit rein ohmschem Lastwiderstand sind selten anzutreffen; trotzdem wird das Schaltverhalten des Transistors oft in einem ohmschen Lastkreis nach Abb. 5.15(a) getestet. Sämtliche Schaltzeitkomponenten sind entsprechend Abb. 5.15(b) definiert.

Mit dem gewählten Lastwiderstand $R_L = 17,5 \Omega$ wird der Drainstrom bzw. der Laststrom bei geschlossenem Stromkreis auf 20 A eingestellt. Beim Einschalten mit einer sprungförmigen Gatespannung $U_G = 15 \text{ V}$ vergeht zunächst eine Einschaltverzögerungszeit $t_{d(on)}$ wie Gl. (5.13) bis zum Erreichen der Einsatzspannung $U_{GS(TH)}$, wobei $U_{DS} = U_{DD}$ konstant bleibt. Erst dann beginnt der Drainstrom I_D zu fließen. Danach steigt I_D bei gleichzeitiger Abnahme von U_{DS} an:

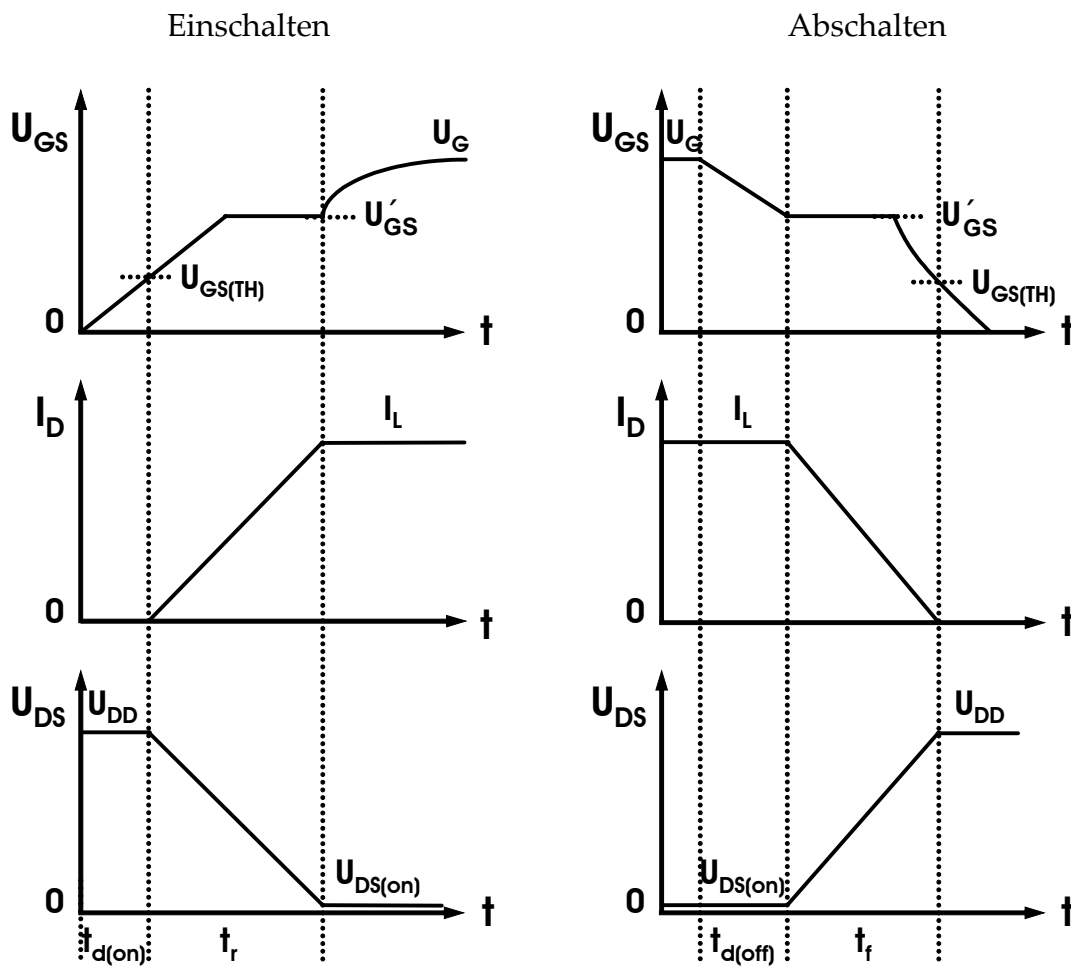
$$U_{DS}(t) = U_{DD} - R_L I_D(t) \quad (5.25)$$

Hierbei bezeichnet $I_D(t)$ denselben Zeitverlauf wie in Gl. (5.14) angegeben. Diejenige Zeit, in der I_D von Null auf den stationären Wert des Laststroms $I_L = U_{DD}/R_L$ ansteigt bzw. die Drain-Source-Spannung von U_{DD} auf ihren Sättigungswert $U_{DS(on)} = R_{DS(on)} \cdot I_L$ abfällt, bezeichnet man als Anstiegszeit t_r . Während der Anstiegszeit steigt auch U_{GS} entsprechend der Übertragungscharakteristik von $U_{GS(TH)}$ auf U'_{GS} an, außerdem kommen die Einschaltverluste zustande. Die Summe von $t_{d(on)}$ und t_r bildet die Gesamteinschaltzeit t_{on} . Der Ausschaltvorgang verläuft analog. Nach der Verzögerungszeit $t_{d(off)}$, bei der U_{GS} von U_G auf U'_{GS} zurückgefallen ist, nimmt I_D ab, während U_{DS} wächst (vgl. Gl. 5.25). Zu gleicher Zeit sinkt U_{GS} weiterhin. Erreicht U_{GS} die Einsatzspannung $U_{GS(TH)}$, so verschwindet I_D . Das Zeitintervall zwischen $U_{GS} = U'_{GS}$ und $U_{GS} = U_{GS(TH)}$ heißt Fallzeit t_f . Die Gesamtausschaltzeit t_{off} ist gegeben durch $t_{off} = t_{d(off)} + t_f$.

Angesichts der Tatsache, dass beim Schalten einer ohmschen Last die Zunahme von I_D stets vom Absinken von U_{DS} begleitet ist und umgekehrt, erfolgt der Schaltvorgang am schnellsten bei einem rein ohmschen Lastkreis. Bei rein ohmscher Last sind deshalb die Schaltzeiten kleiner als bei induktiver Last, insofern der leistungselektronische Hauptstromkreis einen entscheidenden Einfluss ausübt [Ram93]. Tabelle 5.2 gibt die ermittelten Schaltkennwerte bei ohmscher Last. Das Schaltverhalten ist in Abb. 5.16 bis 5.19 illustriert. Erneut ist festzustellen, dass die ungleichförmige SJ bessere Schalteigenschaften bietet als die gleichförmige Variante, insbesondere höhere Schaltgeschwindigkeiten, geringere Leistungsverluste und kleinere Änderungen in den Schaltzeiten bei den Kompensationsabweichungen.



(a)



(b)

Abbildung 5.15: Untersuchung des Schaltverhaltens vom SJ-LDMOS bei ohmscher Last; (a) Testschaltung (b) Typische zeitliche Verläufe mit Definition der Schaltzeiten.

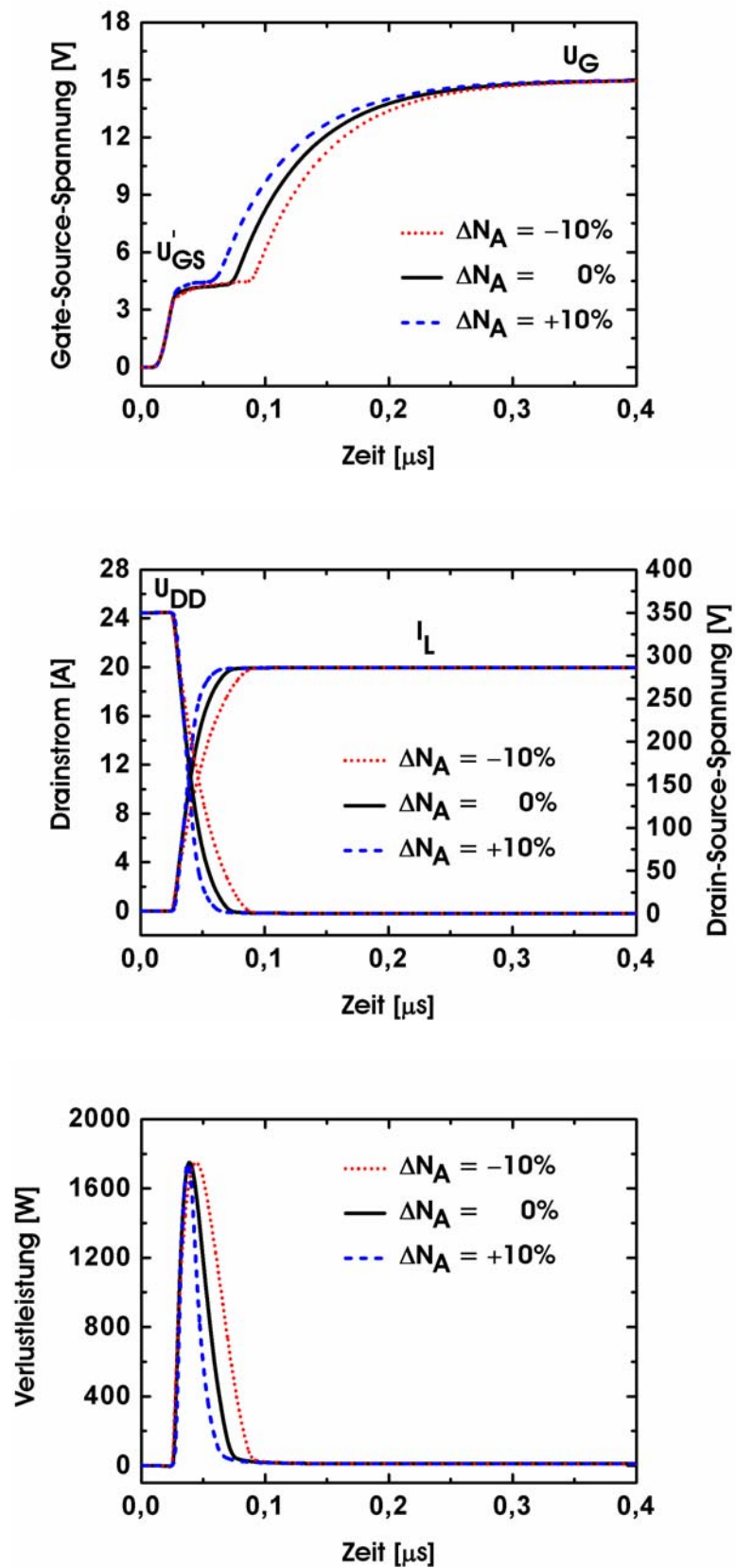


Abbildung 5.16: Einschaltverhalten des gleichförmigen SJ-LDMOS-Transistors bei ohmscher Last.

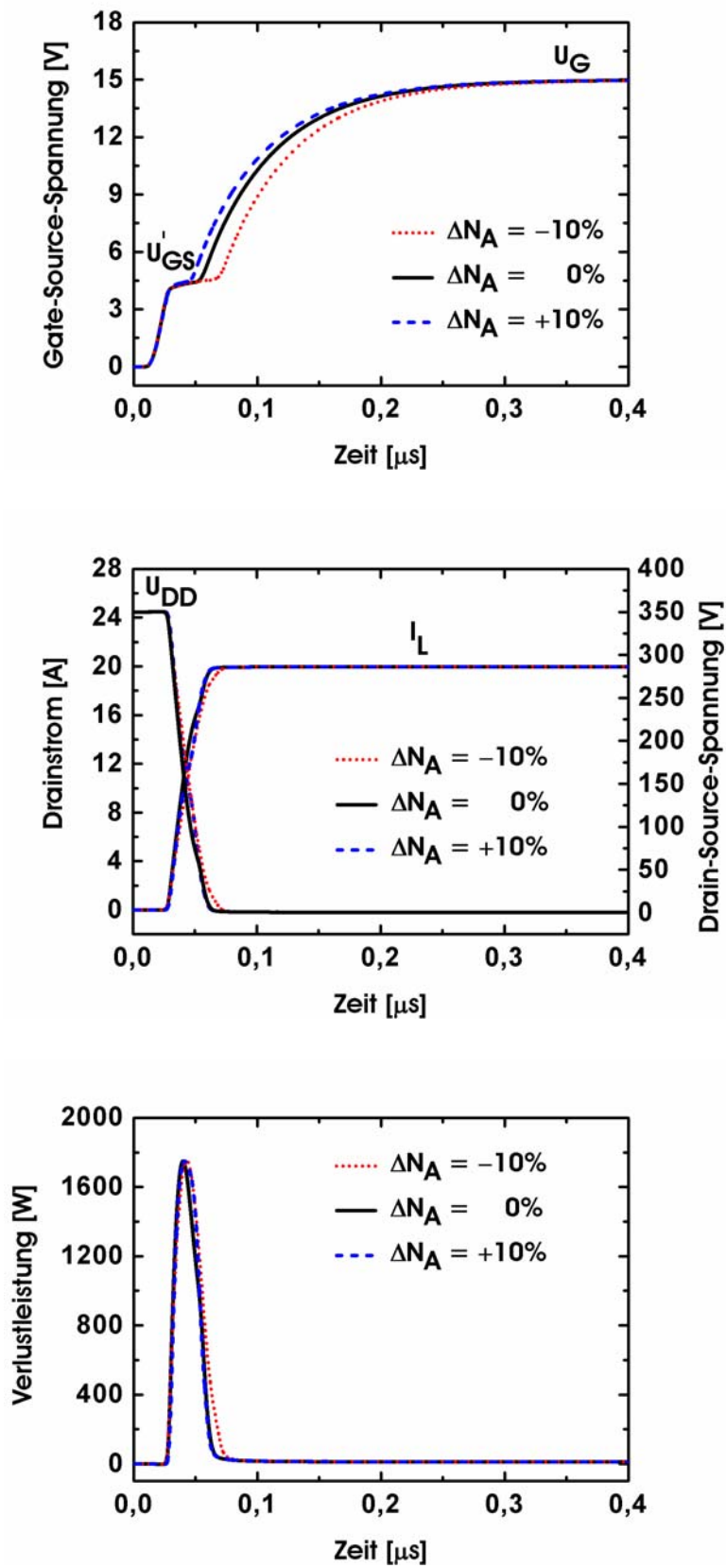


Abbildung 5.17: Einschaltverhalten des ungleichförmigen SJ-LDMOS-Transistors bei ohmscher Last.

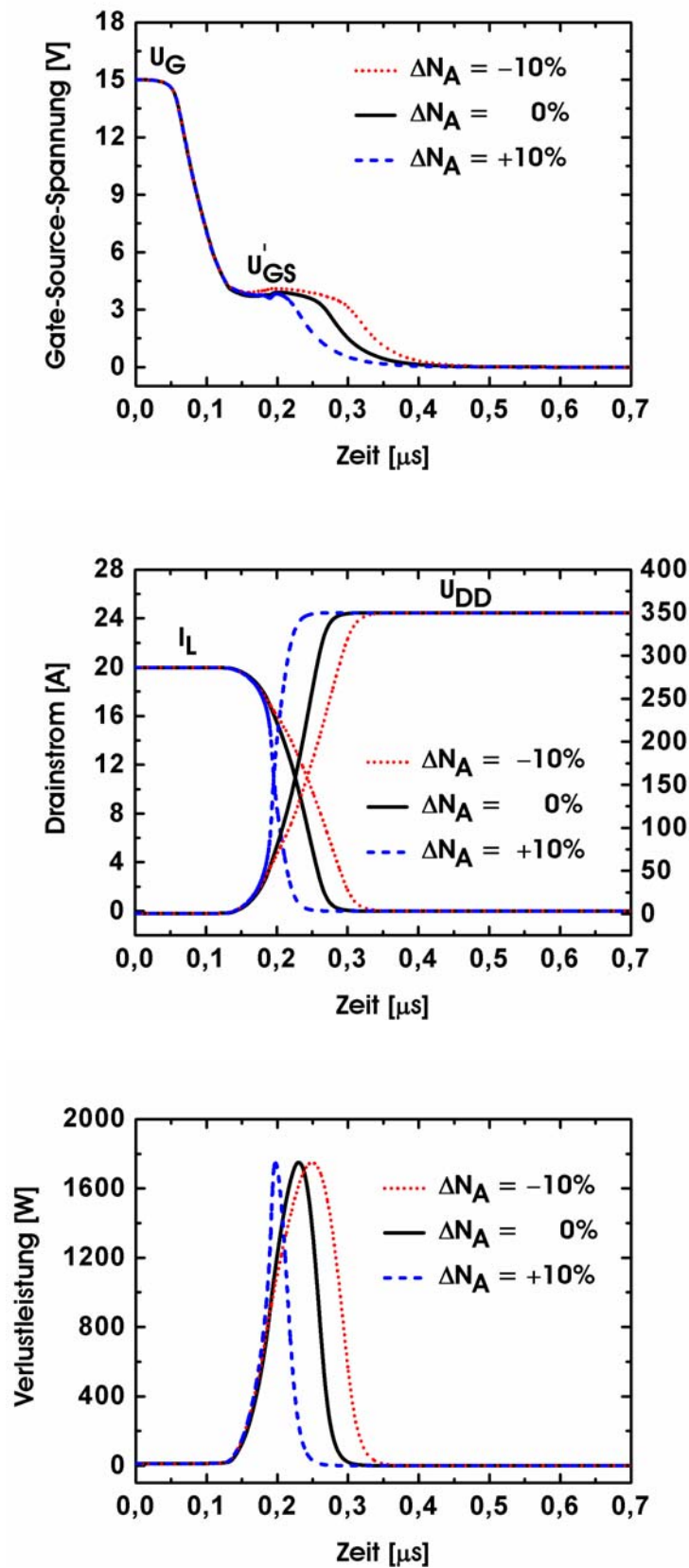


Abbildung 5.18: Ausschaltverhalten des gleichförmigen SJ-LDMOS-Transistors bei ohmscher Last.

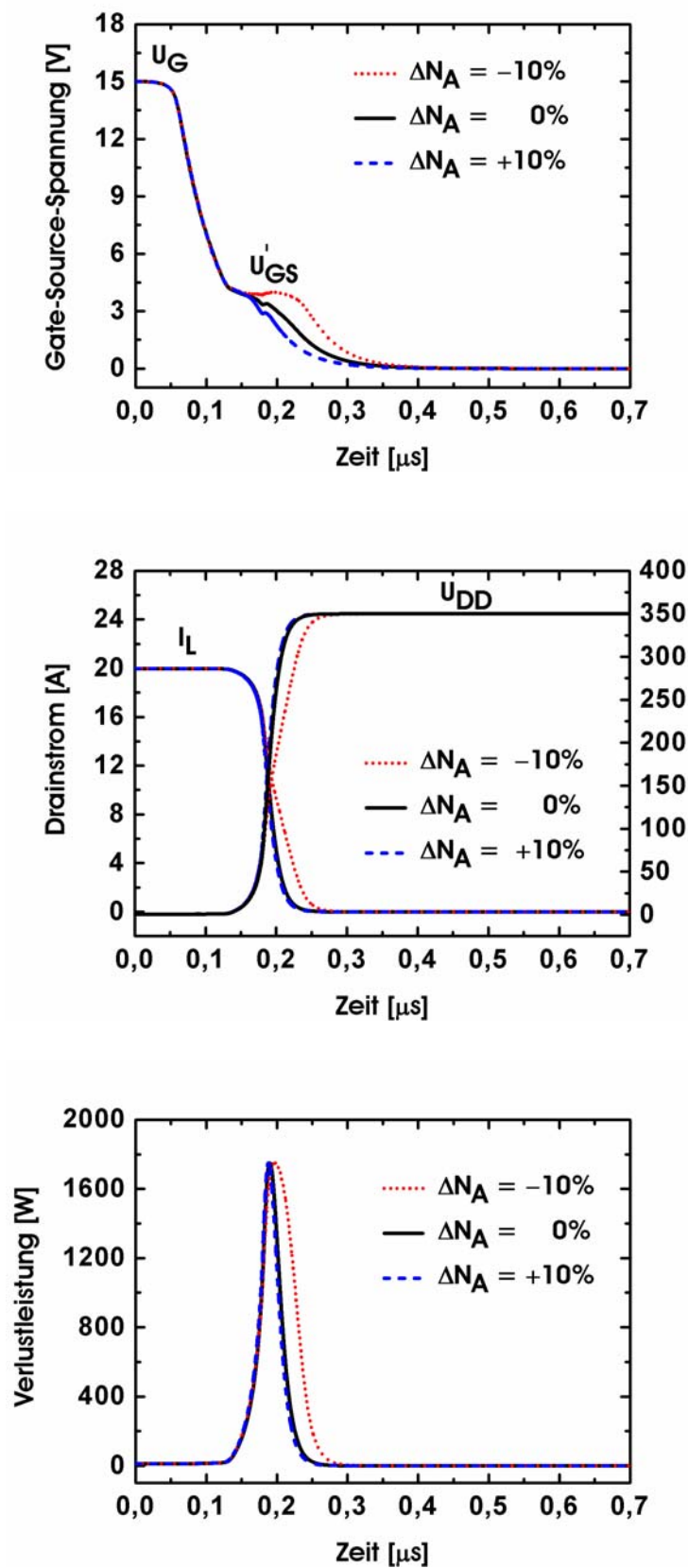


Abbildung 5.19: Ausschaltverhalten des ungleichförmigen SJ-LDMOS-Transistors bei ohmscher Last.

Tabelle 5.2: Schaltkenngrößen vom SJ-LDMOS bei ohmscher Last.

Kenngröße	Gleichförmige SJ			Ungleichförmige SJ		
	$\Delta N_A = -10\%$	$\Delta N_A = 0\%$	$\Delta N_A = +10\%$	$\Delta N_A = -10\%$	$\Delta N_A = 0\%$	$\Delta N_A = +10\%$
t_{on} [ns]	61,84	48,43	39,33	49,83	46,35	45,53
P_{on} [W] bei $f = 10^5$ Hz	7,17	5,21	4,12	5,42	4,23	4,86
t_{off} [ns]	237,82	204,07	160,39	175,27	151,67	148,16
P_{off} [W] bei $f = 10^5$ Hz	18,32	14,11	7,46	11,54	8,03	6,78

5.3 Gateladungs-Charakteristik

Entscheidend für die Einschalt- und Ausschaltzeiten ist die Schnelligkeit, mit der sich die wirksame Eingangskapazität aufladen und entladen lässt. Den hierzu nötigen Strom liefert der Gateansteuerkreis. Der konstante Gatestrom I_G hängt mit der Gateladung Q_g und mit der Einschaltzeit t_{on} gemäß $I_G = Q_g/t_{on}$ zusammen. Er fließt trotzdem nur für kurze Zeit, und zwar nicht durch die isolierte Gateelektrode. Mithin ist zur Einschätzung der dynamischen Eigenschaften des Bauelements die Beziehung zwischen der Gateladung Q_g und der Gate-Source-Spannung U_{GS} nützlich. Abb. 5.20 zeigt die simulierten Gateladungs-Kurven zusammen mit den zugehörigen Drain-Source-Ausgangsspannungen U_{DS} .

Die Gateladungs-Kurven werden anhand einer ähnlichen Testschaltung wie in Abb. 5.7(a) simuliert. Zu Beginn des Ladevorganges gilt $C_{iss} \approx C_{gs}$, denn bei hoher Drainspannung ($U_{DS} \approx U_{DD} = 450$ V) dehnt sich die Raumladungszone größtenteils in die Driftzone aus, so dass das Überlappungsgebiet von Gate und Driftzone unterhalb des Gateoxids an Ladungsträgern verarmt und C_{gd} vernachlässigbar klein wird. U_{GS} wächst somit proportional zur Gateladung an. Die Anfangssteigung der Gateladungs-Kurve bei $Q_g = 0$ ist ungefähr gleich C_{gs} . Beim Überschreiten von $U_{GS(TH)}$ setzt der Drainstrom ein, der dann auch mit U_{GS} bis auf den stationären Wert des Laststromes steigt. Bis zu diesem Zeitpunkt bleibt die Spannung $U_{DS} = U_{DD}$ am SJ-LDMOS stehen, wodurch sich in C_{gd} grundsätzlich nichts verändert hat, und die Gateladung entspricht der Größe der Gate-Source-Ladung Q_{gs} .

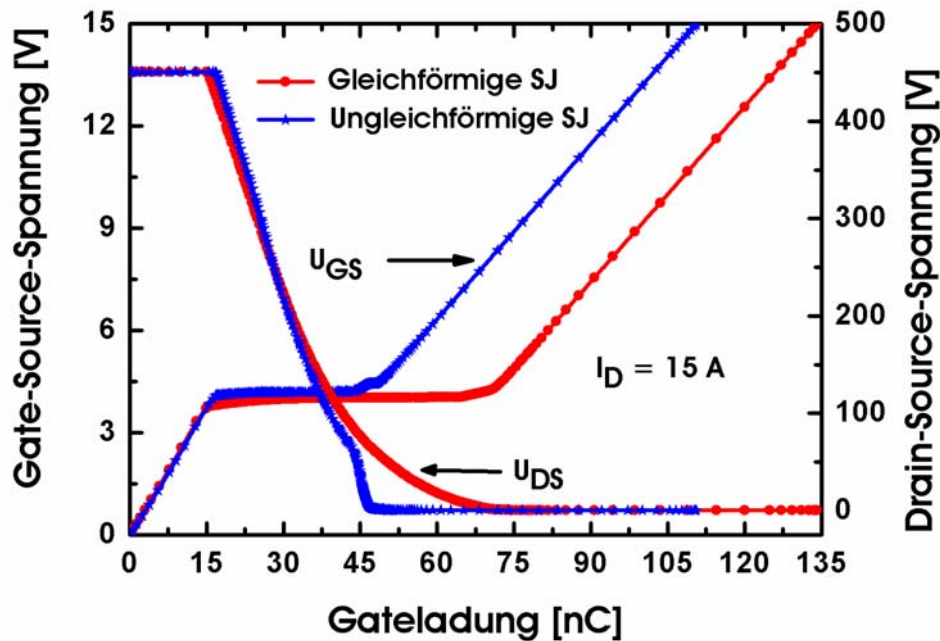


Abbildung 5.20: Gateladungs-Kurven der SJ-LDMOS-Transistoren.

Danach bleibt die Gate-Source-Spannung konstant, während die Drain-Source-Spannung U_{DS} zu sinken beginnt. Hierbei wirkt sich ein Spannungshub ΔU_{DS} durch kapazitive Rückwirkung, den sogenannten Millereffekt, auf die Gatesteuerspannung aus, das heißt, der Drainkontakt wird immer weniger positiv gegenüber dem Gate, so dass C_{gd} allmählich zunimmt. Der Gatetreiber muss zusätzliche Ladung liefern, um die durch den Millereffekt erhöhte Gate-Drain-Kapazität C_{gd} umzuladen, so dass der beim Einsetzen des Miller-Effektes fließende Gatestrom zu $I_G \approx C_{gd} \cdot dU_{DS}/dt$ wird; deshalb kommt es dabei zu keinem weiteren Anstieg von U_{GS} . Dieser flache Abschnitt der Gateladungs-Kurve wird als Miller-Plateau-Bereich bezeichnet. Offensichtlich bestimmt die Länge des Miller-Plateaus die Miller-Ladung Q_{gd} . Allerdings hängt die Dauer des Miller-Effekts auch vom Betrag der angelegten Betriebsspannung U_{DD} ab; sie nimmt mit U_{DD} zu, weil die zu umladende Gate-Drain-Kapazität C_{gd} mit der Differenz $U_{DD} - U_{DS(on)}$ wächst. Deshalb ist bei der Ermittlung von Q_{gd} eine zusätzliche Angabe der Betriebsspannung erforderlich.

Sinkt die Drainspannung unter die Gatespannung, so dass das Gate gegenüber dem Drainkontakt positiv wird, wächst die Gate-Drain-Kapazität C_{gd} stark an, weil eine Elektronenanreicherung im Überlappungsgebiet von Gate und Driftzone unter dem Gateoxid stattfindet. Trotzdem ändert sich U_{GS} noch kaum. Erst nach Übergang des Transistors in den Widerstandsbereich ($U_{DS} < U_{GS}$) ist die Senkung der Drainspannung beendet und so auch die Umladung von C_{gd} ; nunmehr bleiben C_{gd} und U_{DS} konstant auf ihren Endwert, während U_{GS} wieder zu steigen beginnt. In der letzten Phase müssen sowohl C_{gs} als auch C_{gd} aufgeladen werden ($C_{iss} = C_{gs} + C_{gd}$), bevor U_{GS}

schließlich ihren maximalen Wert U_G erreicht. Wegen eines konstanten und großen Wertes von C_{gd} im Widerstandsbereich erfolgt der Anstieg von U_{GS} auf U_G allerdings eher langsam.

Der Tabelle 5.3 kann man entnehmen, wie groß die einzelnen Ladungsanteile und die sogenannte *Figure of Merit* (FOM) sind. Die FOM wird aus dem Produkt aus dem Durchlasswiderstand $R_{DS(on)}$ und der totalen Gateladung Q_g ermittelt. Die gleichförmige SJ tritt wegen niedrigerer Einsatzspannung und höherer Vorwärtssteilheit ($U_{GS(TH)} = 3 \text{ V}$, $g_{fs} = 14 \text{ S}$) schneller in das Miller-Plateau-Gebiet ein als die ungleichförmige Variante ($U_{GS(TH)} = 3,3 \text{ V}$, $g_{fs} = 11,5 \text{ S}$). Trotzdem verbraucht die ungleichförmige SJ weniger Miller-Ladung als die gleichförmige Variante. Das heißt, die ungleichförmige Säulenauslegung kann die Schaltzeiten erheblich verkürzen und damit geringere Schaltverluste erzielen im Vergleich zur gleichförmigen Konstruktion. Auch mit einer wesentlich geringeren Gateladung Q_g von 110,5 nC bei $U_G = 15 \text{ V}$ ist die ungleichförmige SJ der gleichförmigen SJ überlegen. Daraus ergibt sich für die ungleichförmige SJ eine *Figure of Merit* ($FOM = R_{DS(on)} \cdot Q_g$) von 2243 m Ω ·nC, die um etwa 10% geringer ist als bei der gleichförmigen SJ.

Tabelle 5.3: Charakteristische Größen der Gateladungs-Kurven bei $U_{DD} = 450 \text{ V}$.

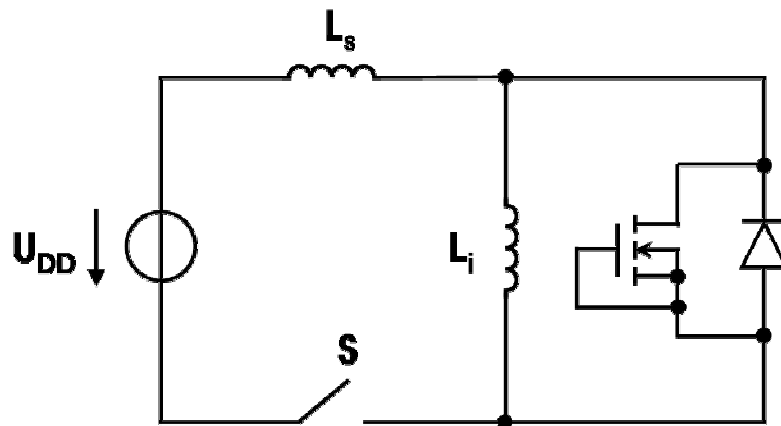
Parameter	Gleichförmige SJ	Ungleichförmige SJ
Q_{gs} [nC]	15,1	16,8
Q_{gd} [nC]	70,7	47,5
Q_g [nC] bei $U_G = 15 \text{ V}$	134	110,5
FOM [m Ω ·nC]	2546	2243

5.4 Prüfung der Betriebsfestigkeit

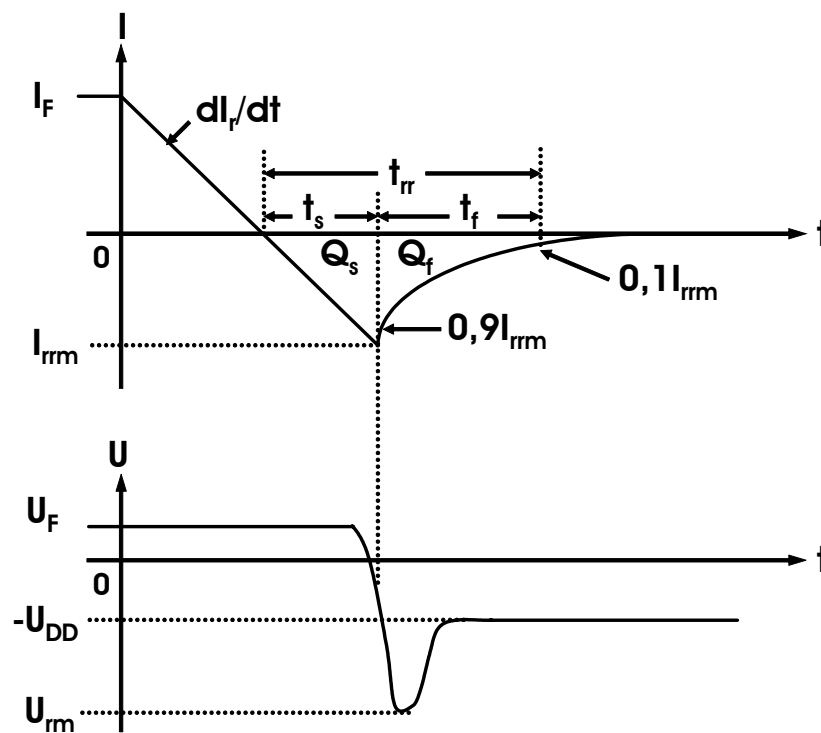
5.4.1 Kommutierung der Rückwärtsdiode

Im LDMOS entsteht eine parasitäre Diodenstruktur durch die Schichten p-Wanne, Substrat und n-Driftzone. Neben dem Einsatz als gesteuerter Schalter findet der LDMOS deshalb in vielfältigen Fällen als Synchrongleichrichter Verwendung. Hierbei spielt der Sperrverzögerungseffekt eine fundamentale Rolle; dieser erfolgt im

Bauelement beim Übergang vom Leit- in den Sperrzustand. Im Leitzustand ist der pn-Übergang mit einer hohen Anzahl von Minoritätsträgern überschwemmt. Dabei fließt ein Durchlasstrom I_F in Vorwärtsrichtung. Wird die Betriebsspannung umgepolt, so müssen die Minoritätsträger, d.h. die im Leitzustand gespeicherte Diffusionsladung Q_{rr} , entfernt werden. Dadurch kann I_F nur mit einer Zeitverzögerung auf seinen Sättigungswert in Sperrichtung I_S (≈ 0 A) abfallen.



(a)



(b)

Abbildung 5.21: Sperrerrholvorgang der Rückwärtsdiode des SJ-LDMOS; (a) Schaltungsanordnung (b) Zeitliche Verläufe.

Zur Untersuchung des Rückstromverhaltens der Rückwärtsdiode wird eine Schaltungsanordnung nach Abb. 5.21(a) benutzt. Der als Diode funktionierende SJ-LDMOS liegt im Freilaufzweig antiparallel zu einer induktiven Last L_i , wobei das Gate mit der Source und dem Substrat verbunden ist. Die Versorgungsspannung beträgt $U_{DD} = 350$ V. Der Prüfkreis enthält eine parasitäre Streuinduktivität L_s . Durch zeitweiliges Schließen des Schalters S wird der Dioden-Durchlassstrom des SJ-LDMOS zunächst auf einen gewünschten Wert von $I_F = 20$ A eingestellt (vgl. Abb. 5.21(b)). Mit dem Öffnen von S leitet die Rückwärtsdiode des SJ-LDMOS Kommutierungsströme ab, dabei wirkt L_i wie eine Spannungsquelle. Wird S erneut geschlossen, sinkt der Durchlassstrom ab mit der Kommutierungssteilheit $di_r/dt = -U_{DD}/L_s \approx -100$ A/ μ s. Beim Stromnulldurchgang ist nur ein Teil der Speicherladungen rekombiniert, dabei bleibt die Diodenspannung U_{DIO} bei $U_F \approx 0,8$ V nahezu unverändert. Danach beginnt ein Rückstrom I_r in Rückwärtsrichtung zu fließen. Bis der Rückstrom seinen Spitzenwert I_{rrm} erreicht und die Nachlaufladung Q_s abbaut, vergeht die sogenannte Speicherzeit bzw. Spannungsnachlaufzeit t_s . Zu diesem Zeitpunkt liegt die Diodenspannung U_{DIO} bei etwa $-U_{DD}$. Nach dem Überschreiten des Rückstromhöchstwertes steigt die Sperrspannung steil an. Gleichzeitig fällt der Rückstrom auf den Sperrstrom ab. Das Zeitintervall zwischen $0,9I_{rrm}$ und $0,1-0,25I_{rrm}$ ist als die Rückstromfallzeit t_f definiert. Während der Rückstromfallzeit wird die Restladung Q_f vollständig ausgeräumt, die Raumladungszone weitet sich schnell aus. Die Diodenspannung kann dabei den Wert $-U_{DD}$ vorübergehend übersteigen, indem sie sich aus der Sperrspannung $-U_{DD}$ und der über die Streuinduktivität induzierten Spannung $U_L = L_s \cdot dI_r/dt$ zusammensetzt, also $U_{DIO} = U_{rm} = L_s \cdot dI_r/dt - U_{DD} \approx -L_s \cdot I_{rrm}/t_f - U_{DD}$. Das Phänomen einer Rückstromspitze bzw. einer Überspannung während des Sperrerholvorganges heißt Trägerstauereffekt. Die Rückstromfallzeit ist durch die Auslegung des Bauelements bzw. die Halbleitertechnologie bedingt, also unabhängig von der Schaltung. Die Sperrerholzeit beträgt $t_{rr} = t_s + t_f$.

Der Quotient $S = t_f/t_s$ beschreibt die Härte des Rückstromabbrisses und wird als Softnessfaktor bezeichnet. Je größer der Softfaktor ist, umso langsamer erfolgt der Sperrerholvorgang. Die zeitlichen Verläufe des Stroms und der Spannung über die Rückwärtsdiode beider SJ-Entwurfsvarianten sind aus Abb. 5.22 und Abb. 5.23 zu entnehmen. Die extrahierten Sperrerholzeiten enthält Tabelle 5.4.

Dadurch, dass t_s und I_{rrm} hauptsächlich von der Schaltung ($I_F = 20$ A und $|di_r/dt| = 100$ A/ μ s) abhängen, besitzen beide SJ-Strukturen unabhängig von den Kompensationsgraden einen ungefähr gleichen Wert von $t_s \approx 200$ ns und $I_{rrm} \approx 18$ A. Bei der ungleichförmigen SJ reißt der Rückstrom bei allen drei Kompensationsgraden innerhalb relativ kurzer Zeit ab. Das gleiche gilt auch für die gleichförmige SJ bis auf einen Kompensationsgrad von $\Delta N_A = -10\%$. Die abrupte Stromänderung verursacht durch das Zusammenwirken der spannungsabhängigen Sperrschichtkapazität und der Streuinduktivität L_s Schwingungen im Strom- und Spannungsverlauf.

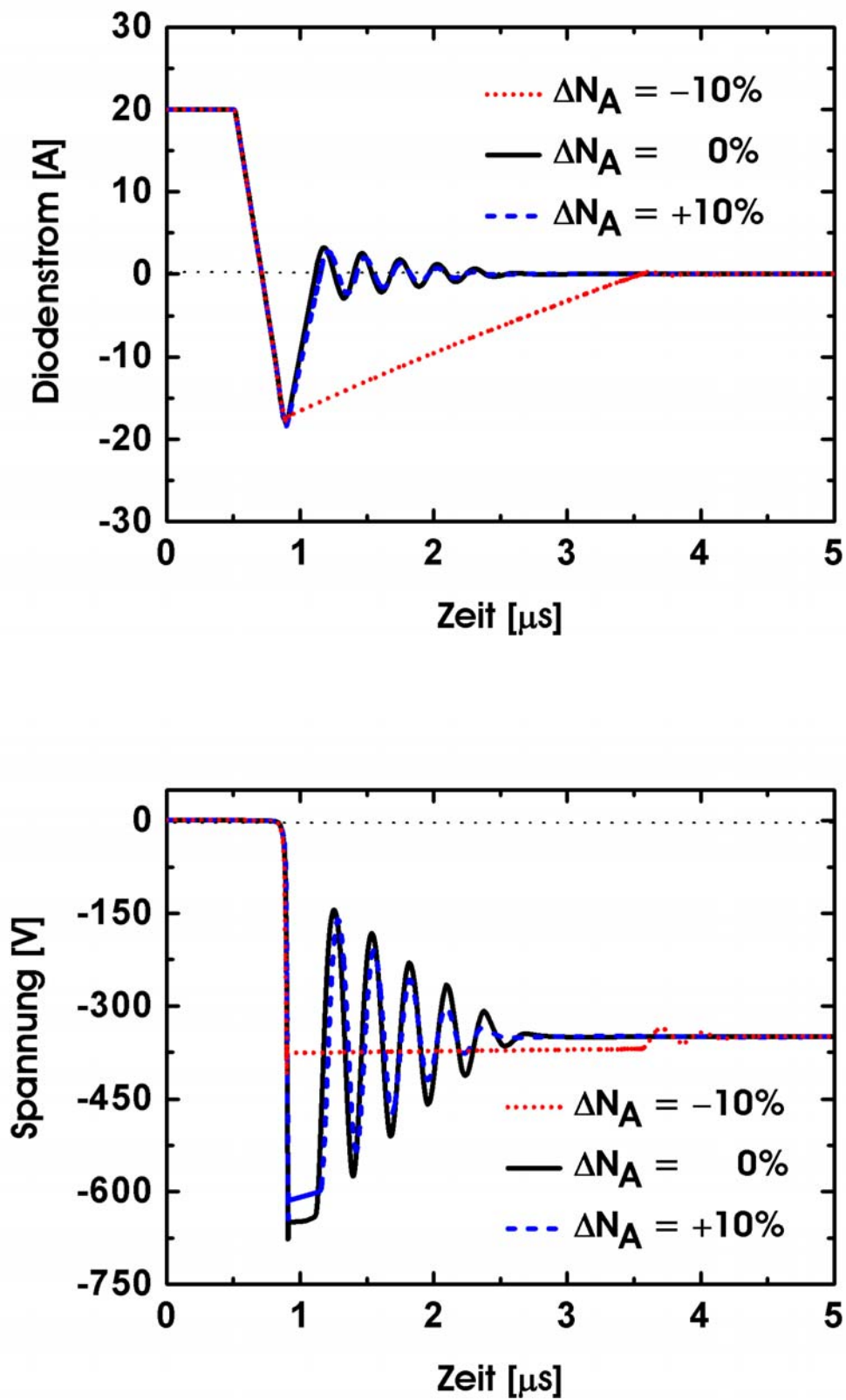


Abbildung 5.22: Sperrerrholvorgang des gleichförmigen SJ-LDMOS-Transistors im Zeitbereich für drei Kompensationsfälle.

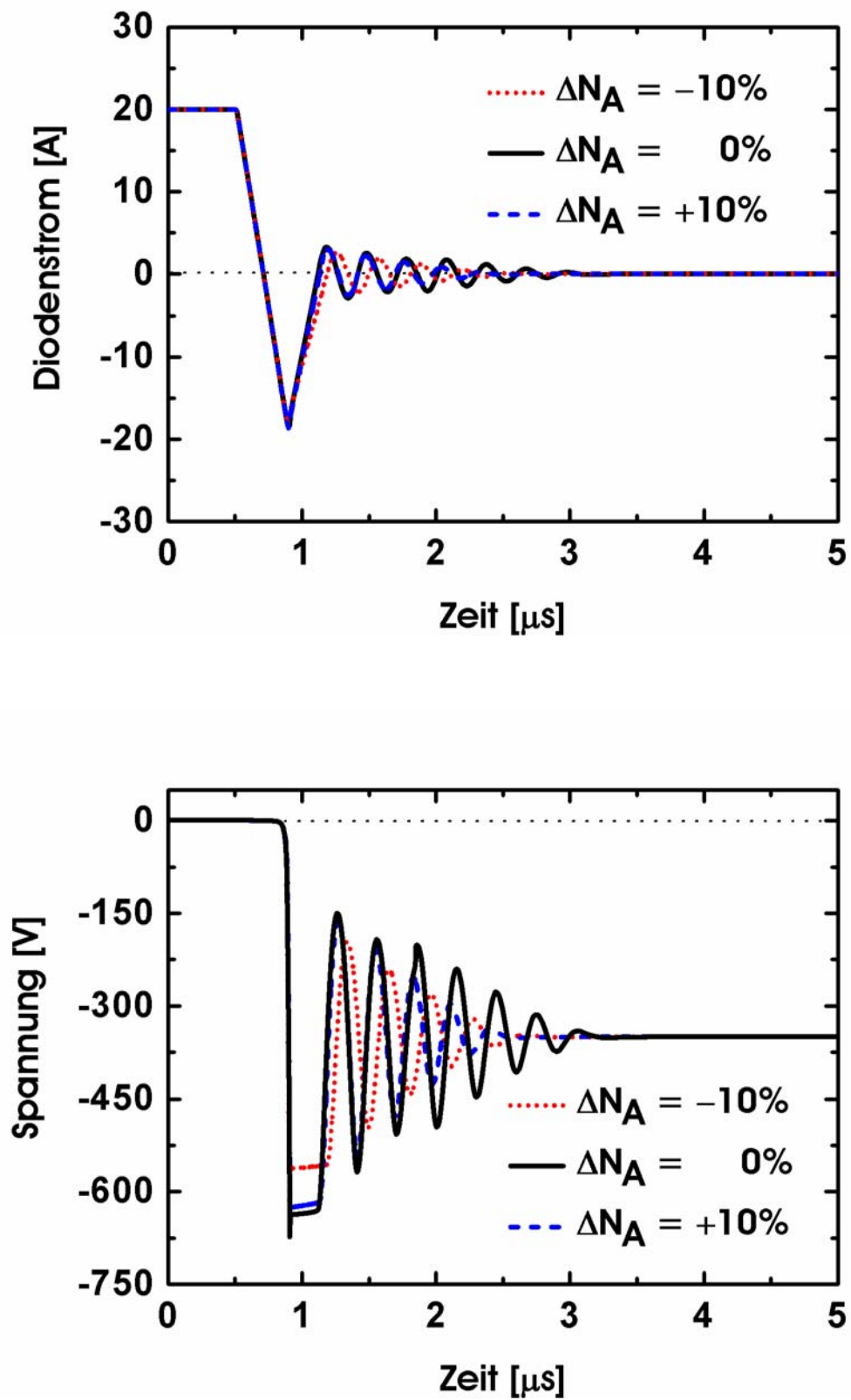


Abbildung 5.23: Sperrerrholvorgang des ungleichförmigen SJ-LDMOS-Transistors im Zeitbereich für drei Kompensationsfälle.

Tabelle 5.4: Sperrerrholzeiten der untersuchten SJ-LDMOS-Transistoren.

Kenngröße	Gleichförmige SJ			Ungleichförmige SJ		
	$\Delta N_A = -10\%$	$\Delta N_A = 0\%$	$\Delta N_A = +10\%$	$\Delta N_A = -10\%$	$\Delta N_A = 0\%$	$\Delta N_A = +10\%$
t_{rr} [ns]	2920	471	488	546	475	480

Bei der Ermittlung der Sperrerrholzeit t_{rr} ist diese Schwingungsdauer auszuschließen, bei der Ermittlung von Ausschaltverlusten aber einzuschließen. Als Folge des Überschwingens im Spannungsverlauf überschreitet die Diodenspannung kurzzeitig den Grenzwert der Sperrfähigkeit des Bauelements, wobei das Bauelement geschädigt werden kann. Solche unerwünschten Überspannungseffekte sind durch Beschalten eines Kondensators parallel zum Bauelement vermeidbar [SCH96].

Genau wie die ungleichförmige Variante zeigt auch die gleichförmige SJ bis auf $\Delta N_A = -10\%$ ein hartes Abklingen des Rückstroms. Bei $\Delta N_A = -10\%$ dauert die Sperrerrholzeit der gleichförmigen SJ relativ lange; in diesem Fall zeigt das Bauelement ein sehr sanftes Sperrerrholverhalten mit gefahrloser Spitzensperrspannung. Der weiche Rückstromabfall ist zwar erwünscht, führt aber bei beträchtlich langer Dauer zur Erhitzung und anschließend zur Beschädigung des Bauelements. Der Stromsprung kommt dadurch zustande, dass einerseits bis zum Einsatz der Sperrspannung U_R nahezu die gesamte Speicherladung durch den Rückstrom aus der Driftzone abgeführt ist, andererseits sind alle beweglichen Ladungsträger bereits bei relativ kleiner Sperrspannung (typischerweise < 50 V) mit Hilfe der p-Säulen aus der Driftzone ausgeräumt. Die übrige Speicherladung ist demnach so gering, dass es zum Rückstromabriss kommt. Abb. 5.24 und Abb. 5.25 vergleichen die Trägerdichtenverteilung während des Sperrerrholvorganges der gleichförmigen SJ mit $\Delta N_A = -10\%$ mit derjenigen der ungleichförmigen SJ mit $\Delta N_A = 0\%$ (Abb. 5.26 und Abb. 5.27). Hierbei sei t so verschoben, dass der Beginn des Sperrerrholvorganges mit $t = 0$ ns zusammenfällt, und so ereignet sich das Abklingen des Rückstroms bei $t \approx 400$ ns. Es ist eindeutig, dass bei der gleichförmigen SJ mit $\Delta N_A = -10\%$ nach dem Erreichen des Rückstromspitzenwertes eine bestimmte Anzahl von Elektronen noch in der Driftzone vorhanden ist, besonders auf der Drainseite. Jene Elektronen sind für das sanfte Sperrerrholverhalten verantwortlich.

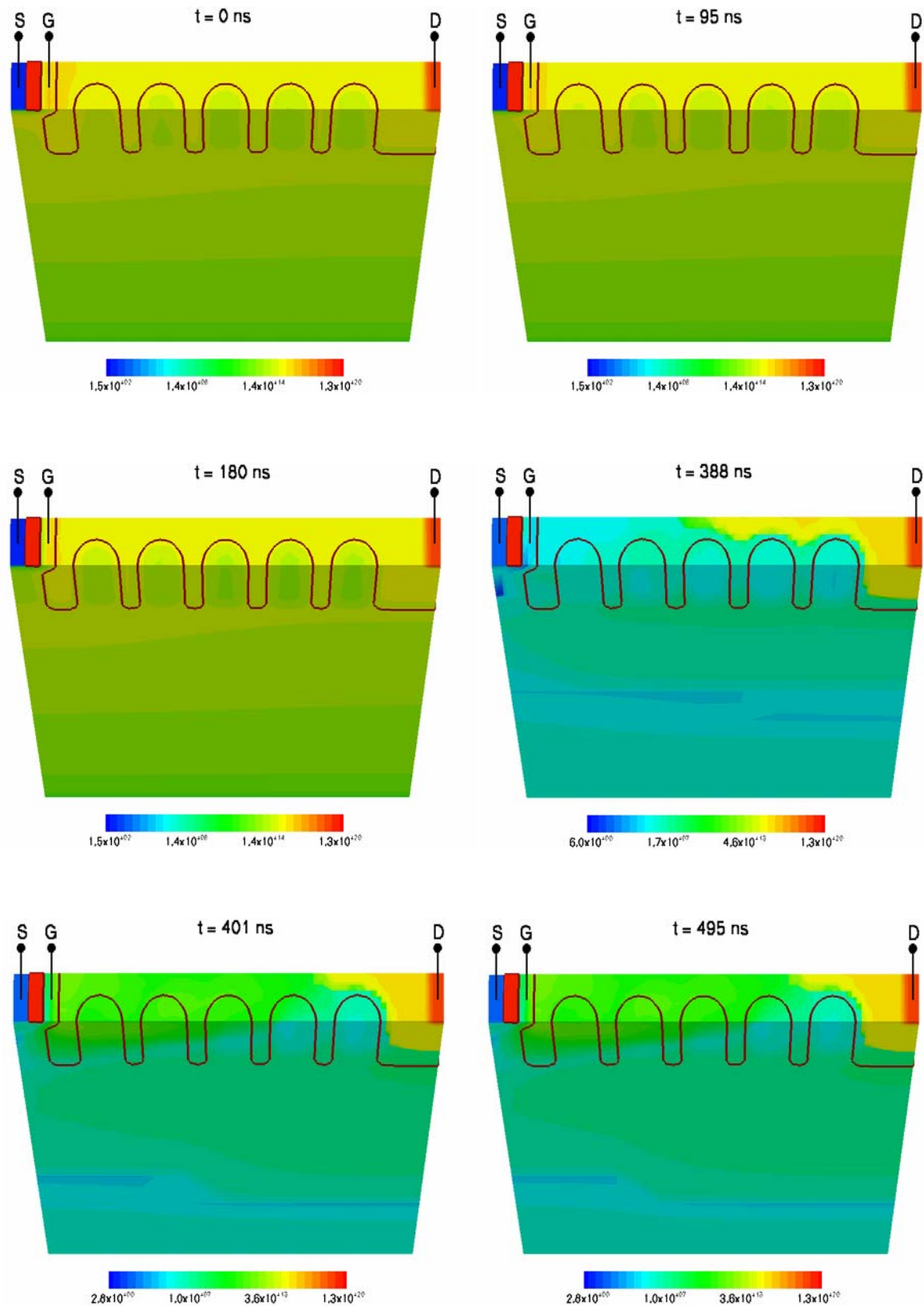


Abbildung 5.24: Elektronendichtenverteilung während des Sperrerholvorganges der gleichförmigen SJ mit $\Delta N_A = -10\%$. Der Erholvorgang fängt bei $t = 0$ ns an.

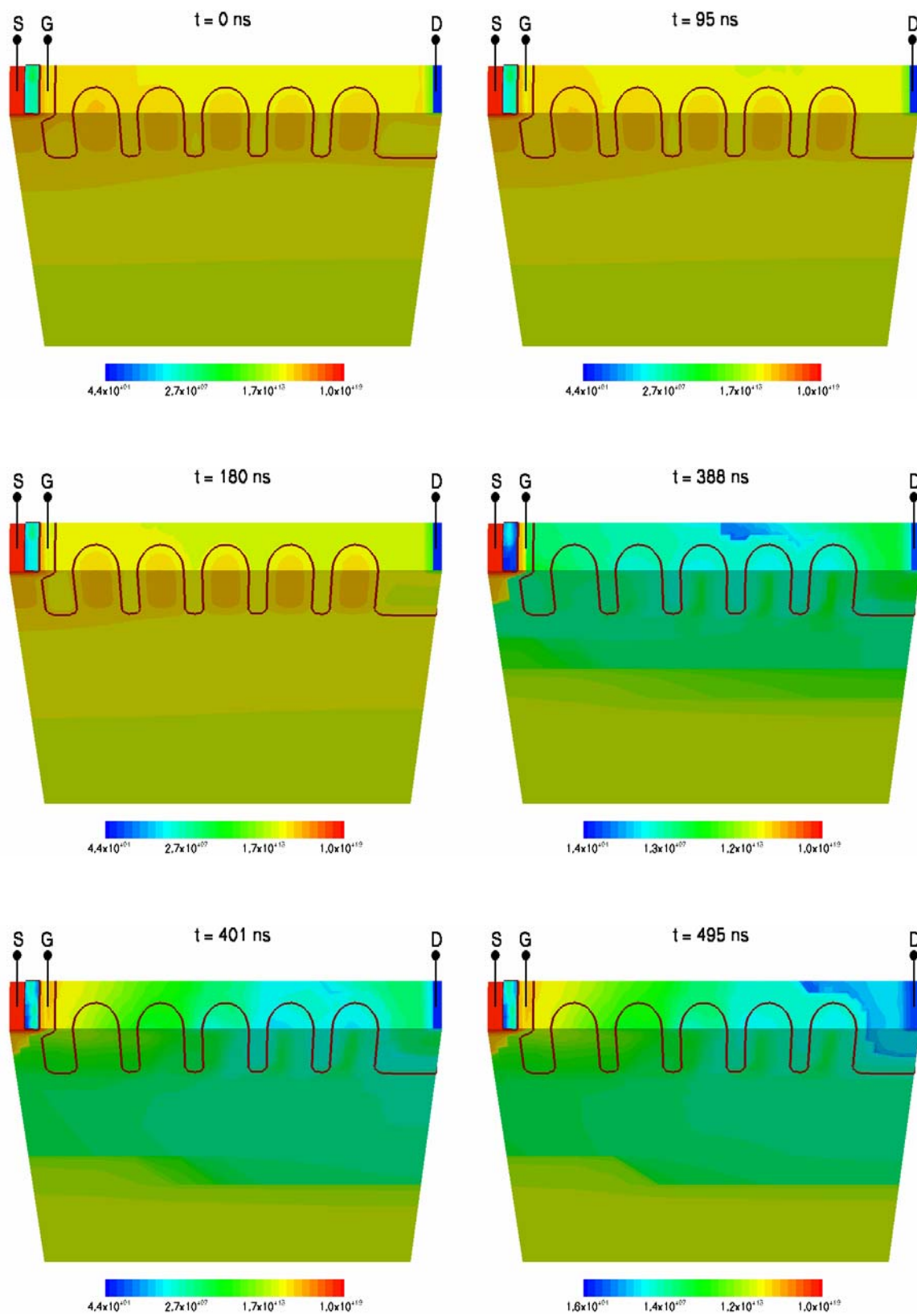


Abbildung 5.25: Löcherdichtenverteilung während des Sperrholvorganges der gleichförmigen SJ mit $\Delta N_A = -10\%$. Der Erholvorgang fängt bei $t = 0$ ns an.

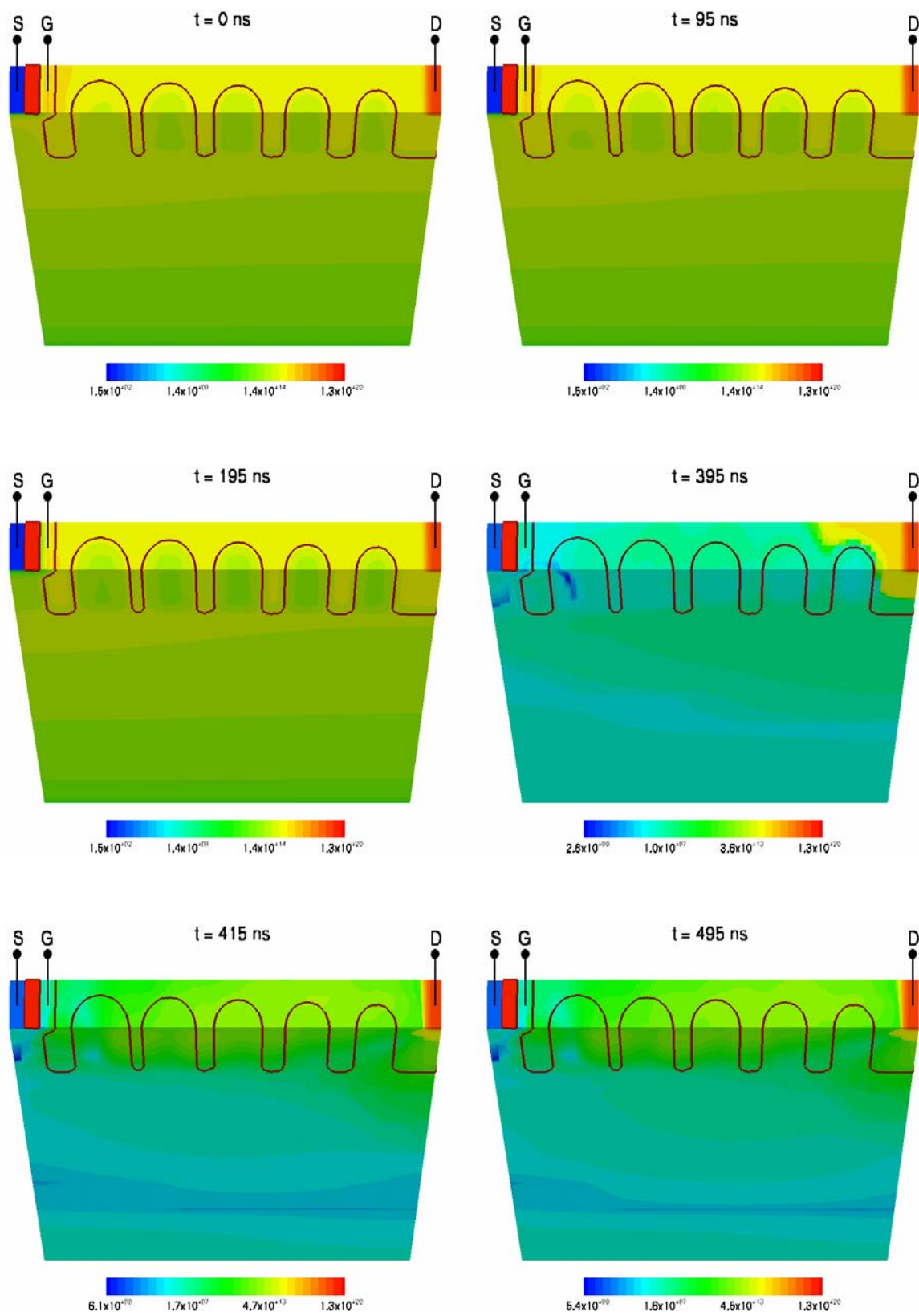


Abbildung 5.26: Elektronendichtenverteilung während des Sperrholvorganges der ungleichförmigen SJ mit $\Delta N_A = 0\%$. Der Erholvorgang fängt bei $t = 0$ ns an.

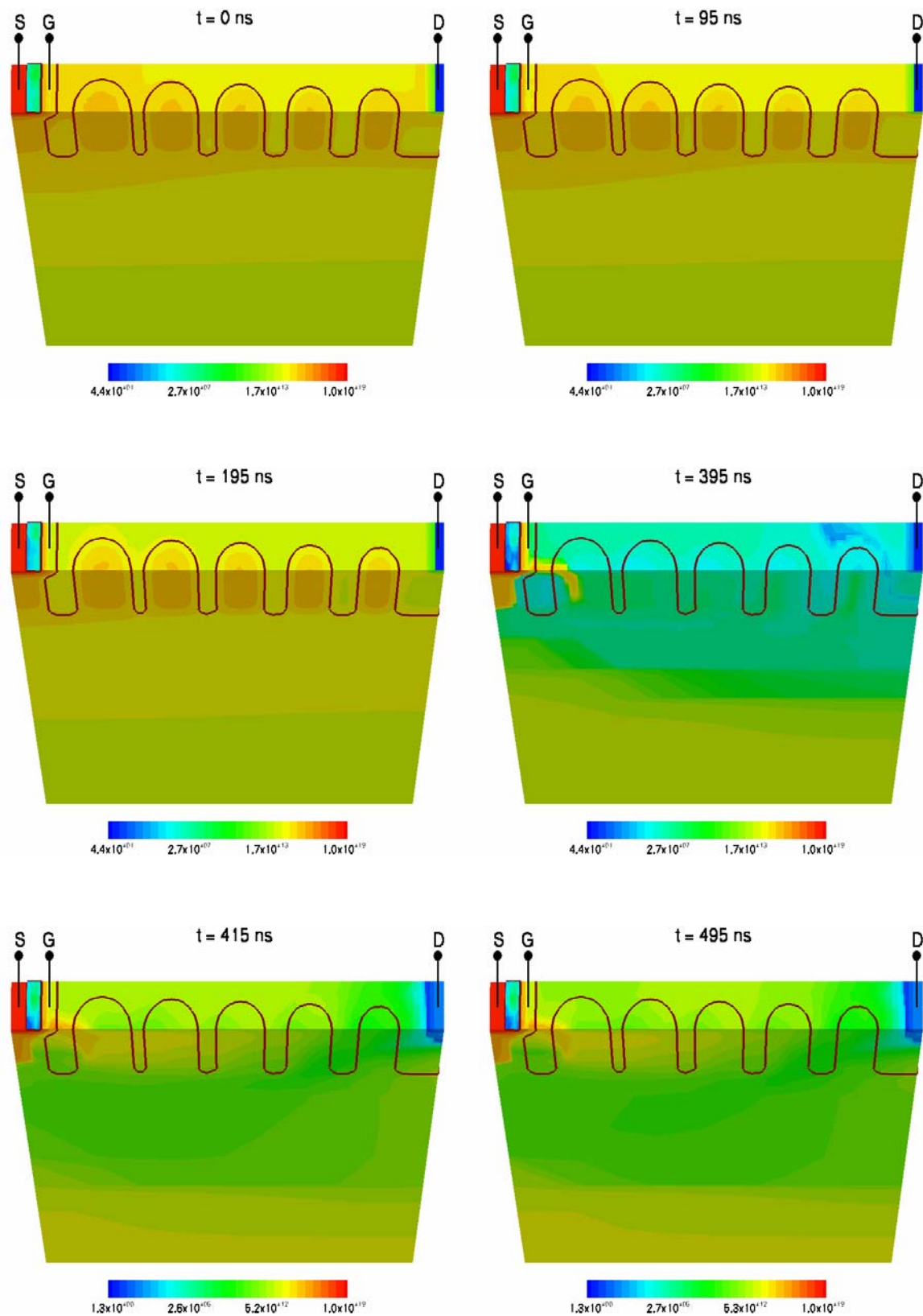
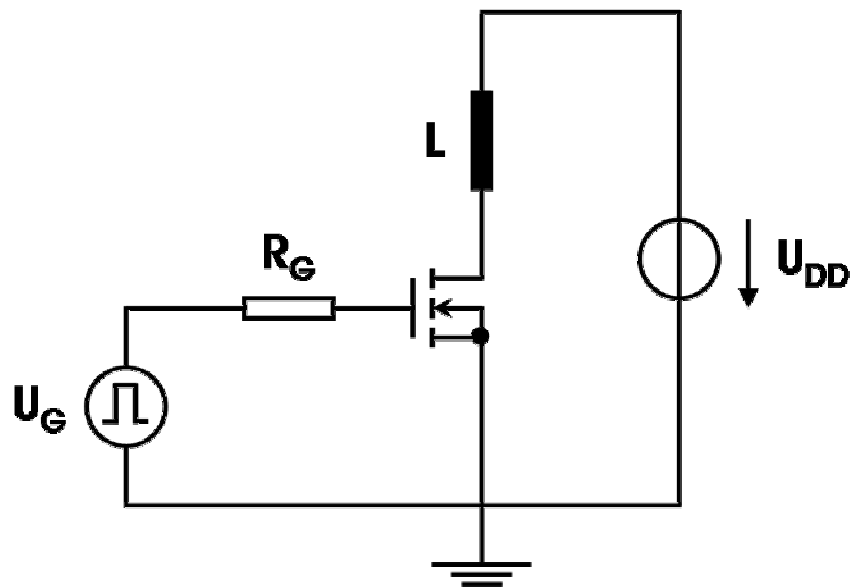


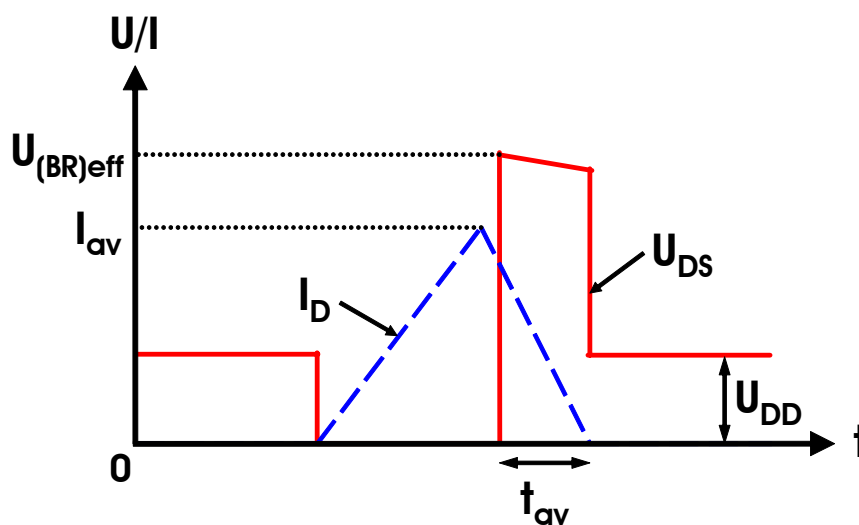
Abbildung 5.27: Löcherdichtenverteilung während des Sperrerholvorganges der ungleichförmigen SJ mit $\Delta N_A = 0\%$. Der Erholvorgang fängt bei $t = 0$ ns an.

5.4.2 Avalanchefestigkeit

Beim Abschalten induktiver Lasten ohne Freilaufdiode können große Überspannungen auftreten, die wiederum einen Avalanchedurchbruch auslösen und den Transistor beschädigen können. Ein derartiger Abschaltvorgang findet z.B. beim *UIS* (*Unclamped Inductive Switching*) statt. Verfügt das Bauelement über eine hohe UIS-Robustheit, so kann es während des Avalanchedurchbruchs einer großen Verlustleistung standhalten. Eine UIS-Prüfschaltung nach Abb. 5.28(a) ist allgemein gebräuchlich.



(a)



(b)

Abbildung 5.28: UIS-Test; (a) Schaltung (b) Strom- und Spannungsverlauf.

Nach dem Einschalten des Transistors wächst der Drainstrom in Abhängigkeit der Induktivität und der Versorgungsspannung an und erreicht beim abschließenden Abschalten der induktiven Last einen maximalen Wert I_{av} (siehe Abb. 5.28(b)). Die in der Induktivität L gespeicherte Energie wird nun im Avalanchebetrieb vom Bauelement absorbiert, dadurch steigt die Drain-Source-Spannung am Transistor mit abfallendem Avalanche Strom an und erreicht bei $U_{DS} = U_{(BR)eff}$ den Avalanche durchbruch. Das Bauelement muss danach diese Belastung so lange verkraften, bis die Energie bei $I_D \approx 0$ aufgebraucht ist.

Die Avalancheenergie E_{av} lässt sich wie folgt berechnen

$$E_{av} = \frac{1}{2} L \cdot I_{av}^2 \left[\frac{U_{(BR)eff}}{U_{(BR)eff} - U_{DD}} \right] \quad (5.26)$$

$U_{(BR)eff}$ ist die effektive Durchbruchspannung im Avalanchebetrieb, die typischerweise höher als die Durchbruchspannung $U_{(BR)DSS}$ im Normalzustand liegt. Die Zeitdauer des Avalanchevorgangs ist zu bestimmen aus

$$t_{av} = \frac{L \cdot I_{av}}{U_{(BR)eff} - U_{DD}} \quad (5.27)$$

Abb. 5.29 zeigt die simulierten Verläufe von Strom und Spannung an den beiden SJ-Strukturen, die dem UIS-Test unterzogen werden. Die berechnete Avalancheenergie E_{av} und die extrahierte Zeitdauer t_{av} der Avalanche phase sind in Tabelle 5.5 angegeben. Die Testbedingung lautet $I_{av} = 20$ A, $U_{DD} = 50$ V, $U_G = 15$ V, $R_G = 25$ Ω und $L = 25$ μ H. Es ist erkennbar, dass die beiden SJ-Designs mit entsprechenden Kompensationsgraden im Durchbruchfall vergleichbare Avalancheenergie aushalten können, trotzdem ist die Zeitdauer des Avalanchevorgangs bei der ungleichförmigen SJ relativ kürzer. Erwartungsgemäß erstreckt sich der Avalanchevorgang der gleichförmigen SJ mit $\Delta N_A = -10\%$ als Folge drastischer Degradation des Sperrvermögens über eine relativ lange Zeitspanne. Die Veränderung von E_{av} und t_{av} mit dem Kompensationsgrad folgt also dem Trend, dass ein Kompensationsgrad von $+10\%$ weniger Auswirkungen auf den Avalanchedurchbruch hat als ein Kompensationsgrad von -10% .

Vorausgesetzt, dass der Avalanche Strom bis zu einem gewissen Grade begrenzt wird, ist der Avalancheeffekt reversibel, andernfalls kommt es bei Überschreitung eines kritischen Stromwerts zur kompletten Zerstörung des Bauelementes. Hohe Avalanche ströme sind imstande, den in der SJ-LDMOS-Struktur enthaltenen parasitären Bipolartransistor zu aktivieren und einen zweiten Durchbruch auszulösen, welcher den Transistor irreversibel schädigt. Abb. 5.30 illustriert diesen aktiven UIS-Fehlermechanismus.

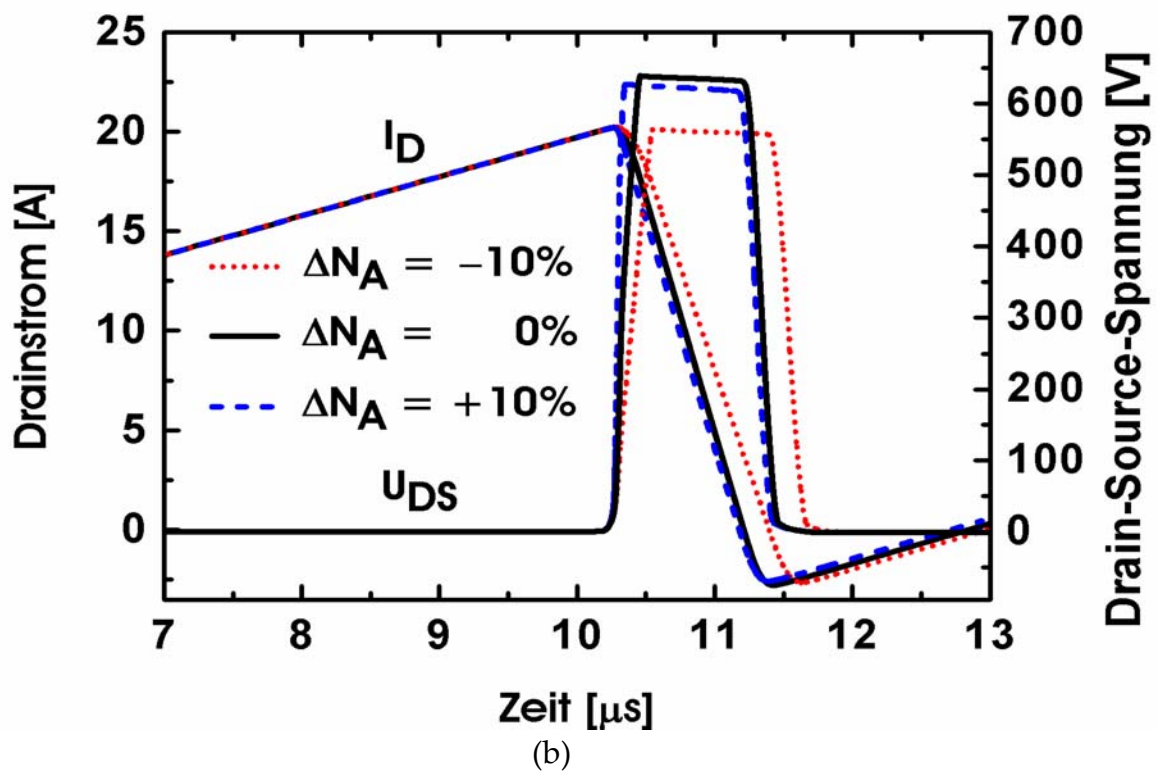
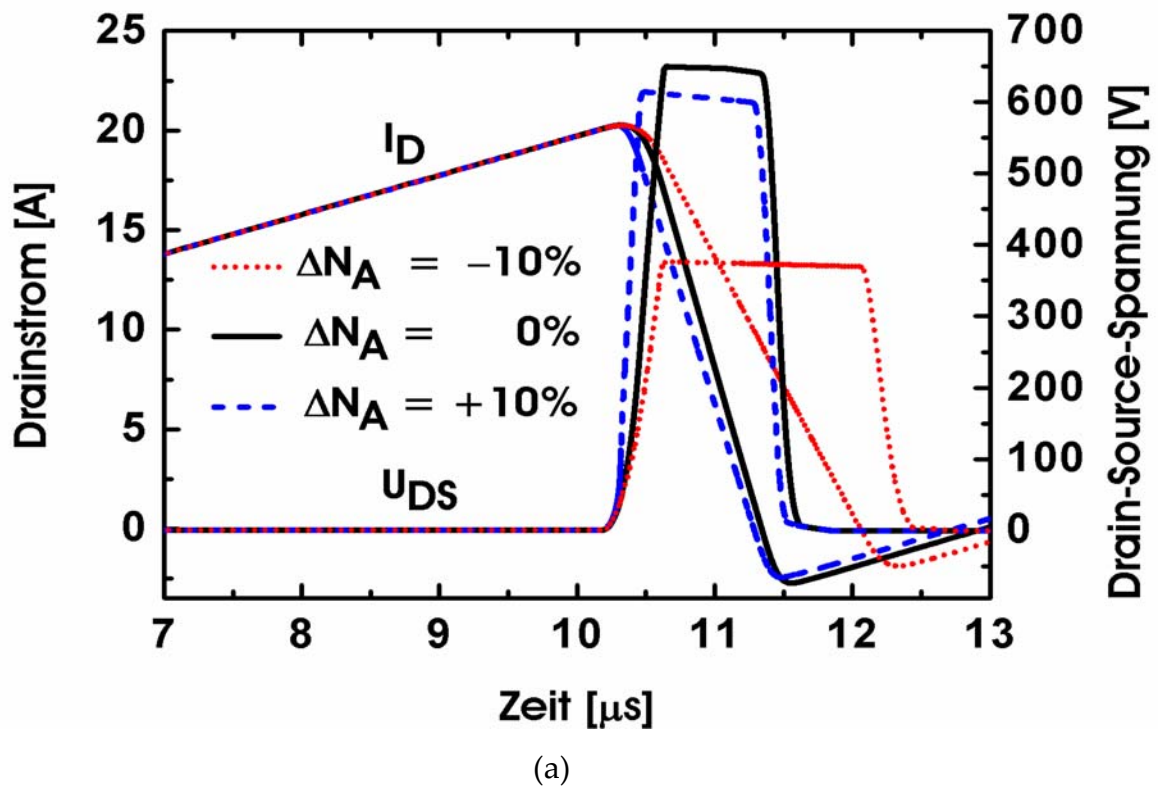


Abbildung 5.29: UIS-Test des SJ-LDMOS-Transistors; (a) Gleichförmige SJ (b) Ungleichförmige SJ.

Tabelle 5.5: Ermittelte Avalancheenergie und Zeitdauer des Avalancheereignisses.

Kenngröße	Gleichförmige SJ			Ungleichförmige SJ		
	$\Delta N_A = -10\%$	$\Delta N_A = 0\%$	$\Delta N_A = +10\%$	$\Delta N_A = -10\%$	$\Delta N_A = 0\%$	$\Delta N_A = +10\%$
E_{av} [mJ]	5,77	5,41	5,44	5,48	5,42	5,43
t_{av} [ns]	2233	1578	1528	1644	1448	1391

Den parasitären Bipolartransistor bilden die hochdotierte n⁺-Source (Emitter), die p-Wanne (Basis) und die n-Driftzone (Kollektor). Die p-Wanne hat darüber hinaus eine arbeitspunktabhängige Widerstandswirkung, die dem Basis-Emitter-Widerstand R_{BE} des parasitären Bipolartransistors entspricht. Vom Source bis zum Kanalgebiet ist im Allgemeinen die parasitäre Bipolarstruktur als eine Reihenschaltung von mehreren Bipolartransistoren mit entsprechenden Basis-Emitter-Widerständen zu betrachten. Einfachheitshalber werden diese hintereinander geschalteten Bipolartransistoren allerdings durch zwei Transistoren T_1 und T_2 modelliert, wobei die Basis-Emitter-Widerstände R_{BE1} und R_{BE2} jeweils mit dem Basisanschluss von T_1 und T_2 verbunden sind [Pau94]. Da T_2 nahe am Kanal liegt, T_1 hingegen nahe dem hoch dotierten p⁺-Bereich unter dem Sourcekontakt, ist R_{BE2} größer als R_{BE1} . Fließt ein hinreichend starker Avalanchestrom lateral durch das p-Basis-Gebiet von R_{BE2} nach R_{BE1} , so wird T_2 zunächst eingeschaltet, und es steht an leitend gewordenem T_2 die Basis-Emitter-Spannung U_{BE2} . Durch erhöhte Stromzufuhr kann U_{BE2} auf den Wert der Kollektor-Emitter-Durchbruchspannung bei offenem Emitter U_{BRCEs} angehoben werden. Danach gerät T_2 in den Emitterleerlauf. Bei weiterem Anwachsen des Avalanchestroms tritt schließlich der zweite Durchbrucheffect bei einer sinkenden Kollektor-Emitter-Spannung bei offener Basis U_{BRCEO} ein, die um etwa 40% kleiner ist als die normale Avalanchedurchbruchspannung. Da U_{BRCEO} viel kleiner als U_{BRCEs} ist, lässt sich ein zweiter Durchbruch an einer Rückläufigkeit der Durchbruchkennlinie im Hochstrombereich erkennen, wie aus den Simulationsergebnissen nach Abb. 5.31 zu entnehmen ist. Man sieht, dass der Verlauf der Durchbruchkennlinie der gleichförmigen SJ bei einem kleineren Wert des Stroms und der Spannung zurückschnappt. Die gleichförmige SJ erreicht also früher den zweiten Durchbruch, oder anders gesagt, die ungleichförmige Auslegung der SJ-Struktur gewährleistet eine höhere Sicherheit gegen den zweiten Durchbruch.

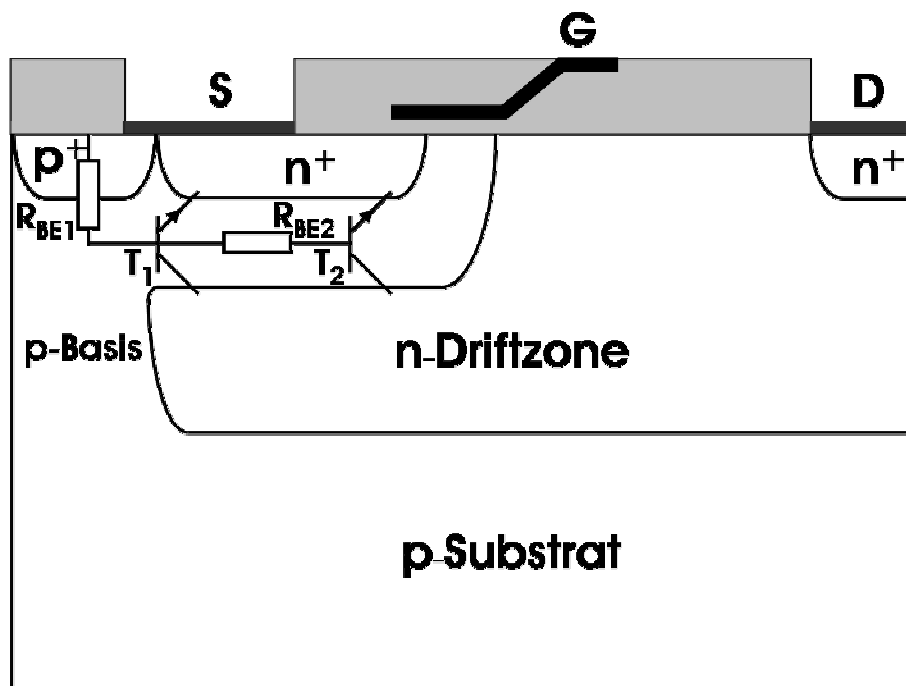


Abbildung 5.30: Parasitärer Bipolareffekt in einer LDMOS-Struktur.

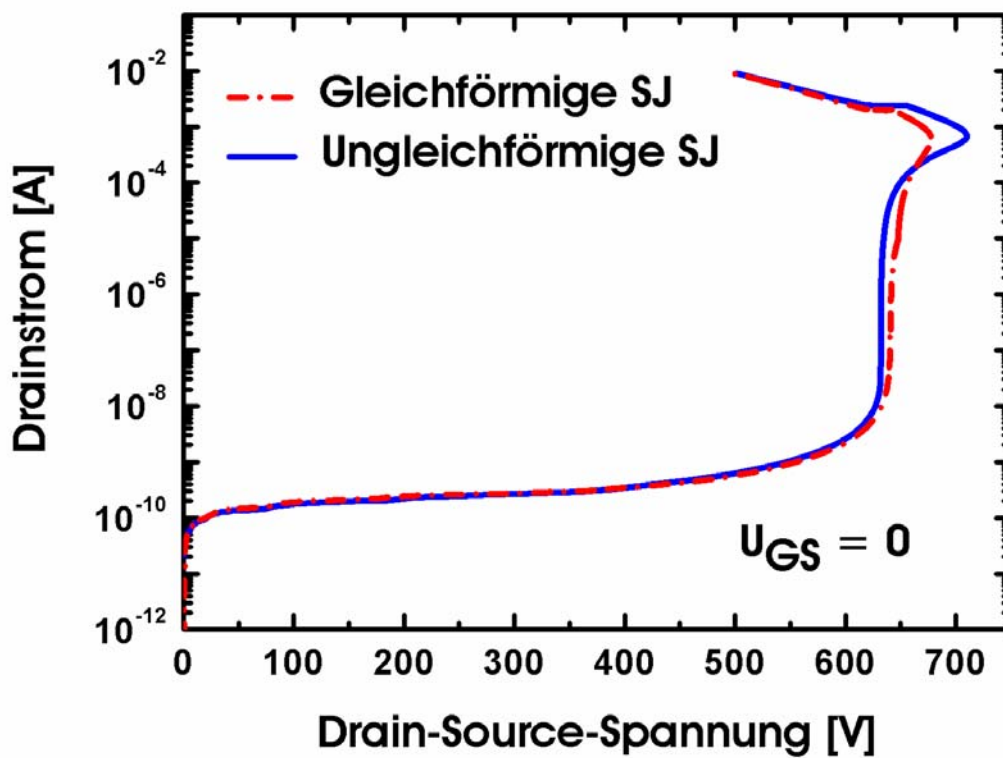
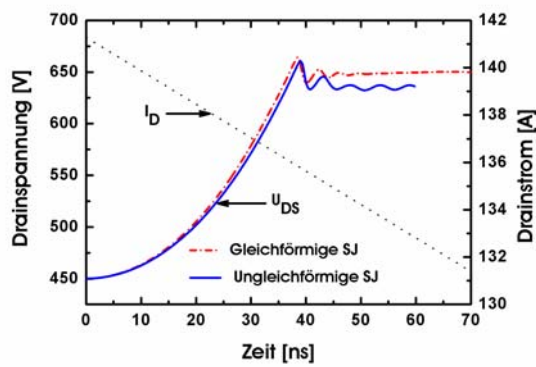


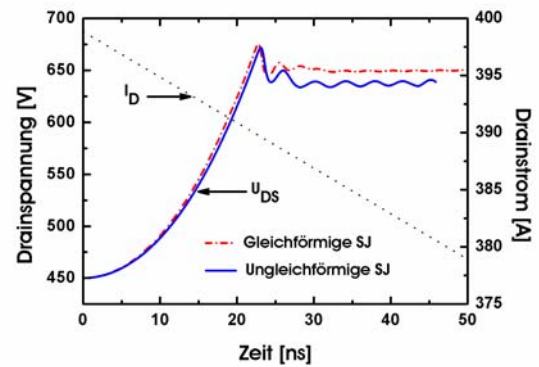
Abbildung 5.31: Rückläufigkeit der Durchbruchkennlinien beim SJ-LDMOS infolge parasitären Bipolartransistors.

Zum Bestätigen dieser Aussage wird das UIS-Verhalten beider SJ-Strukturen bei zunehmendem Avalanchestrom in Abb. 5.32 verglichen. Bei kleinerem Strom werden die Schwingungen mit der Zeit gedämpft, bei hinreichend großem Strom hingegen so fortdauernd verstärkt, dass man auf eine baldige Zerstörung des Transistors aufgrund thermischer Überlast schließen muss. Ersichtlich ist abermals, dass die gleichförmige SJ früher in den zweiten Durchbruch eintritt als die ungleichförmige SJ. Zu erkennen sind auch Oszillationen der Drain-Source-Spannung während des Abschaltens. Das Schwingungsverhalten des Bauelements ist dem *TRAPATT* (Akronym für *Trapped Plasma Avalanche Triggered Transit*)-Vorgang analog [PCW67], in dem das Anlegen einer Impulsspannung mit ausreichender Steilheit dU/dt an einen pn-Übergang ein Elektronen-Löcher-Plasma erzeugt, das wiederum durch das niedrige elektrische Feld eingefangen wird.

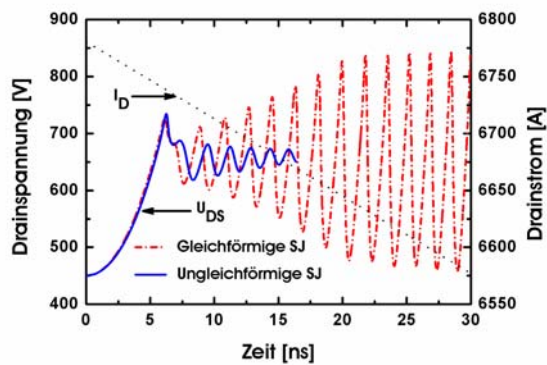
Die TRAPATT-Schwingung der Superjunction-Bauelemente stellt sich wie folgt ein [Sch05]: Nach dem induktiven Abschalten erzwingt die Induktivität L das Weiterfließen des Stroms durch das Bauelement. Zuerst fließt der Strom als ein Verschiebungsstrom, welcher die Drain-Source-Spannung bis zur Durchbruchspannung anhebt. Wird die Durchbruchspannung überschritten, kommt es zur Generation von Elektron-Loch-Paaren am Ort maximaler Feldstärke. Die Spannung und damit auch das elektrische Feld sowie die Generationsrate steigen aber solange weiter an, bis eine ausreichende Anzahl von Ladungsträgern generiert wurde, um den von der Induktivität erzwungenen Stromfluss aufrecht zu erhalten. Durch die Ladung der zusätzlich generierten Elektronen und Löcher bricht das elektrische Feld zusammen. Das Absinken der elektrischen Feldstärke erfolgt dabei so erheblich, dass zunächst ein Plasma in der Driftzone zurückbleibt. Elektronen und Löcher werden dann durch das verbleibende niedrige elektrische Feld aus der Driftzone herausgezogen, dadurch steigt zunächst der Avalanchestrom bei gleich hoher Spannung an. Erst wenn die Ladungsträger an der Grenze der Raumladungszone eintreffen, nimmt die Spannung ab und damit auch die Generationsrate am Durchbruchsort. Dabei fließt trotz geringer Spannung ein hoher Strom. Sobald das Plasma abgesaugt wurde, sinkt der Strom, die Spannung hingegen steigt wieder auf den maximalen Wert, und so setzt der TRAPATT-Vorgang erneut ein. Unter ungünstigen Umständen können aber die am Durchbruchsort erzeugten Ladungsträger auf ihrem Weg zu den Kontakten einen sekundären Stoßionisationsprozess einleiten, insbesondere wenn sie durch ein Gebiet mit hoher Feldstärke laufen. In diesem Fall verstärkt sich die TRAPATT-Schwingung, bis es letztendlich zu einer Zerstörung des Bauelements kommt. Zur Dämpfung von TRAPATT-Oszillationen sollte deswegen die Avalanche-generation auf ein schmales Gebiet begrenzt werden.



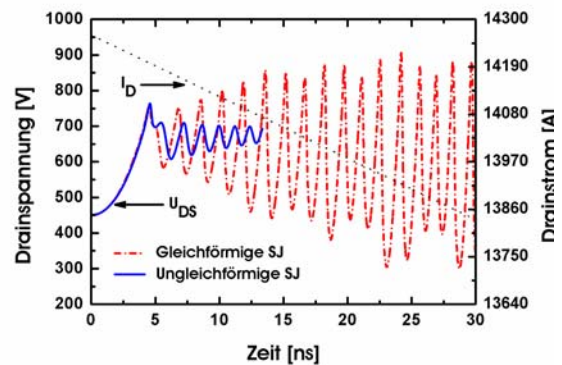
(a)



(b)



(c)



(d)

Abbildung 5.32: Zeitliche Verläufe von Drainstrom und Drain-Source-Spannung beim Abschalten mit zunehmenden Avalanche-strömen; (a) $I_{av} = 141$ A (b) $I_{av} = 398$ A (c) $I_{av} = 6780$ A (d) $I_{av} = 14263$ A.

Kapitel 6

Zusammenfassung

In der vorliegenden Arbeit wird das elektrophysikalische Verhalten von neuartigen lateralen Superjunction-Bauelementen mittels dreidimensionaler numerischer Simulation auf der Basis des Drift-Diffusions-Modells erstmals untersucht. Die für die numerische Analyse betrachteten Bauelementestrukturen basieren auf der CoolMOS™-Technologie der Firma Infineon. Das besondere Merkmal der vorgeschlagenen MOS-Bauelemente liegt, im Unterschied zu konventionellen RESURF-LDMOS-Transistoren, in der sogenannten Superjunction-Struktur (SJ), welche durch Einfügung von säulenförmigen p-Gebieten in zweidimensional periodischer Anordnung in die n-Driftzone entsteht. Die p-Säulen selbst können entweder gleich groß dimensioniert sein oder abnehmenden Durchmesser in Richtung Drain haben. Erstere werden als gleichförmige SJ bezeichnet, letztere als ungleichförmige SJ. Beide SJ-Strukturen besitzen gleiche Zellabmessungen und sind für die Spannungsklasse von 600 V ausgelegt. Zur Kompensation des im Substrat ungleichmäßig auftretenden Ausräumungseffekts erweist sich die ungleichförmige SJ als besser geeignet, so dass die gleichförmige SJ vorwiegend als Referenz dient.

Entscheidend für die Verwendung der lateralen Superjunction-Transistoren als Leistungsschalter sind ihre statischen und dynamischen elektrischen Eigenschaften. Anhand von simulierten Kennlinien wurden charakteristische Kenn- bzw. Grenzwerte für die Funktionsmerkmale und die Belastbarkeit der Bauelemente ermittelt. Im Rahmen der Untersuchung der statischen Eigenschaften der Superjunction-Transistoren wurde insbesondere der Einfluss bestimmter physikalischer und geometrischer Einflussfaktoren wie z.B. Kompensationsgrad, Temperatur, Driftzonentiefe, Zellabstand und Säulenordnung analysiert, wobei vor allem die Optimierung der Trade-Off-Relation zwischen Durchbruchspannung

und Durchlasswiderstand im Vordergrund stand. Es zeigte sich, dass ein niedrigerer Durchlasswiderstand durch Erhöhung der Driftzontentiefe bzw. des Zellabstands nur bis zu einem gewissen Grad erreicht werden kann, ansonsten geht er auf Kosten einer Verschlechterung des Sperrvermögens. Immerhin ergaben die Simulationen, dass für beide SJ-Strukturen das statische Verhalten bei optimierter Auslegung vergleichbar ist. Bei hexagonaler Säulenordnung bewahren sowohl die gleichförmige SJ als auch die ungleichförmige SJ zwar ihre entsprechende Sperrfähigkeit, sind aber in ihren Durchlasseigenschaften schlechter. Im Allgemeinen weist die gleichförmige SJ aufgrund niedrigerer Säulendotierung einen leicht geringeren Durchlasswiderstand auf als die ungleichförmige SJ. Die Simulationsberechnungen der Durchbruchspannung und des Durchlasswiderstands bei Variierung der Kompensationsgrade in der Driftzone und in den Säulen führten zu der Einsicht, dass eine Verletzung der Kompensationsbedingung insbesondere in der Driftzone den Durchlasswiderstand entscheidend beeinflusst, und dass die Durchbruchspannung stark unsymmetrisch auf einen Vorzeichenwechsel der Kompensationsgrade sowohl in der Driftzone als auch in den Säulen reagiert. Die gleichförmige SJ ist hierbei gegen eine Variation des Kompensationsgrades empfindlicher als die ungleichförmige SJ. Dies begründet sich in der leichteren Verschiebung des Durchbruchs der gleichförmigen SJ auf einen schlechteren Durchbruchort.

Bei der Untersuchung des Schaltverhaltens wurden unter der Annahme, dass der Kompensationsgrad in den Säulen einen Wert zwischen -10% und $+10\%$ hat, drei Fälle betrachtet, nämlich Kompensationsgrade von -10% , 0% und $+10\%$. Es wurden transiente Simulationen der Schaltvorgänge bei einem rein ohmschen Lastkreis und dann bei einem induktiven Lastkreis mit einer Freilaufdiode und einem Freilaufzweig durchgeführt. Zur Prüfung der Betriebsfestigkeit wurde der Superjunction-Transistor einem DRS-Test (Diode Recovery Stress) und einem UIS-Test (Unclamped Inductive Switching) unterzogen. Es zeigte sich, dass sich die ungleichförmige SJ durch eine bessere Figure of Merit (FOM) und damit eine höhere Schaltgeschwindigkeit auszeichnet. Der Einfluss des Kompensationsgrads auf die Schaltzeiten ist auf geänderte Bahnwiderstände der p- und n-Gebiete zurückzuführen. Das Schalten einer induktiven Last mit Freilaufzweig erfolgt langsamer als das Schalten einer ohmschen Last. Beim UIS-Test hat sich gezeigt, dass die ungleichförmige SJ eine höhere Avalanche-festigkeit besitzt als die gleichförmige SJ. Unabhängig vom Kompensationsgrad kommt es beim DRS-Test der ungleichförmigen SJ während des Sperrerrholvorganges zu einem harten Rückstromabriss (hard recovery), wobei Oszillationen in den Strom- und Spannungstransienten zu erkennen sind. Das gleiche trifft auch für die gleichförmige SJ zu bis auf den Fall des -10% -prozentigen Kompensationsgrads. Bei einem Kompensationsgrad von -10% verläuft nämlich der Erholvorgang der gleichförmigen SJ sehr langsam und die Oszillationen sind sehr gering, in diesem Fall spricht man von soft recovery.

Anhang A

Quantitative Abschätzung der Silizium-Limits

Eine quantitative Abschätzung der Silizium-Limits von lateralen Leistungsbau-elementen (LDMOS, RESURF und SJ) gewinnt man mit Hilfe der von Fulop [Ful67] vorgeschlagenen Bedingung für den Lawinendurchbruch

$$\int_0^{L_D} C \cdot E^7(x) dx = 1 \quad (\text{A.1})$$

mit $C = 1,8 \cdot 10^{-35} \text{ cm}^6 \text{V}^{-7}$ dem Fulop-Stoßionisationskoeffizienten. Des Weiteren wird die Näherungsformel für die Dotierungsabhängigkeit der Elektronenbeweglichkeit im Dotierungsbereich von $10^{15} \text{ cm}^{-3} < N_D < 3 \cdot 10^{16} \text{ cm}^{-3}$ verwendet [Sze81]

$$\frac{\mu_n}{\text{cm}^2/\text{Vs}} = 2,58 \cdot 10^4 \cdot \left(\frac{N_D}{\text{cm}^{-3}} \right)^{-1/2} \quad (\text{A.2})$$

Im Folgenden wird die Näherungsrechnung des jeweiligen Silizium-Limits aufgezeigt.

A.1 Silizium-Limit von LDMOS-Transistoren

Die elektrische Feldstärke des LDMOS-Transistors bei Spannungsdurchbruch ergibt sich aus Abb. 3.8 zu

$$E(x) = -\frac{E_{krit}}{2L_D} x + E_{krit} \quad (\text{A.3})$$

Mit $L_D = \frac{4}{3} \cdot \frac{U_{(BR)DSS}}{E_{krit}}$ aus Gl. (3.2) erhält man durch Einsetzen von Gl. (A.3) in Gl. (A.1) und Integration die Durchbruchfeldstärke als Funktion von der Durchbruchspannung

$$\frac{E_{krit}}{\text{V/cm}} = 7,4 \cdot 10^5 \cdot \left(\frac{U_{(BR)DSS}}{\text{V}} \right)^{-1/6} \quad (\text{A.4})$$

Eingesetzt in Gl. (3.2) und Gl. (3.4) liefern

$$\frac{L_D}{\text{cm}} = 1,8 \cdot 10^{-6} \cdot \left(\frac{U_{(BR)DSS}}{\text{V}} \right)^{7/6} \quad (\text{A.5})$$

und

$$\frac{N_D}{\text{cm}^{-3}} = 1,33 \cdot 10^{18} \cdot \left(\frac{U_{(BR)DSS}}{\text{V}} \right)^{-4/3} \quad (\text{A.6})$$

Mit Gl. (A.6) wird Gl. (A.2) zu

$$\frac{\mu_n}{\text{cm}^2/\text{Vs}} = 797 \cdot \left(\frac{U_{(BR)DSS}}{\text{V}} \right)^{1/9} \quad (\text{A.7})$$

Einsetzen der Gleichung (A.5) bis (A.7) in Gl. (3.1) ergibt dann das Silizium-Limit für LDMOS

$$\frac{R_{DS(on)} \cdot A}{\Omega \cdot \text{cm}^2} = 1,9 \cdot 10^{-14} \cdot \left(\frac{d}{\text{cm}} \right)^{-1} \cdot \left(\frac{U_{(BR)DSS}}{\text{V}} \right)^{32/9} \quad (\text{A.8})$$

A.2 Silizium-Limit von RESURF-LDMOS-Transistoren

Für RESURF gilt näherungsweise

$$E(x) = E_{krit} \quad (\text{A.9})$$

Damit wird die Auswertung des Integrals aus Gl. (A.1)

$$E_{krit} = \left(\frac{1}{CL_D} \right)^{1/7} \quad (\text{A.10})$$

Wegen $U_{(BR)DSS} \approx E_{krit} \cdot L_D$ ist dann

$$U_{(BR)DSS} = L_D \cdot E_{krit} = \left(\frac{L_D^6}{C} \right)^{1/7} \quad (\text{A.11})$$

Durch Eliminieren von L_D in Gl. (A.10) unter Zuhilfenahme von Gl. (A.11) ergibt sich

$$\frac{E_{krit}}{\text{V/cm}} = \left(\frac{1}{C \cdot U_{(BR)DSS}} \right)^{1/6} = 6,18 \cdot 10^5 \cdot \left(\frac{U_{(BR)DSS}}{\text{V}} \right)^{-1/6} \quad (\text{A.12})$$

Mit Gleichung (A.12) wird die Länge L_D bei Spannungsdurchbruch zu

$$\frac{L_D}{\text{cm}} = \frac{U_{(BR)DSS}}{E_{krit}} = 1,62 \cdot 10^{-6} \cdot \left(\frac{U_{(BR)DSS}}{\text{V}} \right)^{7/6} \quad (\text{A.13})$$

Auch wegen Gl. (A.12) nehmen die Gleichungen (3.9) und (A.2) folgende Gestalten an

$$N_{\square}^{RESURF} / \text{cm}^{-2} = N_D \cdot d = 2,8 \cdot 10^{12} \cdot \left(U_{(BR)DSS} / \text{V} \right)^{-1/6} \quad (\text{A.14})$$

$$\frac{\mu_n}{\text{cm}^2/\text{Vs}} = 2367 \cdot \left(\frac{d}{\text{cm}} \right)^{1/12} \cdot \left(\frac{U_{(BR)DSS}}{\text{V}} \right)^{1/72} \quad (\text{A.15})$$

Aus der Gleichung (A.13) bis (A.15) folgt das Silizium-Limit für RESURF

$$\frac{R_{DS(on)} \cdot A}{\Omega \cdot \text{cm}^2} = 2,46 \cdot 10^{-9} \cdot \left(\frac{d}{\text{cm}} \right)^{-1/12} \cdot \left(\frac{U_{(BR)DSS}}{\text{V}} \right)^{179/72} \quad (\text{A.16})$$

A.3 Silizium-Limit von Superjunction-LDMOS-Transistoren

Für SJ ist das Ergebnis (A.13) anwendbar. Dadurch berechnen sich die Gleichungen (3.14) und (A.2) zu

$$\frac{N_D}{\text{cm}^{-3}} = 5,6 \cdot 10^{12} \cdot \left(\frac{b}{\text{cm}} \right)^{-1} \cdot \left(\frac{U_{(BR)DSS}}{\text{V}} \right)^{-1/6} \quad (\text{A.17})$$

$$\frac{\mu_n}{\text{cm}^2/\text{Vs}} = 2234 \cdot \left(\frac{b}{\text{cm}} \right)^{1/12} \cdot \left(\frac{U_{(BR)DSS}}{\text{V}} \right)^{1/72} \quad (\text{A.18})$$

Das Einsetzen der Gleichungen (A.13), (A.17) und (A.18) in Gl. (3.15) liefert schließlich das Silizium-Limit für SJ

$$\frac{R_{DS(on)} \cdot A}{\Omega \cdot \text{cm}^2} = 2,6 \cdot 10^{-9} \cdot \left(\frac{b}{\text{cm}}\right)^{11/12} \cdot \left(\frac{d}{\text{cm}}\right)^{-1} \cdot \left(\frac{U_{(BR)DSS}}{\text{V}}\right)^{179/72} \quad (\text{A.19})$$

Anhang B

Drainstrom im Quasisättigungsbereich

Im Quasisättigungsbereich fließt der Drainstrom I_{DQSat} wie ein Feldstrom durch die Driftzone des Transistors. Anhand von Abb. B.1 berechnet er sich aus der Elementarladung q , der Elektronenbeweglichkeit μ_n , der Driftzonendotierung N_D , dem elektrischen Längsfeld E_x und der Durchtrittsfläche A_{Drift} zu

$$I_{DQSat} = -q \cdot \mu_n \cdot N_D \cdot A_{Drift} \cdot E_x = q \cdot \mu_n \cdot N_D \cdot A_{Drift} \cdot \frac{dU(x)}{dx} \quad (\text{B.1})$$

Während der Quasisättigungsstrom I_{DQSat} aufgrund der Stromkontinuität überall gleich ist, variiert die Durchtrittsfläche A_{Drift} mit der ortsabhängigen Eindringtiefe der Raumladungszone in der Driftzone $y_D(x)$

$$A_{Drift} = A_{Drift}(x) = b[d - y_D(x)] \quad (\text{B.2})$$

In der Verarmungsnäherung (siehe z.B. [Pau92]) gilt

$$y_D(x) = \left(\frac{2\varepsilon_{Si}N_S}{qN_D(N_S + N_D)} \right)^{1/2} \cdot \sqrt{U(x) + U_D} \quad (\text{B.3})$$

wobei U_D die Diffusionsspannung bezeichnet. Im Quasisättigungsbereich fällt die angelegte Drain-Source-Spannung U_{DS} näherungsweise linear über der gesamten Driftstrecke L_D ab, das heißt,

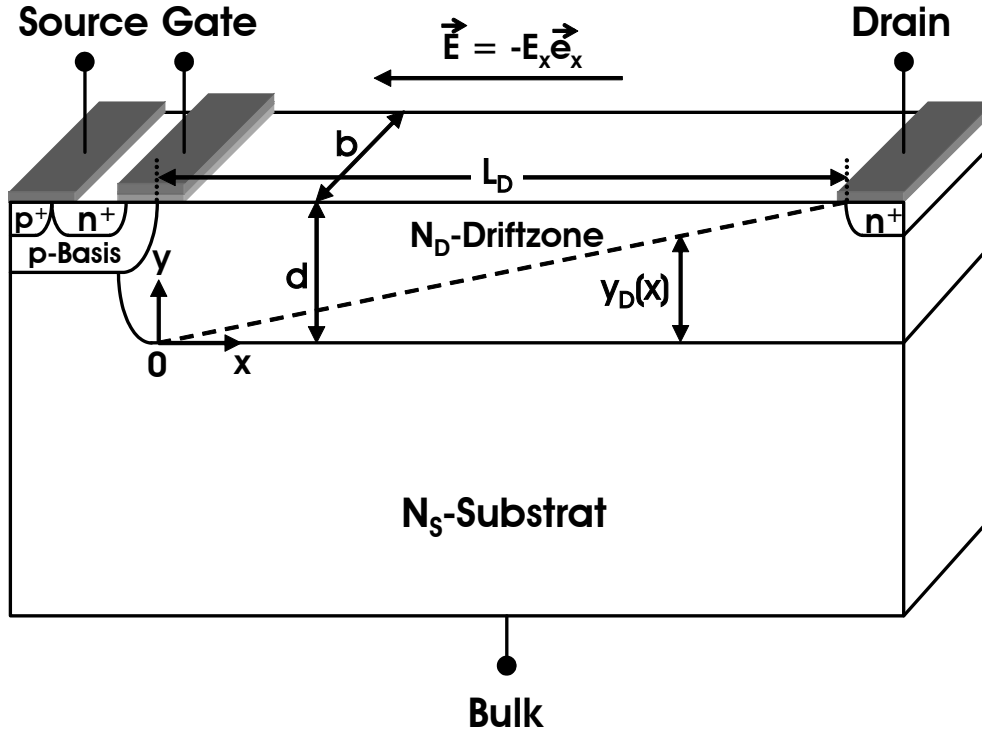


Abbildung B.1: RESURF-LDMOS-Transistor im Quasisättigungsbereich.

$$U(x) = \frac{U_{DS}}{L_D} x = -E_x x \quad (\text{B.4})$$

Unter Verwendung der Gleichungen (B.2) und (B.3) ergibt sich Gl. (B.1) zu:

$$I_{DQSat} = q \cdot \mu_n \cdot N_D \cdot b \cdot \left[d - \left(\frac{2\varepsilon_{Si} N_S}{q N_D (N_S + N_D)} \right)^{1/2} \cdot \sqrt{U(x) + U_D} \right] \cdot \frac{dU(x)}{dx} \quad (\text{B.5})$$

Multiplizieren beider Seite von Gl. (B.5) mit dx und Integration auf der linken Seite über die Driftzonenlänge von 0 bis L_D und auf der rechten Seite über die Spannung von 0 bis U_{DS}

$$\int_0^{L_D} I_{DQSat} dx = q \cdot \mu_n \cdot N_D \cdot b \cdot \int_{U(0)=0}^{U(L_D)=U_{DS}} \left[d - \left(\frac{2\varepsilon_{Si} N_S}{q N_D (N_S + N_D)} \right)^{1/2} \cdot \sqrt{U(x) + U_D} \right] dU(x) \quad (\text{B.6})$$

führen auf

$$I_{DQSat} = bdq\mu_n N_D \frac{U_{DS}}{L_D} - \frac{2bq\mu_n N_D}{3L_D} \left(\frac{2\varepsilon_{Si} N_S}{qN_D (N_S + N_D)} \right)^{1/2} \cdot \left[(U_{DS} + U_D)^{3/2} - U_D^{3/2} \right] \quad (B.7)$$

Die Quasisättigung des Drainstroms wird durch die Feldabhängigkeit der Elektronenbeweglichkeit beeinflusst. Einen guten Ansatz dafür liefert die Formel [CT67]

$$\mu_n = \frac{\mu_0}{\sqrt{1 + \left(\frac{E_x}{E_{Sat}} \right)^2}} = \frac{\mu_0}{\sqrt{1 + \left(\frac{U_{DS}}{L_D E_{Sat}} \right)^2}} \quad (B.8)$$

mit μ_0 der Niederfeldbeweglichkeit der Elektronen und $E_{Sat} = v_{Sat,n}/\mu_0$ der Sättigungsfeldstärke für das Eintreten der Quasisättigung.

Das Einsetzen von Gl. (B.8) in Gl. (B.7) liefert schließlich für den Drain-Quasisättigungsstrom die folgende Strom-Spannungs-Gleichung, die im Quasisättigungsbereich gilt:

$$I_{DQSat} = \frac{bdq\mu_0 N_D}{L_D \cdot \sqrt{1 + \left(\frac{U_{DS}}{L_D E_{Sat}} \right)^2}} \cdot \left\{ U_{DS} - \frac{2}{3d} \left(\frac{2\varepsilon_{Si} N_S}{qN_D (N_S + N_D)} \right)^{1/2} \cdot \left[(U_{DS} + U_D)^{3/2} - U_D^{3/2} \right] \right\} \quad (B.9)$$

Anhang C

Zylindrischer Durchbruch

In Abb. C.1 ist der zylindrische pn-Übergang zwischen dem p-Gebiet mit dem Radius R und dem beliebig großen n-Gebiet dargestellt. R_d bezeichnet hierbei die als unbegrenzt angenommene, radiale Ausdehnung der Raumladungszone im n-Gebiet. Dadurch lassen sich die Poissonschen Gleichungen in Polarkoordinaten aufstellen:

$$\frac{1}{r} \frac{d}{dr} \left(r \frac{dU}{dr} \right) = \frac{qN_A}{\epsilon_{Si}} \quad \text{für} \quad 0 < r < R \quad (\text{C.1})$$

$$\frac{1}{r} \frac{d}{dr} \left(r \frac{dU}{dr} \right) = -\frac{qN_D}{\epsilon_{Si}} \quad \text{für} \quad R < r < R_d \quad (\text{C.2})$$

Mit den Forderungen $E(r = R) = E_{\max}$ und $E(r = 0) = E(r = R_d) = 0$ ergibt sich für die elektrische Feldstärke

$$E(r) = -\frac{qN_A}{2\epsilon_{Si}} r \quad \text{für} \quad 0 < r < R \quad (\text{C.3})$$

$$E(r) = \frac{qN_D}{2\epsilon_{Si}} \left(\frac{r^2 - R_d^2}{r} \right) \quad \text{für} \quad R < r < R_d \quad (\text{C.4})$$

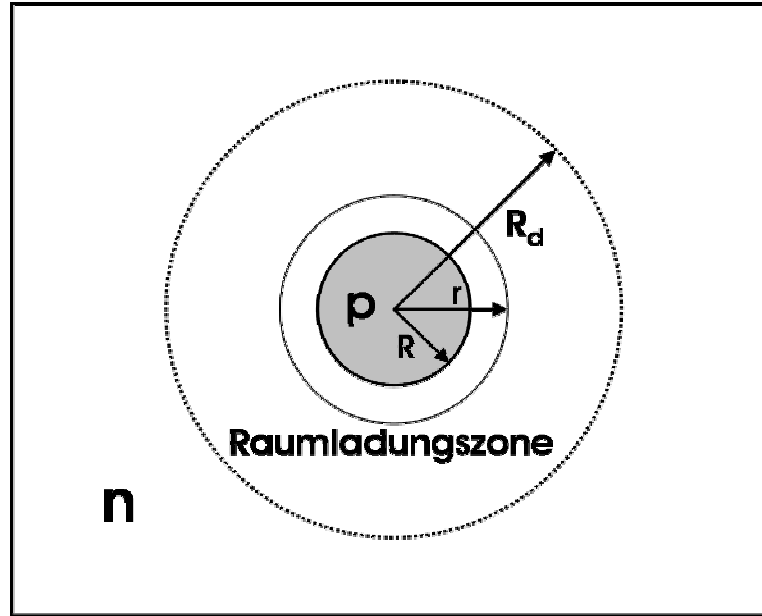


Abbildung C.9: Zylindrischer pn-Übergang mit $n = N_D$ und $p = N_B$.

Unter der Voraussetzung einer vollständigen Verarmung des p-Gebietes vor Erreichen des Durchbruchs kann die maximale Feldstärke angesetzt werden durch

$$E_{\max} = E(r = R) = \frac{qN_D}{2\epsilon_{Si}} \left(\frac{R^2 - R_d^2}{R} \right) \quad (\text{C.5})$$

Der Spannungsabfall über der gesamten Raumladungszone erhält man durch Integration der Feldstärke

$$U = \frac{qN_A}{2\epsilon_{Si}} \int_0^R r \, dr - \frac{qN_D}{2\epsilon_{Si}} \int_R^{R_d} \left(\frac{r^2 - R_d^2}{r} \right) dr \quad (\text{C.6})$$

Die Auswertung des Integrals in Gl. (C.6) ergibt

$$U = \frac{qN_A}{4\epsilon_{Si}} R^2 + \frac{qN_D}{2\epsilon_{Si}} \left[\left(\frac{R^2 - R_d^2}{2} \right) + R_d^2 \ln \left(\frac{R_d}{R} \right) \right] \quad (\text{C.7})$$

Zur Berechnung der Durchbruchspannung des zylindrischen pn-Überganges benötigt man die radiale Ausdehnung der Raumladungszone beim Durchbruch $R_{krit.}$ Nach dem Ansatz von Baliga [BG76] wird die kritische Durchbruchfeldstärke am zylindrischen pn-Übergang in erster Näherung abgeleitet:

$$\frac{E_{krit}^Z}{\text{V/cm}} = \left[\frac{3,25 \cdot 10^{35}}{(R/\text{cm})} \right]^{1/7} \quad (\text{C.8})$$

Andererseits gilt beim Durchbruch gemäß Gl. (C.5)

$$E_{krit}^Z = |E_{\max}(R_d = R_{krit})| = \frac{qN_D}{2\epsilon_{Si}} \left(\frac{R_{krit}^2 - R^2}{R} \right) \quad (\text{C.9})$$

Daraus folgt

$$\frac{R_{krit}}{\text{cm}} = \sqrt{\left(\frac{R}{\text{cm}} \right)^2 + 1,52 \cdot 10^{12} \cdot \frac{(R/\text{cm})^{6/7}}{(N_D/\text{cm}^{-3})}} \quad (\text{C.10})$$

Setzt man R_{krit} in die Gl. (C.7) ein, so ergibt sich schließlich die Durchbruchspannung des zylindrischen pn-Übergangs

$$U_{(BR)DSS}^Z = \frac{qN_A}{4\epsilon_{Si}} R^2 + \frac{qN_D}{2\epsilon_{Si}} \left[\left(\frac{R^2 - R_{krit}^2}{2} \right) + R_{krit}^2 \ln \left(\frac{R_{krit}}{R} \right) \right] \quad (\text{C.11})$$

Anhang D

Sprungantwort der Gate-Source-Spannung

Beim Ansteuern des Gate mit einem rechteckförmigen Spannungspuls U_G am Gatekreis steigt die Gate-Source-Spannung U_{GS} nicht instantan, sondern mit einer zeitlichen Verzögerung. Zur Beschreibung des zeitlichen Verhaltens wird die Ersatzschaltung des Gatekreises nach Abb. D.1 herangezogen.

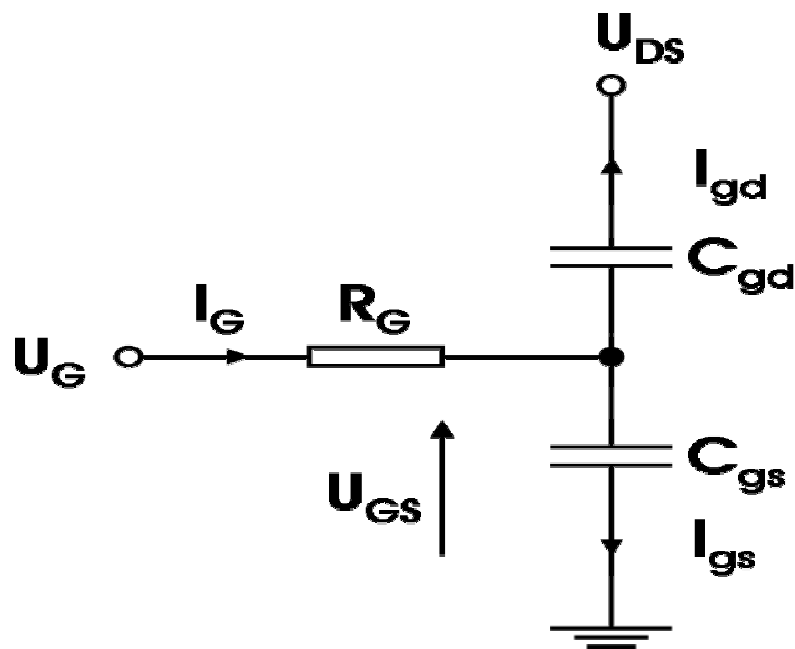


Abbildung D.1: Ersatzschaltung eines Gate-Kreises.

Für den Gatestrom gilt

$$I_G = \frac{U_G - U_{GS}}{R_G} \quad (\text{D.1})$$

Wendet man andererseits das Kirchhoffsche Gesetz an, so gilt

$$I_G = I_{gs} + I_{gd} \quad (\text{D.2})$$

Die Gleichung für I_{gs} lautet

$$I_{gs} = C_{gs} \frac{dU_{GS}}{dt} \quad (\text{D.3})$$

und aufgrund festgehalter U_{DS} ergibt sich die Gleichung für I_{gd} zu

$$I_{gd} = C_{gd} \frac{dU_{GS}}{dt} \quad (\text{D.4})$$

Setzt man die Gl. (D.3) und (D.4) in Gl. (D.2) ein, so entsteht

$$\frac{U_G - U_{GS}}{R_G} = C_{gs} \frac{dU_{GS}}{dt} + C_{gd} \frac{dU_{GS}}{dt} \quad (\text{D.5})$$

und nach Umformungen

$$\frac{dU_{GS}}{U_G - U_{GS}} = \frac{dt}{(C_{gs} + C_{gd})R_G} \quad (\text{D.6})$$

Durch Integration von Gl. (D.6) mit dem Anfangswert $U_{GS}(0) = 0$ folgt daraus

$$U_{GS} = U_G \left[1 - \exp\left(\frac{-t}{(C_{gs} + C_{gd})R_G}\right) \right] \quad (\text{D.7})$$

Der Anstieg von U_{GS} erfolgt somit exponentiell mit einer Zeitkonstante

$$\tau_G = (C_{gs} + C_{gd})R_G \quad (\text{D.8})$$

Literaturverzeichnis

- [ACH80] Appels, J. A.; Collet, M. G. ; Hart, P. A. H. ; Vaes, H. M. J; Verhoeven, J. F. C. M.: *Thin Layer High-Voltage Devices (RESURF Devices)*. Philips J. Res., Vol. 35 (1980), pp. 1-13.
- [AS02] Amberetu, M. A.; Salama, A. T.: *150-V Class Superjunction Power LDMOS Transistor Switch on SOI*. In: Proc. ISPSD, 2002, pp. 101-104.
- [AV79] Appels, J. A.; Vaes, H. M. J.: *High Voltage Thin Layer Devices (RESURF Devices)*. In: Proc. IEDM, 1979, pp. 238-241.
- [Bal96] Baliga, B. J.: *Power Semiconductor Devices*. Boston, PWS Publishing Company, 1996.
- [BCF85] Bank, R. E.; Coughran, W. M. Jr.; Fichtner, W.; Grosse, E. H.; Rose, D. J.; Smith, R. K.: *Transient simulation of silicon devices and circuits*. IEEE Trans., Vol. CAD-4 (1985), pp. 436-451.
- [BG76] Baliga, B. J.; Ghandhi, S. K.: *Analytical Solutions for the Breakdown Voltage of Abrupt, Cylindrical and Spherical Junctions*. Solid-State Electron, Vol. 9 (1976), pp. 739-744.
- [BGG99] Benda, V.; Gowar, J.; Grant, D. A.: *Power semiconductor devices: Theory and application*. Chichester, John Wiley & Sons Ltd., 1999.
- [BLA85] Blackburn, D. L.: *Turn-off Failure of Power MOSFETs*. IEEE Power Electronics Specialists Conference, 1985, pp. 429-435.
- [BR81] Bank, R. E.; Rose D. J: *Global Approximate Newton Methods*. Numer. Math., Vol. 37 (1981), pp. 279-295.

-
- [BRF83] Bank, R. E.; Rose D. J.; Fichtner, W.: *Numerical Methods for Semiconductor Device Simulation*. IEEE Trans. Electron Devices, Vol. ED-30 (1983), pp. 1031-1041.
- [Chy58] Chynoweth, A. G.: *Ionization rates for electrons and holes in Silicon*. Phys. Rev., Vol. 109 (1958), No. 5, pp. 1537-1540.
- [CMM75] Canali, C.; Majini, G.; Minder, R.; Ottaviani, G.: *Electron and Hole Drift Velocity Measurements in Silicon and Their Empirical Relation to Electric Field and Temperature*. IEEE Trans. Electron Devices, Vol. ED-22 (1975), pp. 1045-1047.
- [CT67] Caughey, D. M.; Thomas, R. E.: *Carrier Mobilities in Silicon Empirically Related to Doping and Field*. In: Proc. IEEE, Vol. 55 (1967), pp. 2192-2193.
- [DL91] Dogan, N. S.; Lozano, E.: *A New Device Model of VDMOSFET for SPICE Simulations*. In: Proc. ISPSD, 1991, pp. 84-88.
- [DMS98] Deboy, G.; März, M.; Stengl, J. -P.; Strack, H.; Tihanyi, J.; Weber, H.: *A new generation of high voltage MOSFETs breaks the limit line of silicon*. In: IEDM Tech. Dig., 1998, pp. 683-685.
- [DS77] Dziewior, J.; and Schmid, W.: *Auger Coefficients for Highly Doped and Highly Excited Silicon*. Appl. Phys. Lett., 31 (1977), pp. 346-348.
- [FJ86] Frank, R.; Janikowski, R.: *Trends in Power IC development*. In: Proc. PCIM, 1986, pp. 26-29.
- [FL82] Fossum, J. G.; Lee, D. S.: *A Physical Model for the Dependence of Carrier Lifetime on Doping Density in Nondegenerate Silicon*. Solid-State Electron., Vol. 25 (1982), No. 8, pp. 741-747.
- [FML83] Fossum, J. G.; Mertens, R. P.; Lee, D. S.; Nijs, J. F.: *Carrier Recombination and Lifetime in Highly Doped silicon*. Solid-State Electron., Vol. 26 (1983), No. 6, pp. 569-576.
- [FOS76] Fossum, J. G.: *Computer-Aided Numerical Analysis of Silicon Solar Cells*. Solid-State Electron., Vol. 19 (1976), pp. 269-277.
- [Fuj97] Fujihira, T.: *Theory of Semiconductor Superjunction Devices*. Jpn. J. Appl. Phys., Vol. 36 (1997), Part I, No. 10, pp. 6254-6262.

-
- [Fuj98] Fujihira, T.; Miyasaka, Y.: *Simulated Superior Performances of Semiconductor Superjunction Devices*. In: Proc. ISPSD, 1998, pp. 423-426.
- [Ful67] Fulop, W.: *Calculation of avalanche breakdown voltage of the silicon p-n junctions*. Solid-State Electron. Vol 10 (1967), pp. 39-43.
- [GH55] Geballe, T. H.; Hull, G. W.: *Seebeck Effect in Silicon*. Physical Review, Vol. 98 (1955), No. 4, pp. 940-947.
- [GH92] Goebel, H.; Hoffmann, K.: *Full dynamic power diode model including temperature behavior for use in circuit simulators*. In: Proc. ISPSD, 1992, pp. 130-135.
- [Gre90] Green, M. A.: *Intrinsic concentration, effective densities of states, and effective mass in Silicon*. J. Appl. Phys., Vol. 67 (1990), No. 6, pp. 2944-2954.
- [GRO67] Grove, A. S.: *Physics and Technology of Semiconductor Devices*. New York, Wiley & Sons, 1967.
- [HH94] Häcker, R.; Hangleiter, A.: *Intrinsic upper limits of the carrier lifetime in silicon*. J. Appl. Phys., Vol. 75 (1994), pp. 7570-7572.
- [HNS79] Huldt, L.; Nilsson, N. G.; Svantesson, K. G.: *The temperature dependence of band-to-band Auger recombination in silicon*. Appl. Phys. Letters, Vol. 35 (1979), No. 10, p. 776.
- [JAY99] Jang, J.; Arnborg, T.; Yu, Z.; Dutton, R. W.: *Circuit Model for Power LDMOS including Quasi-Saturation*. In: Proc. SISPAD, 1999, pp. 15-18.
- [KEN72] Kendall, D. L.: *Solar Cells: Outlook for Improved Efficiency*. Space Science Board, National Academy of Science, National Research Council, Washington D.C., 1972.
- [KF90] Kim, Y.-S.; Fossum, J. G.: *Physical DMOST modeling for high-voltage IC CAD*. IEEE Trans. Electron. Devices, Vol. 37 (1990), No. 3, pp. 797-803.
- [KKC94] Kim, I. J.; Kim, S. D.; Choi, Y. I.; Han, M. K.: *Analytical Expressions for the Three-Dimensional Effect on the Breakdown Voltages of Planar Junctions in Nonpunchthrough and Punchthrough Cases*. IEEE Trans. Electron Devices, Vol. 41 (1994), No. 9, pp. 1661-1665.
- [KKC01] Kim, M. H.; Kim, J. J.; Choi, Y. S.; Jeon, C. K. ; Kim, S. L.; Kang, H. S.; Song, C. S.: *A 650 V rated RESURF-type LDMOS Employing an Internal*

- Clamping Diode for Induced Bulk Breakdown without EPI Layer.* In: Proc. ISPSD, 2001, pp. 347-350.
- [KSG92] Klaassen, D. B. M.; Slotboom, J.W.; de Graaff, H.C.: *Unified apparent bandgap narrowing in n- and p-type.* Silicon Solid-State Electron, Vol. 35 (1992), No.2, pp. 125-129.
- [LDK99] Lorenz, L.; Deboy, G.; Knapp, A.; März, M.: *CoolMOS™ – a new milestone in high voltage power MOS.* In: Proc. ISPSD, 1999, pp. 3-10.
- [LDM98] Lorenz, L.; Deboy, G.; März, M.; Stengl, J.-P.; Bachofner, A.: *Drastic Reduction of On-Resistance with COOLMOS™.* In: Proc. PCIM Europe 5, 1998, pp. 250-258.
- [LH80] Lochmann, W.; Haug, A.: *Phonon-assisted Auger recombination in Si with direct calculation of the overlap integrals.* Solid State Communications, Vol. 35 (1980), pp. 553-556.
- [LLK93] Liu, C.; Lou, K.; Kuo, J. B.: *77 K Versus 300 K Operation: The Quasi-Saturation Behavior of a DMOS Device and Its Fully Analytical Model.* IEEE Trans. Electron. Devices, Vol. 40 (1993), No. 9, pp. 1636-1644.
- [LMH83] Lang, E; Madarasz, F. L.; Hemeger, P. M.: *Temperature dependent density of states effective mass in nonparabolic p-type Silicon.* J. Appl. Phys., Vol. 54 (1983), No. 6, p. 3612.
- [LMS88] Lombardi, C.; Manzini, S.; Saporito, A.; Vazi, M.: *A Physically Based Mobility Model for Numerical Simulation of Nonplanar Devices.* IEEE Trans. on CAD, Vol. 7 (1988), No. 11, pp. 1164-1171.
- [Lud00] Ludikhuizen, A. W.: *A Review of RESURF Technology.* In: Proc. ISPSD, 2000, pp. 11-18.
- [Mar68] De Mari, A.: *An accurate numerical steady-state one-dimensional solution of the p-n junction.* Solid-State Electron, Vol. 11 (1968), pp. 33-58.
- [MCG00] Murari, B.; Contiero, C.; Gariboldi, R.; Sueri, S.; Russo, A.: *Smart Power Technologies Evolution.* In: IEEE Industry Applications Conference, Vol. 1 (2000), pp. 10-19.
- [MSS83] Masetti, G.; Severi, M.; and Solmi, S.: *Modeling of Carrier Mobility against Carrier Concentration in Arsenic-, Phosphorus- and Boron-doped Silicon.* IEEE Trans. Electron Devices, Vol. ED-30 (1983), pp. 764-769.

-
- [Mur03] Murari, B.: *Smart Power Technology evolves to higher levels of complexity*. STMicroelectronics, Application Note AN447, 2003.
- [NHS04] Nassif-Khalil, S. G.; Hou, L. Z.; Salama, C. A. T.: *SJ/RESURF LDMOST*. IEEE Trans. Electron Devices, Vol. 51 (2004), No. 7, pp. 1185-1191.
- [NN01] ISE TCAD Manuals, Integrated System Engineering AG, Release 7.0, Vol. 4a, Zürich, 2001.
- [NUA00] Ng, R.; Udrea, F.; Amaratunga, G.: *An Analytical Model for the 3D-RESURF effect*. Solid-State Electron, Vol. 44 (2000), pp. 1753-1764.
- [OM70] Overstraeten, R. V.; Man, H. D.: *Measurement of the ionization rates in diffused Silicon p-n junctions*. Solid-State Electron, Vol. 13 (1970), pp. 583-608.
- [Pau92] Paul, R.: *Elektronische Halbleiterbauelemente*. Stuttgart, B. G. Teubner, 1992.
- [Pau94] Paul, R.: *MOS-Feldeffekttransistoren*. Berlin, Heidelberg, Springer-Verlag, 1994.
- [PCW67] Prager, H. J.; Chang, K. K. N.; Weisbrod, S.: *High-Power high-efficiency silicon avalanche diodes at ultra high frequencies*. In: Proc. IEEE Lett., Vol. 55 (1967), pp. 586-587.
- [PUR03] Pathirana, G. P. V.; Udrea, F.; Ng, R.; Garner, D. M.; Amaratunga, G. A. J.: *3D-RESURF SOI LDMOSFET For RF Power Amplifiers*. In: Proc. ISPSD, 2003, pp. 278-281.
- [Ram93] Ramshaw, R. S.: *Power Electronics Semiconductor Switches*. London, Second Edition, Chapman & Hall, 1993.
- [RM91] Ruge, I.; Mader, H.: *Halbleiter-Technologie*. Berlin, Heidelberg, Springer-Verlag, 1991.
- [SBD99] Shenoy, P. M.; Bhalla, A.; Dolny, G. M.: *Analysis of the Effect of Charge Imbalance on the Static and Dynamic Characteristics of the Super Junction MOSFET*. In: Proc. ISPSD, 1999, pp. 99-102.
- [Sch55] Schrieffer, J. R.: *Effective Carrier Mobility in Surface-Space Charge Layers*. Phys. Rev., Vol. 97 (1955), pp. 641-646.

-
- [Sch98] Schenk, A.: *Advanced Physical Models for Silicon Device Simulation*. Vienna, Springer-Verlag, 1998.
- [Sch05] Schmitt, M.: *Optimierung dynamischer elektrischer Eigenschaften von Kompensationsbauelementen*. Dissertation, Technische Universität München, 2005.
- [SCH96] Schröder, D.; *Elektrische Antriebe 3: Leistungselektronische Bauelemente*. Berlin, Heidelberg, Springer-Verlag, 1996.
- [Sel84] Selberherr, S.: *Analysis and Simulation of Semiconductor Devices*. Berlin, Springer-Verlag, 1984.
- [SFM00] Saggio, M.; Fagone, D.; Musumeci, S.: MDmesh: *Innovative Technology for High Voltage Power MOSFETs*. In: Proc. ISPSD, 2000, pp. 65-68.
- [Skv02] Skvarenina, T. L.: *The Power Electronics Handbook*. Industrial Electronics Series, CRC Press LLC, 2002.
- [Sno88] Snowden, C. M.: *Semiconductor Device Modelling*. London, Peter Peregrinus Ltd., 1988.
- [SR83-I] Schwarz S. A.; Russek, S. E.: *Semi-Empirical Equations for Electron Velocity in Silicon; Part I-Bulk*. IEEE Trans. Electron Devices, Vol. 30 (1983), No. 12, pp. 1629-1633.
- [SR83-II] Schwarz, S. A.; Russek, S. E.: *Semi-Empirical Equations for Electron Velocity in Silicon; Part II-MOS Inversion Layer*. IEEE Trans. Electron Devices, Vol. 30 (1983), No. 12, pp. 1634-1639.
- [SSP82] Schütz, A.; Selberherr, S.; Potzl, H. W.: *Analysis of Breakdown Phenomena in MOSFETs*. IEEE Trans. Comput.-Aided Des. Integr. Circuits Syst., Vol. CAD-1 (1982), No. 2, pp. 77-85.
- [SVC70] Sigg, H. I.; Vendelin, G. D.; Cauge, T. P.; Kocsis, I.: *DMOD Transistor for Microwave Application*. IEEE Trans. Electron Devices, Vol. ED-19 (1970), pp. 45-53.
- [Sze81] Sze, S. M.: *Physics of Semiconductor Devices*. New York, Wiley, 1981.
- [THS71] Tarui, Y.; Hayashi, Y.; Sekigawa, T.: *Diffusion Self-Aligned Enhance-Depletion MOS-IC*. In: Proc. 2nd Conf. Solid State Devices, Suppl. J. Jpn. Soc. Appl. Phys. 40 (1971), p. 193.

-
- [TN98] Taur, Y.; Ning, T. H.: *Fundamentals of Modern VLSI Devices*. Cambridge, Cambridge University Press, 1998.
- [TO83] Tyagi, M. S.; van Overstraeten, R.: *Minority carrier recombination in heavily-doped Silicon*. *Solid-State Electronics*, Vol. 26 (1983), No. 6, pp. 577-597.
- [UPM98] Udrea, F.; Popescu, A.; Milne, W.: *The 3D RESURF junction*. In: *Proc. CAS*, Vol. 1 (1998), pp. 141-144.
- [Uye03] Uyemura, J. P.: *CMOS Logic Circuit Design*. Boston, Kluwer Publishers, 2003.
- [Wil92] Williams, B. W.: *Power Electronics: Devices, Drivers, Applications and Passive Components*. Second Edition, New York, Mc-Graw-Hill, Inc., 1992.
- [Win93] Winternheimer, S.: *Modellbildung von Leistungsdiode und Leistungs-MOS-FET zur Anwendung in einem Netzwerksimulationsprogramm*. Dissertation, Technische Hochschule Darmstadt, 1993.
- [YWY01] Yang, Y.; Woo, Y. Y.; Yi, J.; Kim, B.: *A New Empirical Large-Signal Model of Si LDMOSFETs for High-Power Amplifier Design*. *IEEE Trans. Microwave Theory Tech.*, Vol. 49 (2001), No. 9, pp. 1626-1633.

Notationsverzeichnis

Physikalische Konstanten

Elementarladung	q	$1,602 \cdot 10^{-19}$	[C]
Dielektrizitätskonstante von Silizium	ϵ_{Si}	$1,03 \cdot 10^{-12}$	[F/cm]
Dielektrizitätskonstante von Oxid	ϵ_{ox}	$3,45 \cdot 10^{-13}$	[F/cm]
Ruhemasse der Elektronen	m_0	$9,1 \cdot 10^{-31}$	[kg]
Planksche Konstante	h	$6,625 \cdot 10^{-34}$	[Js]
Boltzmann-Konstante	k	$1,38 \cdot 10^{-23}$	[JK ⁻¹]
Eigenleitungsichte ($T = 300$ K)	n_i	$1,0 \cdot 10^{10}$	[cm ⁻³]
Temperaturspannung ($T = 300$ K)	$U_T = kT/q$	25,86	[mV]

Physikalische Größen

a_i	Feldabhängiger Faktor der Stoßionisationskoeffizienten
A	Aktive Chipfläche
A_D	Überlappungsfläche der Gateelektrode über die Driftzone
A_{DIO}	Diodenfläche
A_{Drift}	Ortsabhängige Durchtrittsfläche
A_K	Überlappungsfläche zwischen dem Gate und dem Kanal
A_{ML}	Metallurgische Grenzfläche
A_{n^+}	Überlappungsfläche zwischen dem Gate und der n ⁺ -Source
A_O	Überlappungsfläche zwischen dem Gate und dem Sourcemetall
b	Breite der Driftzone, Zellabstand
b_i	Feldabhängiger Faktor der Stoßionisationskoeffizienten
B	Faktor zur Beschreibung des Einflusses der Ladungsträgerbeweglichkeit
c_L	Wärmekapazität
C	Fulop-Stoßionisationskoeffizient

C_{ds}	Drain-Source-Kapazität
C'_{ds0}	Flächenbezogene Drain-Source-Kapazität bei $U_{Ds} = 0$
C_{gd}	Gate-Drain-Kapazität
C_{gs}	Gate-Source-Kapazität
C_{iss}	Eingangskapazität
C_K	MOS-Kapazität zwischen dem Gate und dem Kanal
C_n	Auger-Koeffizient für Elektronen
C_{n^+}	Überlappungskapazität zwischen dem Gate und der n^+ -Source
C_O	Kapazität aus der Schichtenfolge Polygate-Oxid-Sourcemetall
C_{oss}	Ausgangskapazität
C_{ox}	Oxidkapazität
C'_{ox}	Oxidkapazität pro Flächeneinheit
C_p	Auger-Koeffizient für Löcher
C_{rss}	Rückwirkungskapazität
C_{RLZ}	Raumladungszonen-Kapazität
d	Driftzonentiefe
d_{ox}	Gateoxiddicke
d_O	Dicke des Oxids zwischen Gate und Source-Metallisierung
D_n	Diffusionskonstante für Elektronen
D_p	Diffusionskonstante für Löcher
E	Elektrische Feldstärke
\vec{E}	Elektrisches Feld
E_{\parallel}	Elektrische Feldstärke parallel zur Trägerstromrichtung
E_{\perp}	Elektrische Transversalfeldstärke
E_{av}	Avalancheenergie
E_C	Leitungsbandkante
E_F	Fermi-Energie
E_{Fi}	Intrinsische Fermi-Energie
E_{Fn}	Quasi-Fermi-Energie der Elektronen
E_{Fp}	Quasi-Fermi-Energie der Löcher
E_g	Bandlücke
E_{krit}	Kritische Feldstärke
E_{krit}^{ox}	Kritische Durchbruchfeldstärke von SiO_2
E_{krit}^Z	Kritische Feldstärke beim zylindrischen Durchbruch
E_{max}	Maximale Feldstärke
E_{ref}	Referenzfeld
E_{Sat}	Sättigungsfeldstärke
E_T	Energieniveau der tiefen Störstellen
E_V	Valenzbandkante
E_x	Längsfeldstärke
E_y	Vertikalfeldstärke
f	Schaltfrequenz

g_{fs}	Vorwärtssteilheit
G^{\parallel}	Avalanche generationsrate
I	Strom
I_{av}	Avalanchestrom
I_D	Drainstrom
I_{Dmax}	Maximal zulässiger Dauer-Drainstrom
$I_{D(peak)max}$	Zulässiger Spitzenwert des Drainstromes
I_{DQSat}	Drain-Quasisättigungsstrom
I_{DSat}	Drainsättigungsstrom
I_F	Diodenstrom, Durchlassstrom
I_{gd}	Gate-Drain-Strom
I_{gs}	Gate-Source-Strom
I_G	Gatestrom
I_L	Laststrom durch Induktivität
I_r	Rückstrom
I_{rrm}	Spitzenwert des Rückstromes
I_S	Sättigungswert des Rückstromes
\vec{J}	Gesamtstromdichte
\vec{J}_n	Elektronenstromdichte
$\vec{J}_{n,Diff}$	Diffusionsstromdichte von Elektronen
$\vec{J}_{n,Drift}$	Driftstromdichte von Elektronen
\vec{J}_p	Löcherstromdichte
$\vec{J}_{p,Diff}$	Diffusionsstromdichte von Löchern
$\vec{J}_{p,Drift}$	Driftstromdichte von Löchern
K	Krümmungsfaktor, Temperaturunabhängiger Arbeitspunkt
K_{ND}	Faktor zur Beschreibung des Dotierungseinflusses
l_s	Säulenabstand
L	Induktive Last, Länge des Bauelements
L_a	Ambipolare Diffusionslänge
L_{char}	Charakteristische Länge
L_i	Induktive Last beim Diode-Recovery-Stress-Test
L_K	Kanallänge
L_s	Parasitäre Streuinduktivität
m_n	Effektive Masse der Elektronen
m_p	Effektive Masse der Löcher
N	Gesamtdotierung
N_A	Akzeptorkonzentration, Säulendotierungskonzentration
N_A^{max}	Kompensierte bzw. optimale Akzeptorkonzentration
N_C	Effektive Zustandsdichte des Leitungsbandes
N_D	Donatorkonzentration, Driftzonendotierungskonzentration
N_D^{max}	Kompensierte bzw. optimale Donatorkonzentration

N_K	Kanaldotierungskonzentration
N_{\max}	Maximalkonzentration
N_n^{ref}	Materialabhängige Dotierungskonstante für Elektronen
N_0	Fitdotierung
N_p^{ref}	Materialabhängige Dotierungskonstante für Löcher
N_S	Substratkonzentration
N_V	Effektive Zustandsdichte des Valenzbandes
N_{\square}^{RESURF}	Optimale Dosis bei einer RESURF-Struktur
ΔN_A	Kompensationsgrad bezüglich Akzeptoren
ΔN_D	Kompensationsgrad bezüglich Donatoren
n	Konzentration der frei beweglichen Elektronen
n_i	Intrinsische Ladungsdichte des Eigenhalbleiters
$n_{i,eff}$	Effektive intrinsische Ladungsdichte
\vec{n}	Normaleneinheitsvektor
p	Konzentration der frei beweglichen Löcher
P	Mittlere Verlustleistung
P_n	Absolute Thermoleistung für Elektronen
P_{off}	Mittlere Ausschaltverlustleistung
P_{on}	Mittlere Einschaltverlustleistung
P_p	Absolute Thermoleistung für Löcher
P_V	Maximal zulässige Verlustleistung bzw. zulässige Impulsspitzenleistung
Q	Ladung
Q_f	Restladung beim Diode-Recovery-Stress-Test
Q_g	Gate-Ladung
Q_{gd}	Miller-Ladung
Q_{gs}	Gate-Source-Ladung
Q_{ox}	Oxidladung
Q_{rr}	Diffusionsladung, Sperrverzögerungsladung
Q_s	Nachlaufladung
r_b	Radius des gekrümmten pn-Übergangs
r_{krit}	Kritischer Radius der gekrümmten Raumladungszone
r_m	Lateraler Krümmungsradius
\vec{r}	Ortsvektor
\vec{r}_i	Ortsvektor des nächsten Punktes zur Si-SiO ₂ -Grenzfläche
R	Rekombinationsrate, Radius
R^A	Auger-Rekombinationsrate
R_d	Radiale Ausdehnung der Raumladungszone
R_{DS}	Widerstand der Drain-Source-Strecke
$R_{DS(on)}$	Durchlass- bzw. Einschaltwiderstand
R_{BE}	Basis-Emitter-Widerstand
R_G	Gatewiderstand
R_{krit}	Radiale Ausdehnung der Raumladungszone beim Durchbruch

R_K	Kanalwiderstand
R_L	Ohmscher Lastwiderstand
R_m	Öffnungsradius der Lackmaske
R_p	Projizierte Reichweite der Ionen
R_S	Säulenradius
R^{SRH}	Rekombinationsrate des Shockley-Read-Hall-Prozesses
R_{th}	Thermischer Widerstand
ΔR_p	Standardabweichung der projizierten Reichweite
S	Softnessfaktor
t	Zeit
t_{av}	Avalanchezeit
$t_{d(off)}$	Ausschaltverzögerungszeit
$t_{d(on)}$	Einschaltverzögerungszeit
t_f	Fallzeit, Rückstromfallzeit
t_{off}	Gesamtausschaltzeit
t_{on}	Gesamteinschaltzeit
t_p	Impulsdauer
t_r	Anstiegszeit
t_{rr}	Sperrerholzeit
t_s	Speicherzeit, Spannungsnachlaufzeit
T	Absolute Temperatur
T_a	Umgebungstemperatur
T_j	Sperrschichttemperatur
T_{jmax}	Maximale Sperrschichttemperatur
U	Angelegte Spannung
U_A	Ausräumspannung
U_{BR}	Durchbruchspannung
U_{BRCEO}	Kollektor-Emitter-Durchbruchspannung bei offener Basis
U_{BRCBO}	Kollektor-Basis-Durchbruchspannung bei offenem Emitter
$U_{(BR)DSS}$	Drain-Source-Durchbruchspannung
$U_{(BR)DSS}^K$	Durchbruchspannung des einseitig abrupten zylindrischen pn-Überganges
$U_{(BR)DSS}^P$	Durchbruchspannung des beidseitig abrupten planparallelen pn-Überganges
$U_{(BR)DSS}^Z$	Durchbruchspannung des beidseitig abrupten zylindrischen pn-Überganges
$U_{(BR)eff}$	Effektive Durchbruchspannung im Avalanchebetrieb
U_{DD}	Betriebs- bzw. Versorgungsspannung
U_{DIO}	Diodenspannung, Diffusionsspannung
U_{DS}	Drain-Source-Spannung
U_{DSat}	Sättigungsspannung
$U_{DS(on)}$	Drain-Source-Spannung im eingeschalteten Zustand
U_F	Vorwärtsspannung der Diode

U_{FB}^n	Flachbandspannung des n ⁺ -Gate/n-Substrat-Systems
U_{FB}^p	Flachbandspannung des n ⁺ -Gate/p-Substrat-Systems
U_G	Gate-Steuerspannung
U_{GS}	Gate-Source-Spannung
U'_{GS}	Gate-Source-Spannung bei der Drainstromsättigung
$U_{GS(TH)}$	Einsatzspannung
U_L	Induzierte Spannung
U_{rm}	Spitzenwert der Diodenspannung
U_R	Sperrspannung der Rückwärtsdiode
v_{Drift}	Driftgeschwindigkeit
v_n	Driftgeschwindigkeit von Elektronen
v_p	Driftgeschwindigkeit von Löchern
$v_{Sat,n}$	Sättigungsgeschwindigkeit von Elektronen
$v_{Sat,p}$	Sättigungsgeschwindigkeit von Löchern
w_M	Halbe Weite des neutralen n-Gebietes
W	Weite der Raumladungszone
y_D	Eindringtiefe der Raumladungszone in der Driftzone
Z_{th}	Transiente Wärmeimpedanz
α	Stoßionisationskoeffizient
α_R	Temperaturkoeffizient des Durchlasswiderstandes
β	Temperaturabhängiger Faktor der Hochfeldbeweglichkeit
γ	Temperaturabhängiger Faktor der Stoßionisationskoeffizienten
Θ	Fitparameter der Beweglichkeitsdegradation
κ	Wärmeleitfähigkeit
λ	Thermische Oberflächenleitfähigkeit
μ_{ac}	Beweglichkeit infolge akustischer Phononenstreuung an der Grenzfläche
μ_b	Beweglichkeit im Volumenanteil
μ_n	Mittlere Beweglichkeit der Elektronen
μ_p	Mittlere Beweglichkeit der Löcher
μ_0	Niederfeldbeweglichkeit der Elektronen
μ_{sr}	Beweglichkeit aufgrund der Streuungen durch Oberflächenrauigkeit
ρ_s	Spezifischer Säulenwiderstand
τ_G	Gate-Zeitkonstante
τ_n	Effektive Elektronen-Lebensdauer
τ_{n0}	Empirische Konstante für Elektronen-Lebensdauer
τ_M	Ladungsträgerlebensdauer im neutralen n-Gebiet
τ_p	Effektive Löcher-Lebensdauer
τ_{p0}	Empirische Konstante für Löcher-Lebensdauer
Φ_{MS}	Austrittsarbeit Metall/intrinsischer Halbleiter
Φ_{MS}^n	Austrittsarbeit n ⁺ -Gatepoly/n-Silizium
Φ_{MS}^p	Austrittsarbeit n ⁺ -Gatepoly/p-Silizium

φ_n	Elektrostatistisches Potential der Elektronen
Φ_n	Quasi-Fermi-Potential der Elektronen
Φ_p	Quasi-Fermi-Potential der Löcher
φ_p	Elektrostatistisches Potential der Löcher
ψ	Elektrostatistisches Potential
ψ_B	Bulk-Fermi-Potential
ψ_{ox}	Elektrostatistisches Potential im Oxid
$\psi_{S,AKK}$	Elektrostatistisches Oberflächenpotential in Akkumulation
$\psi_{S,INV}$	Elektrostatistisches Oberflächenpotential in starker Inversion
ψ_{Si}	Elektrostatistisches Potential in Silizium

Abkürzungen

<i>DMOS</i>	Double Diffused MOS
<i>DRS</i>	Diode Recovery Stress
<i>FET</i>	Field Effect Transistor
<i>FOM</i>	Figure of Merit
<i>LDMOS</i>	Lateral Double Diffused MOS
<i>MOS</i>	Metal-Oxide-Semiconductor
<i>MOSFET</i>	Metal-Oxide-Semiconductor FET
<i>RESURF</i>	Reduced Surface Field
<i>SJ</i>	Superjunction
<i>SOA</i>	Safe Operating Area
<i>SOI</i>	Silicon on Insulator
<i>TRAPATT</i>	Trapped Plasma Avalanche Triggered Transit
<i>UIIS</i>	Unclamped Inductive Switching

