

Architekturen für Abtast-Halte-Schaltungen im Mikrowellenbereich

Dipl.-Inf. Univ. Michael Streifinger

Fachgebiet Höchstfrequenztechnik, Technische Universität München

Architekturen für Abtast-Halte-Schaltungen im Mikrowellenbereich

Fachgebiet Höchstfrequenztechnik, Technische Universität München

Architekturen für Abtast-Halte-Schaltungen im Mikrowellenbereich

Dipl.-Inf. Univ. Michael Streifinger

Vollständiger Abdruck der von der Fakultät für Elektrotechnik und Informationstechnik der Technischen Universität München zur Erlangung des Akademischen Grades eines

Doktors der Naturwissenschaften

genehmigten Dissertation.

Vorsitzender:

Univ. Prof. Dr. sc. techn. (ETH) Andreas Herkersdorf

Prüfer der Dissertation:

1. Univ. Prof. Dr.-Ing. Dr.-Ing. habil. Erwin Biebl

2. Univ. Prof. Dr.-Ing. Eike Jessen, em.

Die Dissertation wurde am 10.12.2003 bei der Technischen Universität München eingereicht und durch die Fakultät für Elektrotechnik und Informationstechnik am 26.04.2004 angenommen.

Danksagung

Die vorliegende Arbeit stellt das Ergebnis meiner Tätigkeit am Fachgebiet Höchsthfrequenztechnik der Technischen Universität München dar.

Mein besonders herzlicher Dank gilt Prof. Dr. E. Biebl, der mir durch seine fachliche Kompetenz, seinen menschlichen Führungsstil und seine Motivationskraft diese Arbeit ermöglicht hat. Auch für die Ermöglichung von Konferenzreisen und sein stets offenes Ohr für viele meiner Anliegen möchte ich mich bedanken.

Diese Arbeit entstand in Kooperation mit der Universität Ulm, ATMEL Ulm, des Ferdinand-Braun-Instituts Berlin und der Technischen Universität München unter der Leitung des DaimlerChrysler Forschungszentrums Ulm. Bei allen Projektpartnern möchte ich mich für die gute Zusammenarbeit bedanken. Besonders Dr. Johann-Friedrich Luy, Dr. Thomas Müller und Dipl.-Ing. Kai-Boris Schad sollen hier für zahlreiche Anregungen und die Unterstützung bei diversen Fragestellungen dankend erwähnt werden. Mein Dank gilt auch Dr. Karl Strohm für die Bereitstellung zahlreicher Schottky-Dioden.

Spezieller Dank kommt auch meinen Kollegen zu. Vor allem Dipl.-Ing. Arnold Herb, der mich beim Einstieg in die Hochfrequenztechnik stark unterstützte. Auch Dipl.-Ing. Magnus Olbrich, Dipl.-Ing. Mark Kühn, Dipl.-Ing. Florian Helmbrecht und Dipl.-Ing. Florian Gerbl möchte ich an dieser Stelle herzlich für die fortwährende Unterstützung, die stete Hilfsbereitschaft bei Problemen aller Art und das angenehme Arbeitsklima danken.

An dieser Stelle danke ich auch allen Diplomanden und Werkstudenten, ohne die die vorliegende Arbeit nicht in dieser Form möglich gewesen wäre. Besonders erwähnen möchte ich Dipl.-Ing. Bernd Offenbeck, der im Rahmen einer Diplomarbeit umfangreiche Untersuchungen zu Folge-Halte-Schaltungen anstellte.

Auch Frau Astrid Habel, die mir als Technologin stets unterstützend zur Seite stand, möchte ich an dieser Stelle danken. Weiterer Dank gilt allen Mitarbeitern der Feinmechanischen Werkstatt für die schnelle und präzise Anfertigung mechanischer Teile.

Herzlichen Dank vor allem meinen Eltern und meiner Lebensgefährtin Sandra, die mir dies alles ermöglicht und mich stets in meinem Promotionsvorhaben bestärkt haben.

INHALTSVERZEICHNIS

1. Einführung	1
1.1 Motivation	2
1.2 Stand der Technik	3
1.2.1 Kommerzielle Analog-Digital-Wandler	6
1.2.2 Experimentelle Analog-Digital-Wandler	6
1.3 Ziele der Arbeit	11
2. Software-konfigurierbare Empfänger	15
2.1 Konzept	15
2.1.1 Eigenschaften und Vorteile	16
2.1.2 Design-Grundlagen	16
2.1.2.1 Antennen	17
2.1.2.2 Bandpassfilter	18
2.1.2.3 Eingangsverstärker	18
2.1.2.4 Analog-Digital-Wandler	18
2.1.2.5 Dynamik	18
2.1.2.6 Digitale Signalverarbeitung	19
2.2 HF Architekturen	19
2.2.1 Abgestimmter HF-Empfänger	20
2.2.2 Homodyn Empfänger	20
2.2.3 Heterodyn Empfänger	21
2.2.4 Störeinflüsse im HF-Frontend	21
2.2.4.1 Rauschen	23
2.2.4.2 Störsignale	24
2.3 AD-Wandlung	25
2.3.1 Idealer Analog-Digital-Wandler	26
2.3.2 Realer ADC	31
2.3.3 Störeinflüsse	34
2.3.4 Gebräuchliche Architekturen	36
2.3.4.1 Parallele Strukturen	36
2.3.4.2 Segmentierte Strukturen	38
2.3.4.3 Iterative Strukturen	40
2.3.4.4 $\Sigma\Delta$ Strukturen	41

3.	<i>Systemkonzept eines direkt-digitalisierenden Empfängers</i>	47
3.1	Mischung / Abtastung	49
3.2	Folge-Halte Schaltungen, Abtast-Halte Schaltungen	51
3.2.1	Grundlagen	51
3.2.2	Mögliche Architekturen	52
3.3	Abtastrate	54
3.3.1	Breitbandige Überabtastung	55
3.3.2	Bandbegrenzte Überabtastung	55
3.4	Resultierende Architektur	57
3.4.1	Architekturbeschreibung	57
3.4.2	Anforderung an die Komponenten	57
3.4.3	Generierung des Taktsignals	64
3.5	ADS Modellierung	65
3.5.1	ADS - Harmonic Balance	65
3.5.2	Diodenmodell	68
3.5.3	Balun	70
3.6	Konzeptverifikation mit Hilfe von Matlab-Modellen	71
3.6.1	Ideale Abtastung	71
3.6.2	Modellierung der Haltekapazität	73
3.6.3	Modellierung der Diodenbrücke	75
3.6.4	Modellierung der Bandbegrenzung	77
3.6.5	Diodenschalter als Sampling Schalter	79
4.	<i>Aufbau eines direkt digitalisierenden Empfängers</i>	83
4.1	Messtechnik	83
4.1.1	Zeitbereichsmessung	83
4.1.2	Spektrale Messung	84
4.2	Aufbau und Messung des Diodenschalters	84
4.3	Aufbau eines Demonstrators für 2,4 GHz	86
4.3.1	Aufbautechnik	86
4.3.2	Simulation und Messergebnisse	88
4.4	Aufbau eines Demonstrators für 24 GHz	90
4.4.1	Aufbautechnik	90
4.4.2	Simulation und Messergebnisse	90
5.	<i>Zusammenfassung</i>	95
	<i>Anhang</i>	97
	<i>A. Abkürzungen</i>	99

1. EINFÜHRUNG

Die Nutzung von elektromagnetischen Wellen für die Kommunikationstechnik, aber auch für viele andere Bereiche des täglichen Lebens, gewinnt seit Anfang des 20. Jahrhunderts immer mehr an Bedeutung [1]. Einige Beispiele für das breit gefächerte Anwendungsspektrum hochfrequenter Wellen sollen in Tabelle 1.1 gegeben werden [2].

- Nachrichtentechnik
 - Rundfunktechnik (Radio, Fernsehen)
 - Mobilfunk (GSM, UMTS, Militärfunk, Rettungswesen)
 - WLAN
 - Bluetooth
 - Funkortung (Radar, Distanzmessgeräte)
 - Navigationshilfen (Funkfeuer, GPS, ILS)
- Thermische Anwendung
 - Mikrowellenöfen
 - Industrielle Trockenöfen
- Mikrowellenmesstechnik
 - Messgeräte für den gesamten HF- und Mikrowellenbereich
 - Feuchtigkeits- und Distanzmessgeräte
- Hochfrequenztechnik in Physik und Chemie
 - Magnetische Kernresonanz \Rightarrow Kernspintomographie
 - Elektronenspinresonanz
- Radioastronomie
 - Galaxien strahlen nicht nur sichtbares Licht ab, sondern auch ein kontinuierliches Rauschsignal im GHz-Bereich. Diese Strahlung wird ebenfalls zur Untersuchung des Weltraums eingesetzt.

Tab. 1.1: Technische Anwendungen hochfrequenter elektromagnetischer Wellen. [2]

Speziell in der Automobilindustrie wird derzeit viel Energie auf die Entwicklung von Kommunikations-, Sensor- und Signalverarbeitungssystemen verwendet. Dabei kommen HF-Frontends in zwei wesentlichen Bereichen zum Einsatz: Radarsysteme [3][4] sollen die Verkehrssicherheit verbessern, indem sie den Raum im und um das Fahrzeug überwachen. Sie dienen so-

wohl der Kollisionsvermeidung, als auch der -früherkennung und ermöglichen es dem Fahrzeug, eventuell nötige Maßnahmen einzuleiten, wie zum Beispiel das Auslösen der Airbags, das Aufklappen / Ausfahren eines Überrollbügels oder auch einfach nur den Fahrer zu warnen. Ferner können solche Radarsensoren auch zur Überwachung des Innenraums, beispielsweise als Diebstahlsicherung Verwendung finden. Erste Radarsysteme sind bereits in Oberklassefahrzeugen als Sonderausstattung erhältlich.

Die zweite Gruppe der HF-Systeme umfasst alle Systeme, die im weitesten Sinne mit Kommunikation zu tun haben. Sie dienen weniger der Verkehrssicherheit als vielmehr dem Fahrkomfort. Wichtige Errungenschaften hierbei sind Telefonie, Navigationssysteme, sowie natürlich Radio- und TV-Empfänger.

1.1 Motivation

Die Empfänger vieler Sensor- und Kommunikationssysteme, beispielsweise in Fahrzeugen, aber auch in mobilen Geräten wie Handys, GPS-Geräten oder PDAs, basieren auf einem ähnlichen Funktionsprinzip, das in Abbildung 1.1 vereinfacht dargestellt ist.

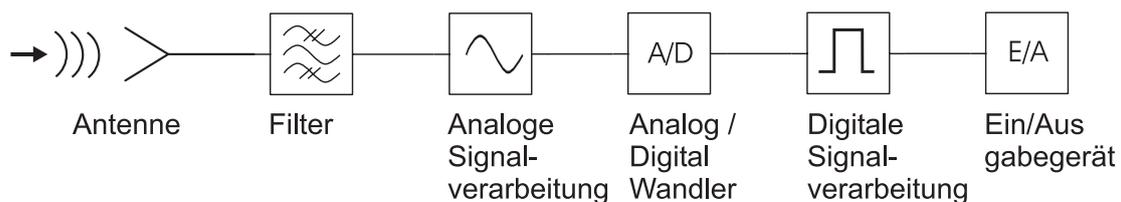


Abb. 1.1: Vereinfachtes Blockschaltbild eines konventionellen Empfängers

Da jedes Gerät bisher eine völlig eigene Hardware besitzt, addieren sich Gewicht, Stromverbrauch und Platzbedarf aller Einzelgeräte. Die Verwendung eines Software konfigurierbaren Empfängers löst diese Probleme.

Wenn man ein Empfänger Frontend annimmt, das breitbandig genug ist, um den Anforderungen der verschiedenen Dienste¹ gerecht zu werden, kann damit das gesamte Spektrum der gesendeten Signale breitbandig mit einem einzigen Frontend empfangen und dann im digitalen Teil des Empfängers die gewünschten Dienste heraus gefiltert und deren Informationen zur Verfügung gestellt werden.

Selbst, wenn man in der Praxis verschiedene Geräte noch mit getrennter Hardware realisieren möchte, um beispielsweise die Ausfallsicherheit zu erhöhen oder um einfach logisch getrennte Baugruppen auch physikalisch zu trennen, so können doch immerhin die Entwicklungskosten für verschiedene Empfänger-Typen durch die Verwendung einer universellen Hardware reduziert werden. Dieser Faktor ist in der Regel nicht zu vernachlässigen, da das Empfängerdesign häufig mit umfangreichen Abstimmungsarbeiten einhergeht wodurch enorme Personalkosten entstehen. Eine weitere Einsparung wird erreicht, da die Zeit bis zur Produkteinführung erheblich verkürzt

¹ Dienste im Sinne dieser Arbeit sind Funk-Services wie GSM, GPS, Rundfunk, WLAN, ...

wird. Außerdem kann die Reduzierung der nötigen Baugruppen nicht nur Entwicklungs- und Produktionskosten einsparen, sondern auch Wartungsarbeiten wesentlich einfacher und kostengünstiger gestalten.

Die Kombination verschiedener Dienste findet nicht nur im Automobilssektor Anwendung, auch tragbare Geräte, wie kombinierte GPS / GSM - Empfänger [5] oder GSM/WLAN - Empfänger [6] sind vorstellbar. Hier sind vor allem Gewicht, Größe und Stromverbrauch wesentliche Parameter, die den kommerziellen Erfolg beeinflussen.

Ein breitbandiger direkt digitalisierender Empfänger läßt sich als einfaches Blockschaltbild, wie in Abbildung 1.2 gezeigt, darstellen [7]. Dabei ist in dem HF-Frontend der Empfänger und der Digital-Analog-Wandler enthalten. Die Frequenzbewertung übernimmt die Filterung der empfangenen Frequenzen, so dass nur die gewünschten Informationen an die Auswertungseinheit übergeben werden. Anschließend werden die Informationen digital weiterverarbeitet und in einem geeigneten Format dargestellt.

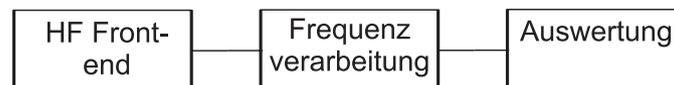


Abb. 1.2: Die drei Funktionsblöcke eines digitalen Breitband-Empfängers [7]

Durch die direkte Digitalisierung des empfangenen Signals gewinnt man alle Vorteile der digitalen Signalverarbeitung. Diese bestehen vor allem aus der großen Stabilität gegenüber Störeinflüssen, einer guten Reproduzierbarkeit der zu verarbeitenden Daten und der Möglichkeit, den Großteil der Systemkonfiguration durch geeignete Software zu steuern [8].

1.2 Stand der Technik

Derzeit werden Software Radios nahezu ausschließlich in Basisstationen von Mobilfunkanbietern eingesetzt, da die verwendete Technik noch zu teuer für die relativ günstigen mobilen Geräte ist. Außerdem haben Software gesteuerte Empfänger einen wesentlich höheren Stromverbrauch als konventionelle Empfänger, auf Grund der nötigen sehr schnellen digitalen Signalverarbeitung. In Basisstationen ist die Energieversorgung unkritisch, im Vergleich zu den mobilen Geräten, da sie ja nicht batterieabhängig sind.

Wenn man so will, beinhalten Dualband- oder Triband-Handys ein modales Software Radio. Dabei sind zwei oder drei getrennte Empfänger in Hardware realisiert und die Software entscheidet, welcher Dienst gerade empfangen werden soll und startet den entsprechenden Empfänger.

Bis sich das Software Radio Konzept allerdings großflächig durchsetzt, wird laut einer Analyse von [9] noch einige Zeit vergehen, da die marktführenden Firmen auf dem Kommunikationssektor diese Technologie momentan nur widerwillig einsetzen und für den Massenmarkt mehr auf konventionelle Konzepte vertrauen. Trotzdem forschen diese Firmen auch in diese Richtung,

da die Nutzung mehrerer verschiedener Funkdienste bereits in der nächsten Generation von Mobiltelefonen oder PDAs eingesetzt werden soll [10].

Da Software-konfigurierbare Empfänger eine zukunftsweisende Technologie sind, wurde das SDR-Forum (www.sdrforum.org) als industrielle Organisation gegründet, das sich zur Aufgabe gemacht hat, die Weiterentwicklung und Verbreitung von Software-basierten Empfängern voranzutreiben und über den Stand der Technik zu informieren.

Die Schlüsselkomponente eines direkt digitalisierenden Empfängers ist der Analog-Digital-Wandler. Je Leistungsfähiger dieser Wandler hinsichtlich der Abtastrate ist, umso geringer werden die Forderungen an die voraus gehende Frequenzumsetzung, die dem Nutzsignal weitere Störungen hinzufügt. Daher gewinnt die Leistungsfähigkeit aktueller AD-Wandler für die Entwicklung von HF-Empfängern zunehmend an Bedeutung.

Kenngößen, die die Leistungsfähigkeit von Analog-Digital-Konvertern beschreiben sind die Bitanzahl und damit die Auflösung, der Dynamikbereich, in dem keine Störungen auftreten (engl. spurious free dynamic range, SFDR), der Signal-Rausch-Abstand (engl. signal-to-noise ratio, SNR) und die Leistungsaufnahme.

Wenn man die aktuelle Entwicklung von AD-Wandlern betrachtet und die Auflösung gegen die Abtastrate aufträgt (Abbildung 1.3), erkennt man, dass in etwa bei jeder Verdopplung der Abtastrate ein Bit an Auflösung verloren geht. Ursache für diesen Effekt ist eine Unsicherheit im Zeitabstand der Abtastimpulse (sampling aperture jitter), wodurch die Abtastung nicht mit konstanten Zeitabständen durchgeführt wird. Die maximal mögliche Abtastrate wird wiederum begrenzt durch die Eigenschaften des Komparators, der eine gewisse Zeit benötigt, um eine zuverlässige Entscheidung zu treffen.

Um verschiedene Typen von AD-Konvertern miteinander vergleichen zu können, werden einige Einheiten herangezogen, die im Abschnitt 2.3 noch einmal näher erläutert werden. Das Signal-Rausch-Verhältnis ist ein weit verbreitetes Maß in Kommunikationssystemen.

$$SNR = \frac{\text{Leistung des Eingangssignals}}{\text{Leistung des Rauschens im betrachteten Band}} \quad (1.1)$$

Für ein sinusförmiges Eingangssignal und einen idealen Konverter gilt:

$$SNR = 6,02b + 1,76 \text{ dB} \quad (1.2)$$

b : Anzahl der Bits des Konverters.

Da das Rauschen in einem realen Konverter den gleichen Einfluss hat, wie eine Reduktion der Bitanzahl in einem idealen Konverter, kann man diese Bitanzahl angeben als

$$SNR_{bits} = \frac{(SNR[\text{dB}] - 1,76)}{6,02} \quad (1.3)$$

Bei Betrachtung derzeit aktueller, kommerziell erhältlicher und experimenteller AD-Wandler, stellt sich heraus, dass unabhängig von der Abtastrate gilt

$$\frac{b}{SNR_{bits}} \approx 1,5 \quad (1.4)$$

Als Maßstab für die Leistungsfähigkeit von AD-Konvertern wird

$$L = 2^{SNR_{bits}} \cdot F_S \quad (1.5)$$

definiert.

Im Frequenzbereich, in dem die Abtastrate kleiner ist als 2 MHz überwiegt der Einfluss des thermischen Rauschens. Ab 2 MHz bis hin zu etwa 3 GHz ist der Apertur Jitter entscheidend für die erreichbare Auflösung. Typische Werte für das Aperturintervall sind 0,5 ps...2 ps. Für Abtastraten oberhalb 3 GHz wird die Ungenauigkeit des Komparators dominant. Ursache hierfür ist, dass auf Grund der Schaltgeschwindigkeiten der Transistoren einige Zeit benötigt wird, um eine zuverlässige Entscheidung zu treffen. Ist der Zeitraum auf Grund der hohen Abtastrate nicht mehr ausreichend, treten in den Ausgangswerten Fehler auf.

Die theoretische Obergrenze der erreichbaren Leistungsfähigkeit kann aus der Heisenbergschen Unschärferelation abgeleitet werden:

$$\Delta E \Delta t \leq h/2\pi \quad (1.6)$$

ΔE : kleinste auflösbare Energie des Eingangssignals (1/2 Quantisierungsstufe des AD-Konverters), Δt : 1/2 Abtastperiode T_S , h : Planck Konstante, $6,62617 \cdot 10^{-34}$ Js

Dieses theoretische Limit liegt etwa vier Größenordnungen über dem aktuellen Grenzwert auf Grund des Apertur Jitters (siehe Abbildung 1.3). Sehr wahrscheinlich sind weitere limitierende Faktoren zwischen der aktuellen Grenze und der Unschärferelation zu erwarten.

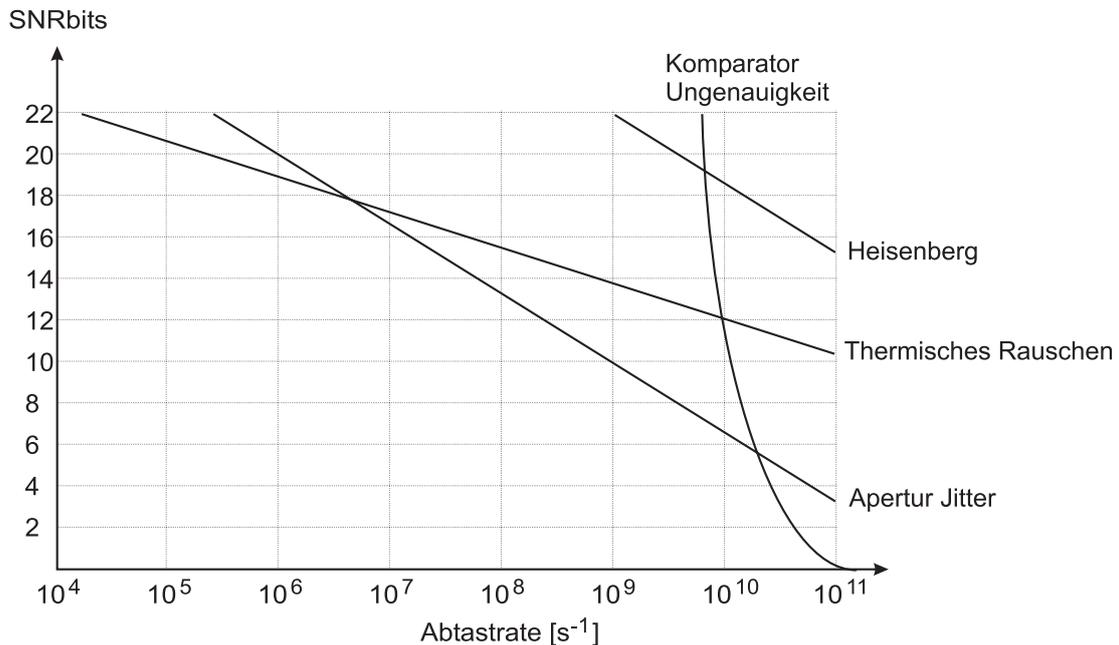


Abb. 1.3: Grenzen der Leistungsfähigkeit von Analog-Digital-Konvertern [11]

Betrachtet man den Fortschritt der letzten Jahre, so ist zu erkennen, dass in der Zeit von 1991 bis 1999 eine Verbesserung um lediglich 1,5 effektive Bits stattgefunden hat [11]. Die

Entwicklung der Analog-Digital-Wandler schreitet also nur sehr langsam voran.

1.2.1 Kommerzielle Analog-Digital-Wandler

Analog Devices bietet derzeit zwei $\Sigma\Delta$ -Wandler auf CMOS-Basis an. Der AD7721 bietet eine Eingangsbandbreite von 229,3 kHz bei einer 16-Bit Auflösung. Die Abtastrate beträgt 30 MHz. Der AD7723 hat bei gleicher Auflösung eine Eingangsbandbreite von 460 kHz und eine Abtastrate von 19,2 MHz.

Der Typ 9042 von Maxwell Technologies hat eine Eingangsbandbreite von 20 MHz und eine Auflösung von 12 Bit.

Signal Processing Technologies hat mit dem SPT7936 einen $\Sigma\Delta$ -Wandler im Angebot, der bei 12-Bit Auflösung eine Bandbreite von 28 MHz bietet. Diese technischen Daten bestätigen, dass eine Verdopplung der Abtastrate eine Verschlechterung der Auflösung um etwa 1 Bit mit sich bringt.

Die derzeit gängigen $\Sigma\Delta$ -Wandler haben eine maximale Eingangsbandbreite von wenigen 10 MHz. Bei dieser Architektur stehen Bandbreite und Auflösung immer in Konkurrenz. Eine Verringerung der Auflösung der Wandler, hätte unmittelbar eine Vergrößerung der Bandbreite zur Folge. Die gezeigten Typen haben alle eine sehr hohe Auflösung von 12, bzw. 16 Bit.

Wesentlich viel versprechender in Hinblick auf die Bandbreite sind die sog. *Flash-Konverter*. Allerdings ist für deren Realisierung ein wesentlich größerer Hardwareaufwand nötig als bei der $\Sigma\Delta$ -Architektur. Diese Tatsache spiegelt sich im Preis und im Stromverbrauch der Komponenten wider.

Analog Devices bietet den AD6645 an, der eine Auflösung von 14-Bit mit einer Geschwindigkeit von 200 Megasamples erreicht.

Maxim hat erste Flash-Konverter im Handel, die bereits 1,5 Gigasamples mit 8-Bit Auflösung haben. Derzeit sind sie aber nur in „Evaluation-Boards“ verfügbar.

Auch ATMEL hat mit dem TS83102G0B einen Konverter in BiCMOS-Technologie auf dem Markt, der eine Abtastrate von 2 Gigasamples mit einer 10-Bit Auflösung erreicht.

1.2.2 Experimentelle Analog-Digital-Wandler

In [12] wird ein neues Verfahren zur Digitalisierung von Signalen vorgestellt. Es basiert auf der Zerlegung eines Signals im Zeitbereich in Intervalle. Die zeitlich begrenzten Zeitbereichssignale $x(t)$ in diesen Intervallen werden mit orthogonalen Funktionen $g_j(t)$ multipliziert, so dass das Signal im Zeitbereich durch die Koeffizienten a_j vollständig beschrieben ist. Die Koeffizienten a_j werden dann digitalisiert. Aus den digitalisierten Koeffizienten a_j^d kann im Folgenden das Zeitsignal mit Hilfe der orthogonalen Funktionen $h_j(t)$ wieder rücktransformiert werden.

Bei einem ähnlichen Ansatz, bei dem N Analog-Digital-Konverter verwendet werden, die zeitlich gestaffelte Abtastzeitpunkte besitzen, kommt es auf Grund von Fehlern in Nullpunktslage und Verstärkung des Signals zu Sprüngen an den Abtastzeitpunkten, die im Frequenzbereich als diskrete Störlinien auftreten.

Bei dem in [12] vorgestellten Verfahren tritt dieser Effekt nicht auf, da das ganze Zeitsignal in einem Intervall mathematisch durch orthogonale Funktionen beschrieben wird. Durch die zeit-

liche Begrenzung ist das Signal im digitalen Bereich durch eine endliche Anzahl diskreter Koeffizienten vollständig bestimmt. Unter Verwendung der verallgemeinerten Fourier-Analyse lässt sich das Zeitsignal als Summe ausdrücken

$$x(t) = \sum_{j=0}^N a_j \cdot g_j(t) = \sum_{j=0}^N a_j (x(t) \circ g_j(t)) g_j(t) \quad (1.7)$$

$$a_j = (x(t) \circ g_j(t)) = \int_0^T x(t) g_j(t) dt \quad (1.8)$$

$x(t)$: Zeitbereichssignal, $g_j(t)$: orthogonale Funktionen, a_j : Koeffizienten, N : Anzahl der Summanden = Anzahl der orthogonalen Funktionen = Anzahl der Stützstellen im transformierten Bereich, T : Länge des Intervalls im Zeitbereich.

Gleichung 1.8 ist die Definition des Skalarprodukts aus $x(t)$ und $g_j(t)$.

Die erreichbare Güte der Approximation ist Abhängig von der Anzahl N der Summanden ab. Das minimale N ergibt sich aus dem Abtasttheorem:

$$N = \frac{T}{\tau} \quad , \quad \tau = \frac{B}{2} \quad (1.9)$$

τ : Segment im Zeitbereich, B : Bandbreite des Zeitsignals.

Orthogonale Funktionen, die für die vorliegende Anwendung geeignet sind, sind trigonometrische Funktionen, Walsh-Funktionen und komplexe Exponentialfunktionen. Für die Transformation im analogen Bereich werden bevorzugt Sinus- und Cosinus-Funktionen verwendet, für Transformationen im digitalen Bereich Walsh- und Haar-Funktionen, da diese nur einen Wertebereich von +1 und -1 annehmen können. Als weitere vorteilhafte Funktionen haben sich Wavelet-Transformationen herausgestellt.

Die Digitalisierung der Koeffizienten a_j erfolgt parallel in N konventionellen AD-Wandlern. Dies bietet den Vorteil, dass die Abtastrate in jedem einzelnen Konverter um den Faktor N kleiner gewählt werden kann. Aus den digitalen Instanzen der Koeffizienten a_j^d kann mit Hilfe der orthogonalen Funktionen $h_j(t)$ das Signal vollständig rekonstruiert werden.

Gegenüber konventionellen Strategien zur Digitalisierung bietet dieses Verfahren den Vorteil, dass das Zeitsignal sowohl im Zeit- als auch im Frequenzbereich analysiert wird. Durch die Zerlegung des Signals mit Hilfe von orthogonalen Funktionen wird das Signal vollständig beschrieben und es treten keine Nullpunkts- und Verstärkungsfehler auf, wie dies bei herkömmlichen parallelen AD-Konvertern der Fall ist.

Ein direkt digitalisierender GPS-Empfänger wird in [13] vorgestellt. Wie das in dieser Arbeit entwickelte Empfängerkonzept, nutzt auch er das Prinzip der bandbegrenzten Unterabtastung. Das System besteht aus einer Abtaststufe, die einen differentiellen Aufbau vorweist, um parasitäre Einflüsse wie das Durchsprechen des Taktsignals und Ladeströme zu minimieren. Danach folgt ein Verstärker mit Nullpunkt kompensierung. Dies ist wichtig für die erfolgreiche Digitalisierung, da ansonsten die Nullpunktslage des analogen Signals verschoben wird. Der in [13]

vorgestellte experimentelle Aufbau hat ausgangseitig eine Pufferschaltung, die nur als Anpassung an die 50Ω -Last der Messgeräte dient. In dem endgültigen Aufbau, der die Folge-Halte-Schaltung und den AD-Konverter auf einem Chip vereint, ist dieser Puffer nicht mehr vorgesehen.

Die gesamte Empfängerarchitektur ist als Transistorschaltung ausgelegt auf eine Eingangsbandbreite von 2 GHz und eine Abtastrate von 5 MHz...40 MHz. Allerdings konnten in [13] nur Simulationen und keine Messungen präsentiert werden.

Der breitbandige Abtaster in [14] nutzt im Gegensatz zu den meisten anderen Entwicklungen als Abtastschalter keine Diodenbrücke, sondern eine Schaltung, wie in Abbildung 1.4 dargestellt.

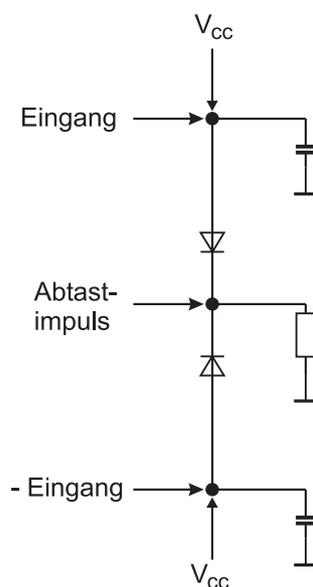


Abb. 1.4: Schaltskizze des Abtastschalters

Das Eingangssignal wird mit einer breitbandigen Symmetrierschaltung (engl. balanced to unbalanced, balun) in je zwei gegenphasige Anteile halber Amplitude aufgeteilt. Diese beiden Signale liegen dann an den beiden Eingängen des Diodenschalters an. Die gegengleich angeordneten Dioden sind jeweils in Durchlassrichtung vorgespannt, so dass das Eingangssignal im allgemeinen Fall direkt auf Masse liegt. An der gemeinsamen Kathode liegt das Abtastsignal. Wenn ein Abtastimpuls mit genügend hoher Spannung auftritt, sperren beide Dioden und die jeweilige aktuelle Eingangsspannung wird in den beiden Haltekapazitäten gespeichert.

Für diese Art des Abtastschalters ist ein breitbandiger Balun nötig, der nicht trivial zu realisieren ist. Beim Entwurf des Eingangsverstärkers muss berücksichtigt werden, dass außerhalb der Abtastzeitpunkte das Eingangssignal über die beiden Dioden direkt kurzgeschlossen wird.

Simulationen und Messungen dieser Abtastschaltung wurden mit einer Amplitude von 3 V einfach Spitze für den Impuls durchgeführt. Die Impulsdauer betrug ca. 150 ps, was einer Ab-

tastrate von etwa 6,7 GHz entsprechen würde. Über die Eingangsbandbreite wird in [14] keine Aussage gemacht. Sie wird durch die Balunschaltung begrenzt.

Dem Wunsch nach viel Dynamik und hoher Auflösung für Anwendungen im Kommunikationsbereich, kann mit einer $\Sigma\Delta$ -Architektur entsprochen werden. Hier ist es möglich, eine sehr hohe Überabtastrate in hohe Genauigkeit einzutauschen. In [15] wird ein $\Sigma\Delta$ Konzept vorgestellt, das für den Empfang von verschiedenen Diensten mit unterschiedlicher Trägerfrequenz geeignet ist und einen sehr großen Dynamikbereich besitzt. Es basiert auf Indium-Phosphid Hetero-Bipolar Technologie (InP HBT). Die hohe Dynamik wird durch Überabtastraten von 40...50 auf einem Eingangssignal mit Bandbreiten von 12,5 MHz...25 MHz und einer Mittenfrequenz von bis zu 100 MHz erreicht. Auch dieser Analog-Digital-Wandler basiert auf einer bandbegrenzten Abtastung.

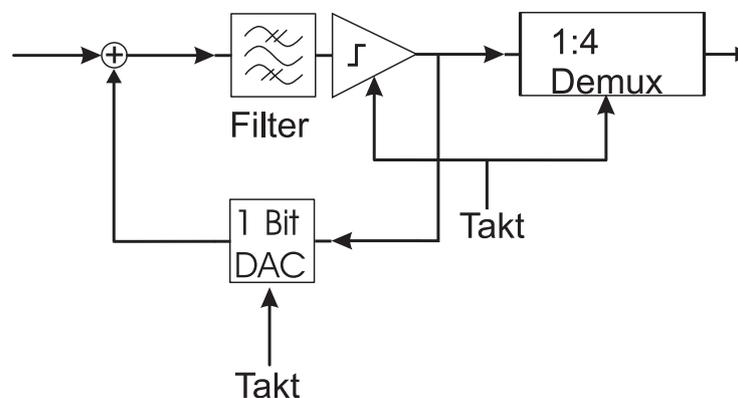


Abb. 1.5: Blockschaltbild des InP $\Sigma\Delta$ -Konverters [15]

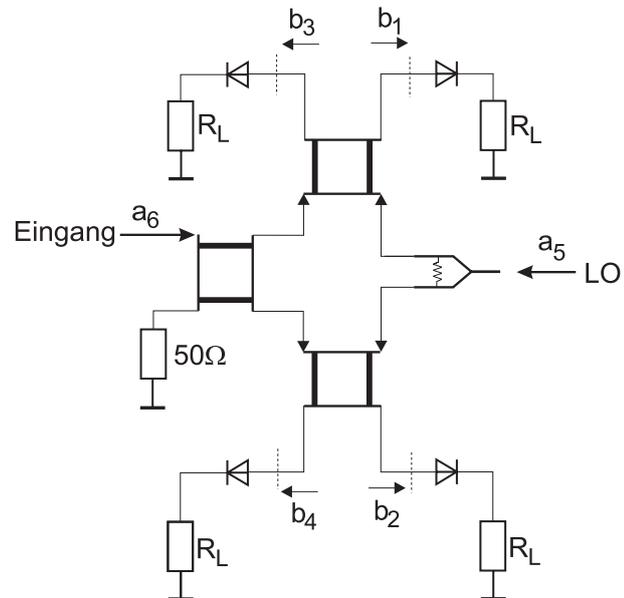
Der nötige Eingangsfiler weist bei einer Mittenfrequenz von 30 MHz...100 MHz eine Güte von etwa 50 auf. Der Komparator hat eine Auflösung von 1 Bit. Für eine fehlerfreie Digitalisierung ist grundlegend, dass die Entscheidungszeit des Komparators wesentlich kleiner ist, als das Abtastintervall. Der verwendete Komparator hat eine Rückführzeit von konstant 16 ps.

Das Apertur Jitter Intervall von 20fs der gesamten Abtastarchitektur ist für die gewünschte Anwendung völlig ausreichend.

Eine völlig andere Hardwarestruktur basiert auf dem in [16] beschriebenen Six Port Empfänger. Ein Six Port besteht aus zwei Eingängen - einer für das zu verarbeitende Signal und ein zweiter Referenzeingang - und vier Ausgängen. Das Eingangssignal wird an drei 90° -Hybriden phasenverschoben und mit dem ebenfalls phasenverschobenen Referenzsignal überlagert. Durch Detektordioden an den vier Ausgängen wird die Leistung des jeweils anliegenden Ausgangssignals gemessen (Abbildung 1.6 a).

Für die Leistungsmessung ist ein Kalibriervorgang nötig, der allerdings elektronisch durchge-

a)



b)

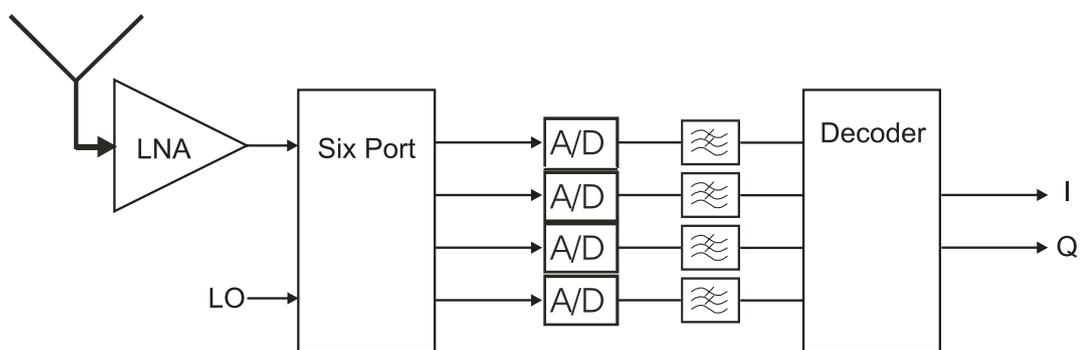


Abb. 1.6: Blockschaubild des Six Ports (a) und eines Six-Port-Empfängers (b)

führt werden kann. Die Leistungsmessung an den vier Ausgängen liefert genügend Information um die Phasensprünge des Eingangssignals zu erkennen. Durch eine Architektur, die in Abbildung 1.6 b) dargestellt ist, kann ein empfangenes Quadratur-Phasenmoduliertes (engl. quadrature phase shift keying, QPSK) Signal wieder direkt demoduliert werden.

Bei dieser Architektur kann das Signal analog demoduliert werden, wodurch hohe Datenraten, bis zu 60 MBit/s erreicht werden können. Eine digitale Signalverarbeitung ist bei diesem Konzept nicht nötig [17][18].

Für den Einsatz in mobilen Empfängern wurde das $\Delta\Sigma$ -Konzept in [19] entwickelt. Auf Grund der hohen Anforderungen an Preis und Stromverbrauch wurden hierfür neue kaskadierte digitale Filter entwickelt. Um das Problem der Spiegelfrequenzen zu umgehen, wird das Eingangssignal durch einen Quadratur-Mischer in zwei phasenverschobene Pfade mit einer möglichst niedrigen Zwischenfrequenz aufgeteilt und die Digitalisierung in zwei parallelen Analog-Digital-Wandlern vorgenommen (siehe Abbildung 1.7). Anschließend wird das digitale Signal in einem digitalen Quadratur-Mischer ins Basisband konvertiert. Die Dezimation und die Kanalfilterung wird mit Hilfe der nachfolgenden Tiefpassfilter in jedem der beiden Signalpfade erreicht. Die Demodulierung findet in einem digitalen Signalprozessor statt.

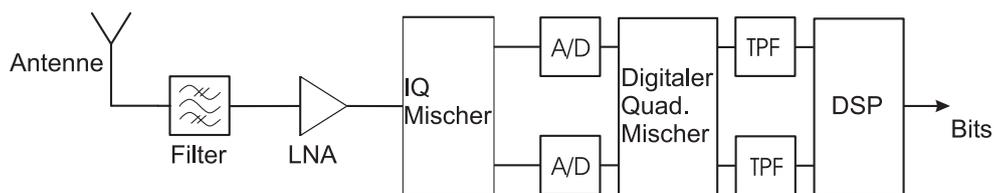


Abb. 1.7: Blockschaltbild des $\Delta\Sigma$ -Konverters aus [19]

Der Empfänger erreicht ein Signal-Rausch-Verhältnis von maximal 76 dB mit einem Überab-tastverhältnis von 32. Die entwickelte Hardware wurde in einem CMOS-Prozess als integrierter Chip realisiert.

1.3 Ziele der Arbeit

Im Rahmen des BMBF-Förderprojekts zur Untersuchung der Möglichkeiten hochfrequente Systeme integriert auf Silizium-Basis zu realisieren, kurz „HFSYSI“ wurde ein Hardware-Konzept für die Realisierung eines direkt digitalisierenden Empfängers theoretisch und experimentell untersucht. Ziel des Projekts ist die direkte digitale Verarbeitung eines Eingangssignals mit einer Trägerfrequenz von 24 GHz und 500 MHz Bandbreite. Die Wahl dieser Frequenzen basiert auf dem 24 GHz ISM-Band. Nach bisherigem Stand ist dieses ISM-Band auf den Bereich von 24 GHz ... 24,25 GHz festgelegt [20]. Derzeit sind jedoch Änderungen dieser Spezifikation im Gespräch. Auf Grundlage dieser Daten wurden die Spezifikationen des HFSYSI-Projekts so gewählt, dass die Verarbeitung von 500 MHz-Bandbreite möglich ist. Die Wahl der Mittenfrequenz

spielt für die Empfängerarchitektur eine untergeordnete Rolle, da sie lediglich eine Frequenzverschiebung des Signals in der digitalen Ebene nach sich zieht, die leicht kompensiert werden kann.

Zur Realisierung wird das Konzept der bandbegrenzten Überabtastung benutzt. Da die direkte Digitalisierung hochfrequenter Signale, insbesondere bei Eingangsfrequenzen oberhalb von 10 GHz, derzeit ein sehr ehrgeiziges Vorhaben ist, wird von einem stark idealisierten Modell der Umwelt in Bezug auf Störsender, Temperaturschwankungen, etc. ausgegangen.

Die Digitalisierung des Eingangssignals soll so früh wie möglich erfolgen. Daher ist der Entwurf des Empfängers gleichzusetzen mit der Entwicklung eines geeigneten Analog-Digital-Wandler Konzepts. Um Aliasing-Effekte zu vermeiden ist auch bei einer breitbandigen Konvertierung des Eingangssignals eine Beschränkung der Bandbreite nötig. Die Bandpassfilter dafür wurden am Ferdinand-Braun-Institut in Berlin entwickelt. Weiterhin ist eine Verstärkung des Eingangssignals und die Quantisierung nötig. Dazu wurden an der Universität Ulm entsprechende HF-Verstärker, sowie der Komparator entworfen und in Kooperation mit der Firma ATMEL aufgebaut und vermessen.

Der Entwurf einer Folge-Halte-Schaltung, die die Aufgabe der Zeitdiskretisierung erfüllt ist das zentrale Thema der vorliegenden Arbeit. Weiterhin wird mit Hilfe von Simulationen und Messungen die Einhaltung der Spezifikationen aller Komponenten sowie deren Eignung zur Erfüllung der gestellten Aufgabe überprüft. Die Bestimmung und gegebenenfalls Anpassung wichtiger Parameter, wie beispielsweise die nötige Bandbreite einzelner Komponenten liegt ebenfalls im Fokus dieser Arbeit. Um aussagekräftige Simulationsdaten zu erhalten, sind exakte Modelle der einzelnen Komponenten nötig, die im weiteren Verlauf erarbeitet werden.

Für die Projektpartner DaimlerChrysler Forschung, Ulm, ATMEL Ulm, Universität Ulm, Ferdinand-Braun-Institut, Berlin und Technische Universität München ergab sich folgende Aufgabenteilung:

DaimlerChrysler Forschungszentrum, Ulm	Projektleitung Technologie Messtechnik
FBH Berlin	Entwurf, Realisierung und Messung hochgütiger Filter
Universität Ulm	Entwurf, Realisierung und Messung der Verstärker und des Komparators
ATMEL Ulm	Produktion der Verstärker und des Komparators in Si/SiGe-Technologie
TU München	Systemsimulation Parametrisierung der Komponenten Entwurf, Realisierung und Messung des Abtast-Schalters Messtechnik

Das vorliegende Empfängerkonzept beruht auf einem 1-Bit-Wandler. Für eine höhere Auf-

lösung kann dieser Wandler als zentrale Komponente einer $\Sigma\Delta$ -Architektur dienen. Die $\Sigma\Delta$ -Architektur wird in dieser Arbeit theoretisch untersucht. Für den Aufbau eines entsprechenden Demonstrators sind zusätzlich noch ein Digital-Analog-Wandler und ein Verzögerungsglied nötig. Auf Grund des hohen technischen Aufwands wurde kein solcher $\Sigma\Delta$ -Demonstrator realisiert, die Machbarkeit wurde jedoch nachgewiesen.

Neben dem Schaltungsentwurf stellt die Messtechnik eine große Herausforderung dar. Um die Funktion des Empfängers zu verifizieren, genügt es nicht, alleine das Spektrum des abgetasteten Signals zu betrachten, da die Phaseninformation hier eine wichtige Rolle spielt. Anhand signifikanter Spektrallinien kann zwar häufig eine Fehlfunktion der Hardware erkannt werden, sie können jedoch nicht den endgültigen Nachweis der korrekten Funktion liefern.

2. SOFTWARE-KONFIGURIERBARE EMPFÄNGER

Der Ausdruck *Software Radio* wurde von Joseph Mitola 1991 als Bezeichnung für programmierbare bzw. konfigurierbare Empfänger aufgebracht. Eine exakte Definition des Begriffes „Software Radio“ gibt es bislang nicht, da es keine Festlegung auf den Umfang der Konfigurierbarkeit gibt. Der Begriff bezieht sich nicht darauf, dass der ein Großteil der Funktionen in digitaler Technik realisiert sind, wie das bei jedem modernen Empfangsgerät der Fall ist. Software Radios im Sinne dieser Arbeit sind Empfänger, deren physikalische Eigenschaften, wie die Wahl der Trägerfrequenz, die Art der Modulation, die Bandbreite des Nutzsymbols usw. durch entsprechende Software verändert werden können.

In welchem Umfang ein solcher Empfängertyp rekonfiguriert werden kann, hängt stark von physikalischen Gesetzmäßigkeiten ab. Die beschränkenden Faktoren sind unter anderem die Antennen, die verwendete Elektronik und die Geschwindigkeit der Signalverarbeitung. Realisierbare und praktisch einsetzbare Software Radios werden also nur eine begrenzte Anzahl an Funkdiensten verarbeiten können. Welche Dienste das im Einzelnen sind, hängt von der jeweiligen Anwendung ab [21].

2.1 Konzept

Ein ideales Software Radio würde entweder direkt nach der Antenne digitalisieren, oder aber ein flexibles Hardware Design bieten, das vollständig für alle vorgesehenen Anwendungen konfiguriert werden kann. In jedem Fall wird die Analog-Digital-Wandlung beim Entwurf eines digitalisierenden Empfängers, so früh wie möglich im Empfangspfad implementiert.

In praktischen Anwendungen findet die Digitalisierung meist in einer Zwischenfrequenz statt. Dies ist einfacher zu realisieren als eine breitbandige Abtastung des gesamten empfangenen Spektrums.

Vor der eigentlichen Signalverarbeitung ist in der Regel noch eine digitale Filterung und Dezimation nötig, um die vorliegenden Daten in einzelne Kanäle aufzuteilen und die relevanten Informationen zu extrahieren. Die Signalverarbeitung geschieht in der Regel in digitalen Signalprozessoren (DSPs), programmierbaren Logikgattern (engl. field programmable gate arrays, FPGAs) oder in eigens entwickelten integrierten Schaltungen (engl. application specific integrated circuits, ASICs).

Auch für die Software gibt es mittlerweile eine Reihe geeigneter Programmieroberflächen. Nennenswert sind hier *CORBA* (common objects request broker architecture) und *Radio Virtual Machines*, Software Plattformen, die ähnlich der Java Virtual Machines sind.

2.1.1 Eigenschaften und Vorteile

Ein Software Radio mit den bisher genannten Eigenschaften bringt einige Vorteile und Erleichterungen für den Benutzer mit sich. Beispielsweise ist es derzeit möglich, ein Mobiltelefon, das mit einer Bluetooth-Schnittstelle ausgestattet ist, als Modem für einen ebenso ausgestatteten Computer zu nutzen. Wenn man anstelle der statischen drahtlosen Verbindung eine beliebig konfigurierbare annimmt, könnte der Computer mit nahezu jedem anderen Kommunikationsgerät (z.B. Fax, Drucker, Handheld, ...) eine Verbindung herstellen, ohne zusätzliche Hardware zu benötigen.

Durch die zunehmende Globalisierung wird es immer wichtiger, dass Funkdienst basierte Geräte weltweit funktionieren. Diese könnten durch eine Software Aktualisierung auf die jeweiligen Standards eingestellt werden. Ein Beispiel hierfür ist der Betrieb eines Mobiltelefons in Europa und in USA.

Weiterhin möglich wäre die Produktion kombinierter Geräte, wie GSM und GPS [5]. Diese Geräte könnten in kompakter Bauweise realisiert werden und zugleich mit geringem Stromverbrauch auskommen, da beide Dienste in einer gemeinsamen Hardware nutzbar wären.

Wenn bereits vorhandene Dienste erweitert oder verändert werden, oder gänzlich neue Funkdienste eingeführt werden, kann das entsprechende Gerät einfach durch Herunterladen einer aktuellen Software darauf eingestellt werden. Durch dieses Prinzip wird die Änderung vorhandener Standards wesentlich erleichtert und in vielen Bereichen überhaupt erst ermöglicht. Die Einführung neuer Dienste aus Sicht der Betreiber wird wesentlich vereinfacht. Da man nicht mehr warten muss, bis genügend neue Endgeräte im Umlauf sind, verkürzt sich die Zeitspanne zwischen der Fertigstellung der neuen Infrastruktur und deren gewinnbringenden Nutzung auf einen Bruchteil.

2.1.2 Design-Grundlagen

Die Aufgabe des Empfängers ist es, das gewünschte Signal von Störeinflüssen, wie fremde Signale oder Rauschen zu trennen und die enthaltene Information zu extrahieren und zur Verfügung zu stellen.

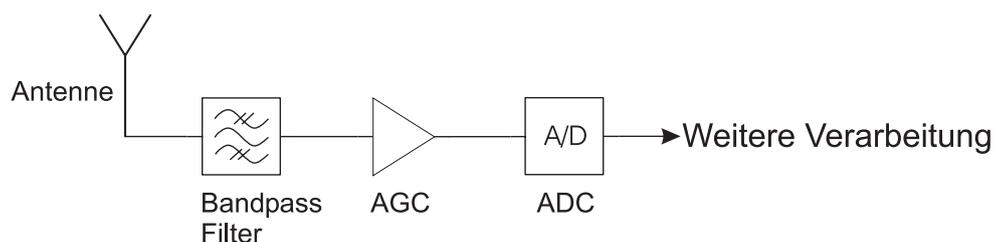


Abb. 2.1: Blockschaltbild einer Empfängerarchitektur für ein Software Radio

Dazu wird üblicherweise das Signal von der Antenne Bandpass gefiltert, verstärkt und in ein digitales Signal gewandelt.

Da bei Empfangssystemen der Signal-Rausch-Abstand im Wesentlichen von den Eigenschaften des Frontends abhängt, sollten zusätzliche Rauschquellen weitgehend vermieden werden.

Oftmals liegt das zu empfangende Signal im Picowatt-Bereich ($-130\text{dBm} \dots -70\text{dBm}$) und das Rauschen im Milliwatt-Bereich ($-20\text{dBm} \dots 0\text{dBm}$). Je größer die Eingangsbandbreite des Empfängers ist, umso anfälliger für Störeinflüsse ist das System, da entsprechend mehr potentielle Störer empfangen werden können [21].

2.1.2.1 Antennen

Die Bedeutung der Antenne wird häufig unterschätzt. Gerade für Anwendungen im Software Radio, das ja für den Empfang von Multimode- und Multiband-Signalen konzipiert ist, ist hochentwickeltes Antennendesign wichtig. Bei Empfängern, die eine sehr große Eingangsbandbreite zur Verfügung stellen müssen, ist es unter Umständen nicht mehr möglich, mit nur einer Antenne auszukommen.

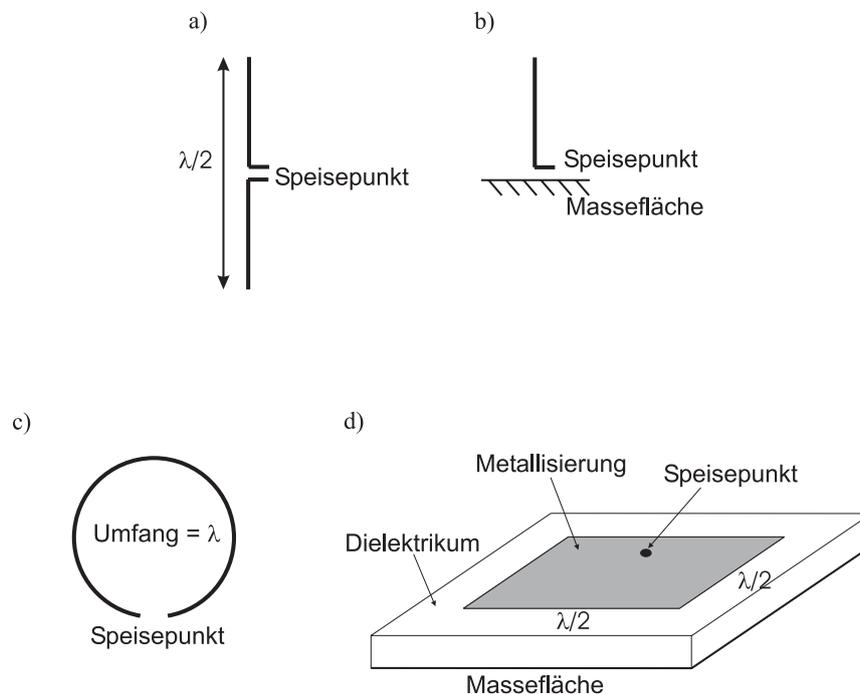


Abb. 2.2: Verschiedene Antennendesigns: a) Dipol, b) Monopol, c) Ringantenne, d) Patchantenne

Gebräuchliche Antennenstrukturen sind Dipol-, Monopol-, Ring (engl. loop antenna)- und Patch-Antennen. Die Dipolantenne mit der Länge einer halben Wellenlänge $\lambda/2$ (Abbildung 2.2 a) ist die einfachste resonante Struktur. Aus ihr abgeleitet ist die Monopolantenne (Abbildung 2.2 b), indem man eine Hälfte der Antenne durch einen „Spiegel“ ersetzt. Als Spiegel wirkt hierbei eine Massefläche. Durch die resultierende Abstrahlung in nur einen Halbraum ergibt sich ein Antennengewinn von 3 dB. Die Ringantenne ist eine resonante Struktur, wenn ihr Umfang einer Wellenlänge λ entspricht (Abbildung 2.2 c). Da sie sehr kleine Impedanz aufweist, muss in der Regel eine Impedanzanpassung durchgeführt werden. Eine Patch-Antenne besteht aus einer

metallisierten Fläche, die auf einem Substrat aufgebracht ist. An der Unterseite des Substrats befindet sich eine Massefläche (Abbildung 2.2 d). Die Oberflächenmetallisierung kann verschiedene Formen haben. Am gebräuchlichsten sind quadratische Felder mit der Seitenlänge $\lambda/2$ und runde Strukturen mit Durchmesser 0.6λ . Durch die Richtcharakteristik besitzen Patch-Antennen Antennengewinn von mehr als 3 dB [22][23].

2.1.2.2 Bandpassfilter

Der Bandpassfilter hat die Aufgabe, mögliche Störsignale zu entfernen. Je höher die Güte des Eingangsfilters ist, umso geringer sind die Ansprüche an die nachfolgende Signalverarbeitung und umgekehrt. Systembedingt können nur Außerband-Störer entfernt werden, daher ist eine weitere Filterung im digitalen Teil des Empfängers, um nur das gewünschte Nutzsignal zu erhalten unumgänglich.

Der Bandpassfilter kann in Bezug auf die Trägerfrequenz relativ schmalbandig sein, jedoch absolut betrachtet gleichzeitig sehr breitbandig.

2.1.2.3 Eingangsverstärker

Um möglichst ideal in ein digitales Signal wandeln zu können, muss die Amplitude des gefilterten und transformierten Signals an die Spezifikationen des Analog-Digital-Wandlers angepasst werden. Da die Feldstärke des Eingangssignals stark von äußeren Einflüssen abhängt, unterliegt es natürlich großen Schwankungen. Daher ist für die Anpassung der Amplitude ein geregelter Verstärker (engl. automatic gain control, AGC) zwingend erforderlich.

2.1.2.4 Analog-Digital-Wandler

Der Analog-Digital-Wandler ist das Kernstück eines digitalisierenden Empfängers. Zugleich ist er das Bauelement, das die Leistungsfähigkeit des gesamten Empfängers bestimmt. Wenn ein idealer AD-Wandler zur Verfügung stehen würde, dann wäre der abgestimmte HF-Empfänger (vgl. 2.2.1) stets die Architektur der Wahl.

Der AD-Wandler bestimmt außerdem wesentliche Eigenschaften der gesamten Architektur, wie zum Beispiel Auflösung, Dynamik oder Bandbreite des Nutzsymbols.

Die Analog-Digital-Wandlung ist der zentrale Punkt im Entwurf eines Software gesteuerten Empfängers, deshalb wird sie auch das zentrale Thema dieser Arbeit sein.

2.1.2.5 Dynamik

Ein wesentlicher Aspekt des Empfängerdesigns ist die erreichbare und nötige Dynamik. Der Dynamikbereich ergibt sich aus der Differenz des minimalen und des maximalen Signalpegels, der noch verarbeitet werden kann. Im allgemeinen gilt, dass ein großer Dynamikbereich mit hohem Stromverbrauch einhergeht.

An der Nichtlinearität des Empfängers entstehen unter Beteiligung eines Nutzsenders und n Störsendern Intermodulationsprodukte nach folgender Gesetzmäßigkeit:

$$f_{IM} = |m_1 f_{St1} + m_2 f_{St2} + \dots|$$

$$m_v = 0, \pm 1, \pm 2, \dots$$

Ein so entstandenes Intermodulationsprodukt stört dann, wenn es in die Nutzbandbreite fällt.

Je nach Sendefrequenz des Störsenders unterscheidet man zwischen Innerband-Störern, wenn innerhalb des Eingangsbandes gesendet wird und Außerband-Störern, wenn die Sendefrequenz außerhalb der Bandbreite des Empfängers liegt. Geht man von einem bestimmten Störabstand aus, dann wirken sich die störenden Intermodulationsprodukte nachteilig auf den minimalen Eingangspegel aus. Außerdem wird durch thermisches Rauschen des Empfängers und durch Rauschen des Analog-Digital-Wandlers (Quantisierungsrauschen, Zittern der Abtastzeitpunkte, sogenanntes *sampling aperture jitter*) die untere Grenze des Dynamikbereichs angehoben, da das Eingangssignal unterhalb eines gewissen Pegels vom Rauschen verdeckt wird.

Durch Selbstinduktion wird die obere Grenze des Dynamikbereichs eingeschränkt. Sie ist ein Maßstab für den maximalen Eingangspegel, bei dem Mischprodukte mit Innerband-Störern bzw. die Oberwellen den Störabstand bestimmen [24].

Detaillierte Beschreibungen der einzelnen Mechanismen, die den Dynamikbereich beeinflussen, folgen in den Abschnitten 2.3.1 und 2.3.2.

2.1.2.6 Digitale Signalverarbeitung

Die digitale Signalverarbeitung hat die Aufgabe, aus dem empfangenen und digitalisierten Eingangssignal die gewünschten Informationen zu extrahieren. Dazu ist zunächst eine Kanalselektion nötig. Das Eingangssignal enthält auf Grund der Aufgabenspezifikation des Software Radios die Daten von mehreren verschiedenen Funkdiensten. Durch die Kanalselektion wird der Dienst, der aktuell von Interesse ist herausgefiltert und die Daten der anderen Dienste werden aus dem empfangenen Signal entfernt.

Danach erfolgt die Demodulierung und Aufbereitung der gewünschten Informationen. Im einfachsten Fall wird ein Bitstrom erzeugt, der die Daten in einer Form enthält, die entsprechend der Anwendung in einem anderen Teil des Gerätes weiterverarbeitet werden kann.

Mögliche Alternativen für die digitale Hardware sind Signal Prozessoren (DSPs), programmierbare Logikeinheiten (FPGAs) oder eigens entwickelte integrierte Schaltkreise (ASICs).

2.2 HF Architekturen

Für die Implementierung eines Software Radios sind prinzipiell mehrere verschiedene Architekturen geeignet. Am häufigsten werden Homodynempfänger (auch: direct conversion receiver, Zero-IF receiver), Heterodynempfänger (auch: dual conversion receiver) und abgestimmte HF-Empfänger (tuned radio frequency receiver) verwendet. Die Eignung eines Empfängers hängt von mehreren Parametern ab. Die *Empfindlichkeit* ist Maß für das schwächste, noch zu empfangende Signal. Sie hängt im wesentlichen von den verschiedenen Rauschquellen im Empfänger selbst ab.

Weiterhin muss der Empfänger ausreichende *Selektivität* zur Verfügung stellen können, das gewünschte Signal soll also empfangen werden, alle anderen Signale werden unterdrückt.

Ein weiteres wichtiges Kriterium ist die *Stabilität* des Frontends gegenüber Störeinflüssen wie Temperaturschwankungen, Schwankungen in der Spannungsversorgung, aber auch Stabilität über die Zeit.

2.2.1 Abgestimmter HF-Empfänger

Die Architektur des abgestimmten HF-Empfängers (Abbildung 2.3) entspricht weitestgehend den in Abschnitt 2.1.2 angestellten Überlegungen.

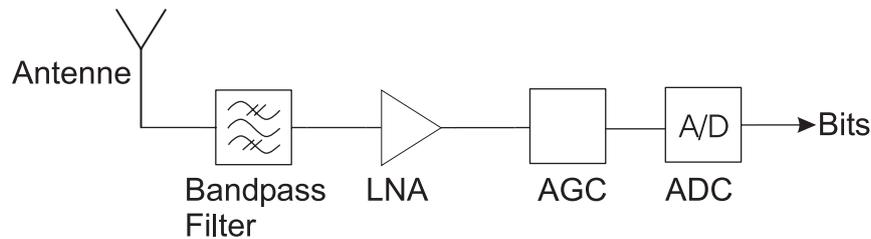


Abb. 2.3: Blockschaltbild des abgestimmten HF-Empfängers

Der Bandpassfilter hat die Aufgabe, das Eingangsband zu selektieren, der LNA sorgt durch eine dynamische Verstärkung für optimale Anpassung des empfangenen Signals an die Eingangsparameter des Analog-Digital-Wandlers. Das größte Problem bei einer solchen Empfänger-Architektur ist die Digitalisierung selbst, da der Wandler die unter Umständen sehr hohe Signalfrequenz abtasten muss. Ein solcher AD-Wandler ist sehr schwierig zu realisieren. Auf Grund der hohen Abtastgeschwindigkeit hat er außerdem einen hohen Stromverbrauch. Durch die direkte Abtastung des empfangenen Signals ist ein enormer Aufwand nötig, um Störer zu unterdrücken, da diese sich negativ auf die Dynamik des Analog-Digital-Wandlers auswirken.

Der Vorteil dieser Architektur liegt allerdings in der minimalen Anzahl an analogen Komponenten und damit dem geringen Potential zusätzlicher Störeinflüsse.

2.2.2 Homodyn Empfänger

Beim Homodynempfänger (auch: direct conversion receiver / zero-IF receiver) wird das Signal in nur einer Mischerstufe ins Basisband heruntergemischt. Dies kann durch zwei orthogonale Lokaloszillator (LO)-Signale (Abbildung 2.4 a) und entsprechender Wahl der LO-Frequenz (Abbildung 2.4 b) realisiert werden. Dieses Verfahren bietet den Vorteil, dass die analoge Filterung des Signals wesentlich einfacher auszuführen ist als beim Heterodynempfänger. Durch Analog-Digital-Wandlung und digitale Signalverarbeitung kann das Signal direkt demoduliert und weiter verarbeitet werden. Allerdings werden direktmischende Empfänger in der Praxis selten eingesetzt, da sie häufig starke Neigung zum Rauschen aufweisen [25].

Da es bei diesem Empfängertyp im Falle von QPSK-Signalen stets zu einem Fehler zwischen Phasen-Pfad und Quadratur-Pfad (engl. IQ-mismatch) kommt [26], ist diese Architektur für Modulationen höherer Ordnung nicht geeignet [27]. Die Fehleroptimierung für den IQ-mismatch bringt einen gewissen schaltungstechnischen Aufwand mit sich [28].

Eine Streuung des Lokaloszillatorsignals führt nach dem Heruntermischen teilweise zu zeitvariantem DC-Bias, was aufwändig zu unterdrücken ist. Isolation zwischen dem LO-Signal und dem zu verarbeitenden Signal wäre hier hilfreich, ist aber nur sehr schwer zu erzielen. Eine einfache Kapazität, die den Gleichanteil im Signal unterdrückt, eliminiert unter Umständen auch wichtige DC-Information aus dem Nutzsignal. Das Problem der LO-Streuung kann umgangen werden, indem man eine sehr niedrige Zwischenfrequenz für diesen Empfängertyp benutzt und eine digitale Verschiebung ins Basisband implementiert [29][26].

Da die Bandbreite durch den Tiefpassfilter definiert ist, muss dieser für einen Multimode-Empfang ausgelegt sein [30].

2.2.3 Heterodyn Empfänger

Am häufigsten wird das Konzept des Heterodynenempfängers als Architektur für HF-Empfänger eingesetzt [21] (Abbildung 2.5). Es findet eine Frequenzumsetzung von der Trägerfrequenz des Eingangssignals zu einer Zwischenfrequenz statt. Die Zwischenfrequenz hat einen festen Frequenzwert, der von der Mittenfrequenz des empfangenen Signals unabhängig ist. Für den Fall, dass die Zwischenfrequenz kleiner ist als die Mittenfrequenz des Eingangssignals, aber größer als die Bandbreite des zu empfangenden Signals, spricht man von einem Superheterodynenempfänger.

Wenn das gewünschte Signal zu einer niedrigen Zwischenfrequenz gemischt wurde, ist es leichter zu filtern, zu verstärken und zu demodulieren. Zudem gibt es für Standardfrequenzen eine Reihe kommerzieller Bauteile hoher Güte. Die Frequenzumsetzung kann auch in zwei aufeinander folgenden Stufen erfolgen (engl. dual conversion receiver), wobei auch in beiden Stufen einzeln verstärkt und gefiltert wird. Bei Verwendung mehrerer aufeinander folgender Filter sinken die Ansprüche an die Güte der einzelnen Filterstufen, da sich das Verhältnis von Mittenfrequenz zu Bandbreite verringert. Wenn die Verstärkung auf mehrere Stufen aufgeteilt wird, verringert sich die nötig Leistung des Lokaloszillators, wodurch sich auch die Isolation zwischen dem Lokaloszillatorsignal und dem Mischereingang erhöht. Bei dieser Empfängerarchitektur entstehen keine Probleme auf Grund eines dominanten DC-Bias, wie beim Homodynenempfänger (vgl. Abschnitt 2.2.2), da die LO-Frequenz immer ungleich der Signalfrequenz ist.

Die Analog-Digital-Wandlung kann im Basisband oder auf der Zwischenfrequenz realisiert werden.

Auf Grund des nichtlinearen Charakters des Mixers, entstehen allerdings Harmonische 4. Ordnung zwischen dem Basisband und der doppelten Bandbreite des Eingangsfilters. Dieser Effekt schränkt die maximale Abstimmbandbreite erheblich ein oder erhöht die entstehenden Mischprodukte auf eine Anzahl, die technisch nicht mehr sinnvoll zu handhaben ist [31][29].

2.2.4 Störeinflüsse im HF-Frontend

Die Signalamplituden liegen in Eingangsstufen von Empfängern oftmals in der gleichen Größenordnung wie der Rauschpegel, daher ist die Betrachtung des Rauschens von Interesse.

Neben dem Rauschen führen Signale von Störsendern zu weiteren Einschränkungen. Wie in Abschnitt 2.1.2.5 bereits gesagt wurde, stören diese immer dann, wenn sie innerhalb der Emp-

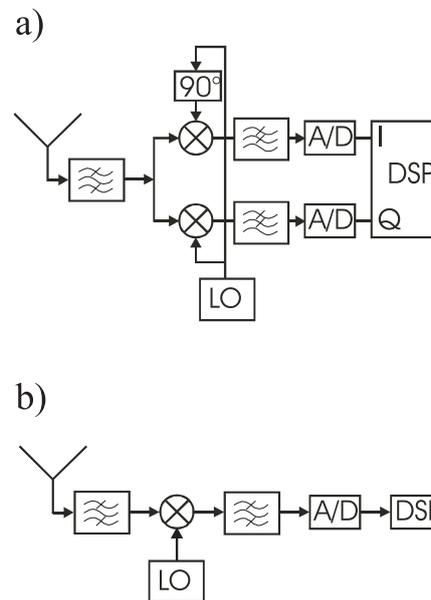


Abb. 2.4: Blockschaltbilder des Homodyn Empfängers für die Verarbeitung von QPSK- oder Frequenzmodulierten Signalen (a) und BPSK- bzw. Amplitudenmodulierten Signalen (b)

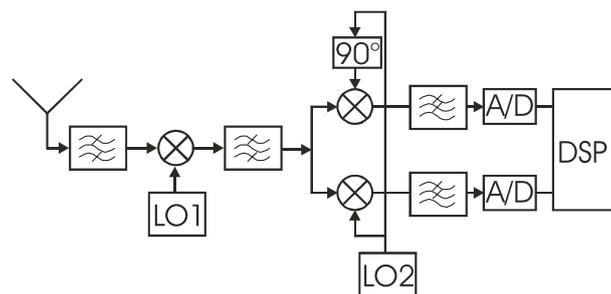


Abb. 2.5: Blockschaltbild des Heterodynempefängers

fängerbandbreite senden, bzw. entsprechend liegende Mischprodukte oder Harmonische erzeugt werden.

Um die erreichbare Leistungsfähigkeit eines Empfängers einschätzen zu können, ist es nützlich, diese limitierenden Faktoren zu betrachten.

2.2.4.1 Rauschen

Ähnlich der Brownschen Molekularbewegung sind in leitenden Materialien Ladungsträger in Bewegung. Dies hat zur Folge, dass in einem Bauteil bei konstanter Temperatur T eine Rauschspannung erzeugt wird. Dieser Effekt heißt *thermisches Rauschen*, die Rauschspannung kann nach folgender Formel berechnet werden:

$$u_{eff}^2 = 4kTRB \quad (2.1)$$

(k : Boltzmann-Konstante $1,38 \cdot 10^{-23} \text{ J/K}$, T : Absolute Temperatur in K, R : Widerstand der Komponente in Ω , B : Bandbreite in Hz)

Die Rauschleistung beträgt demnach:

$$P = \frac{u_{eff}^2}{4R} = kTB \quad (2.2)$$

Die Antenne ist die erste Rauschquelle im System und gleichzeitig der Bezugspunkt, auf den alle weiteren Rauschquellen bezogen werden.

Der Vorverstärker hat die Aufgabe, das empfangene Signal so zu verstärken, dass dessen Leistung groß genug ist für die weitere Verarbeitung. Dies ist im Allgemeinen aber nur möglich, wenn die von der Antenne abgegebene Signalleistung größer ist, als die Rauschleistung. Der Eingangsverstärker sollte besonders rauscharm sein, da sich dessen Rauschzahl am stärksten fortsetzt. Das Verhältnis von Signalleistung zu Rauschleistung nennt man Signal-Rausch-Abstand.

$$SNR = \frac{\text{Signalleistung}}{\text{Rauschleistung}} \quad (2.3)$$

Für alle weiteren Komponenten gibt man üblicherweise eine Rauschzahl F an, die als Quotient von SNR am Eingang zu SNR am Ausgang definiert ist [32].

$$F = \frac{SNR_{Eingang}}{SNR_{Ausgang}} \quad (2.4)$$

Sind die Rauschzahlen F_i der nachfolgenden Komponenten bekannt¹, so kann mit der Formel nach Friis [24] die Gesamtrauschzahl des Systems ermittelt werden. Ist die Gesamtrauschzahl F_{total} bekannt, so kann die Empfindlichkeit S des Empfängers für den minimalen Signal-Rausch-Abstand SNR_{min} berechnet werden:

$$S \text{ dBm} = \text{Grundrauschen dBm} + SNR_{min} \text{ dB} \quad (2.5)$$

¹ Bei vielen Herstellern sind für Standardkomponenten Rauschzahlen erhältlich

$$\text{Grundrauschen dBm} = 10 \log_{10}(kTB) \text{ dBm} + F_{total} \text{ dB} \quad (2.6)$$

2.2.4.2 Störsignale

Störsignale entstehen durch Intermodulations- bzw. Mischprodukte an den Nichtlinearitäten im System. Die dabei entstehenden Produkte zweiter und dritter Ordnung können als Maß für die Quantifizierung der Störungen dienen.

Ein typisches Modell, für die Ausgangsprodukte an einer Nichtlinearität ist:

$$u = a_0 + a_1 u_{in} + a_2 u_{in}^2 + a_3 u_{in}^3 + \dots \quad (2.7)$$

u_{in} : Eingangsspannung, a_i : Konstante

Dabei beschreibt der quadratische Term die erzeugten Mischprodukte zweiter Ordnung und der Term in der dritten Potenz die Mischprodukte dritter Ordnung. Für eine Nichtlinearität mit nur einem kubischen Term, würde also die Leistung des Mischprodukts dritter Ordnung dreimal so stark ansteigen, wie das Nutzsignal selbst [2].

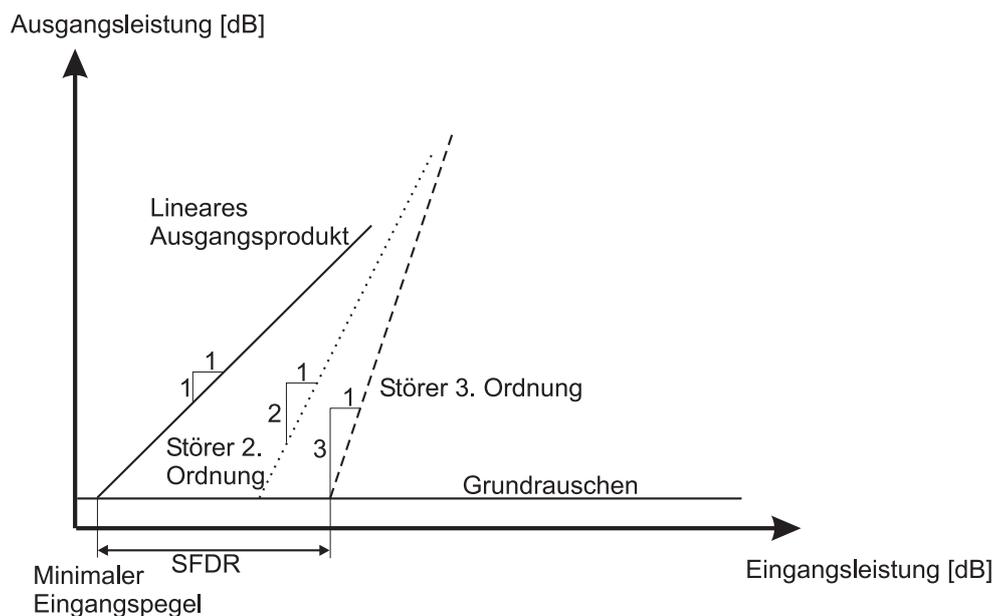


Abb. 2.6: Störprodukte an einer Nichtlinearität

Wenn man von Sättigungseffekten absieht, zeigt Abbildung 2.6 diesen Zusammenhang. Der minimale Eingangspegel ist der kleinste Signalpegel, der noch empfangen werden kann. Dieser ist nur abhängig vom Grundrauschen. Der Abstand vom minimalen Eingangspegel zu dem Schnittpunkt der Störung dritter Ordnung mit dem Grundrauschen wird als *spurious-free dynamic range*, *SFDR* bezeichnet. Dies ist der Dynamikbereich, in dem keine Verfälschungen und Störungen auftreten.

Falls der Verstärker in Sättigung geht und der tatsächliche Wert der Ausgangsleistung 1 dBm unter dem idealen Wert liegt, hat man den 1 dB - Kompressionspunkt (P_{1dB}) erreicht (Abbildung 2.7).

Durch die gezeigte Charakteristik können die Eingangssignale nicht mehr verarbeitet werden, falls ein starkes Signal den Verstärker in Kompression treibt, da er in diesem Zustand stark nichtlineares Verhalten aufweist.

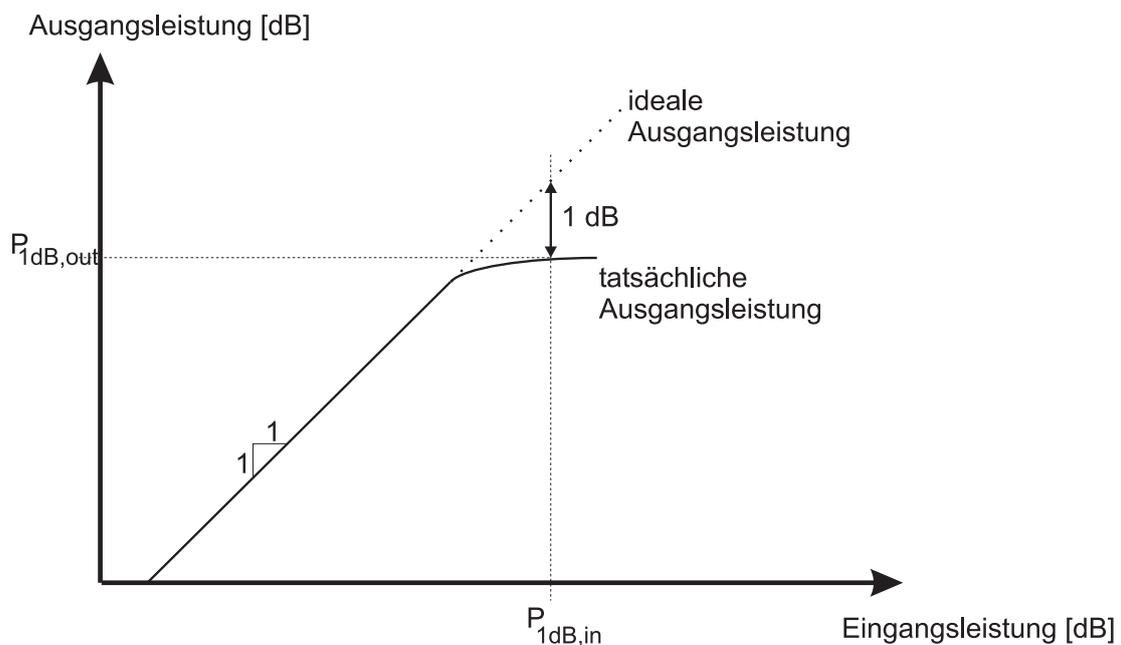


Abb. 2.7: Der 1dB-Kompressionspunkt

2.3 AD-Wandlung

Der Analog-Digital-Wandler bestimmt die Leistungsfähigkeit des gesamten Empfängersystems. Er bestimmt die wichtigen Kenndaten Eingangsbandbreite, Dynamik sowie Leistungsaufnahme und beeinflusst wesentlich die Kosten für die Realisierung der Empfänger Hardware. Wie bereits angemerkt, würde ein ideales Software Radio direkt das Signal von der Antenne konvertieren und die Transformation ins Basisband in der digitalen Ebene vornehmen. Dadurch könnte man weitere analoge Bauelemente einsparen und somit weiteres Rauschen und die Erzeugung von Störsignalen unterdrücken.

Anforderungen an einen Analog-Digital-Wandler hierfür wären:

- Eine sehr hohe Abtastrate, um breitbandige Signale verarbeiten zu können
- Eine hohe Auflösung, um den großen nötigen Dynamikbereich abzudecken

- Eine Eingangsbandbreite über mehrere Gigahertz, um den Empfang verschiedener Dienste zu ermöglichen.
- Einen großen störungsfreien Dynamikbereich um auch noch schwache Signale in Gegenwart starker Störsender empfangen zu können.
- Alle diese Anforderungen zu einem vernünftigen Preis.

Diese Forderungen sind auf Grund der technologischen Gegebenheiten derzeit nicht zu erfüllen. Daher muss ein Kompromiss zwischen Bandbreite, Dynamik, Leistungsaufnahme und Kosten gefunden werden, welcher zu einer Architektur führt, die trotz dieser Einschränkungen für bestimmte Aufgaben unter bekannten Rahmenbedingungen geeignet ist.

2.3.1 Idealer Analog-Digital-Wandler

Der Analog-Digital-Wandler transformiert ein zeit- und wertkontinuierliches Signal in ein Digitalsignal, das zeit- und wertdiskret ist. Dazu sind zwei elementare Schritte nötig: Abtastung und Quantisierung. Bei der Abtastung wird das analoge Signal umgewandelt in ein zeitdiskretes, wertkontinuierliches Signal. Das bedeutet, dass es nur zu definierten Zeitpunkten einen Wert ungleich Null besitzt. Bei der Quantisierung wird ein wertkontinuierliches Signal in ein wertdiskretes Signal transformiert. In Abbildung 2.8 sind diese Vorgänge dargestellt. Ein Analog-Digital-Umsetzer macht zuerst eine Abtastung und dann eine Quantisierung.

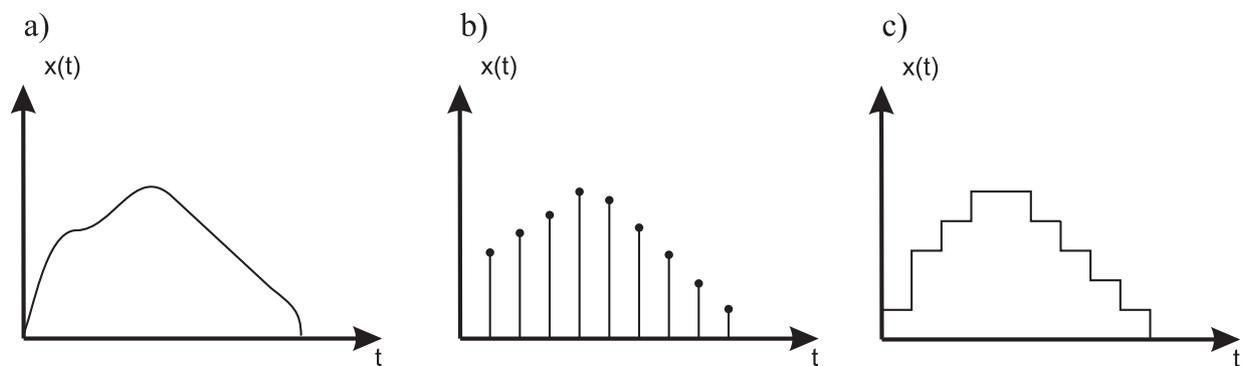


Abb. 2.8: Während der AD-Wandlung wird zunächst aus dem analogen Signal (a), durch Abtastung ein wertkontinuierliches, zeitdiskretes Signal (b) gewonnen und anschließend durch Quantisierung ein wert- und zeitdiskretes Signal (c) erzeugt.

Der Abtastvorgang ist vollständig umkehrbar, da sämtliche Information erhalten bleibt. Wenn man die Abtastung mathematisch betrachtet, so ergibt sich folgender Zusammenhang:

Ausgehend von einem kontinuierlichen Signal $x(t)$ wird durch eine Multiplikation mit einer Reihe von Impulsen $p(t)$ die einen konstanten Zeitabstand $T_S = 1/F_S$ haben (F_S : Abtastrate) ein diskretes Signal $x_S(t)$ erzeugt. Es gilt:

$$p(t) = \begin{cases} 1 & \text{für } t = n \cdot T_S \\ 0 & \text{sonst} \end{cases} \quad n = 1, 2, 3, \dots \quad (2.8)$$

$$x_S(t) = x(t)p(t) = \sum_{n=-\infty}^{\infty} x(t)\delta(t - nT_S) \quad (2.9)$$

$p(t)$ kann auch folgendermaßen ausgedrückt werden:

$$p(t) = \frac{1}{T_S} \sum_{k=-\infty}^{\infty} e^{j\frac{2\pi t}{T_S}k} \quad (2.10)$$

Durch Einsetzen der Funktion für $p(t)$ und den Übergang in den Frequenzbereich erhält man:

$$X_S(f) = \frac{1}{T_S} \sum_{k=-\infty}^{\infty} X\left(f - \frac{k}{T_S}\right) \quad (2.11)$$

Durch die Substitution $F_S = 1/T_S$ erhält man die üblichere Schreibweise:

$$X_S(f) = F_S \sum_{k=-\infty}^{\infty} X(f - kF_S) \quad (2.12)$$

Das Ergebnis dieser Transformation ergibt jeweils an den Vielfachen der Abtastfrequenz $k \cdot F_S$ ein skaliertes Spektrum des analogen Signals $x(t)$ (siehe Abbildung 2.9).

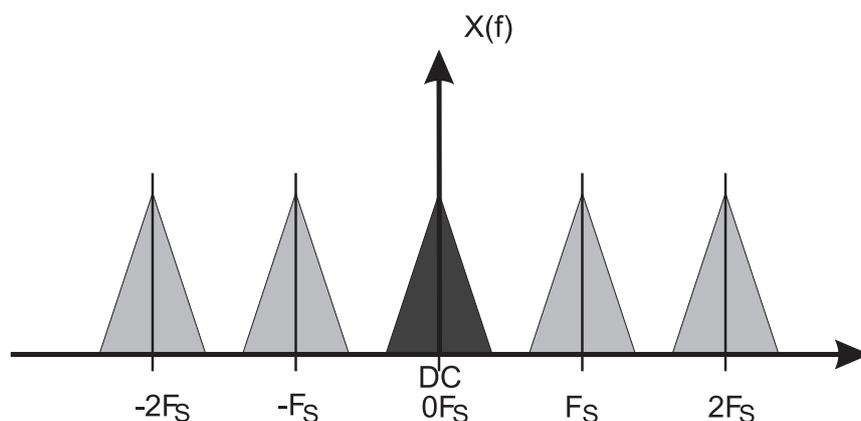


Abb. 2.9: Durch Abtastung entstehende Spiegelungen an den Vielfachen der Abtastfrequenz

Der Bereich einer einzelnen Darstellung des gewünschten Signals, also beispielsweise zwischen 0 und $F_S/2$ oder zwischen $1\frac{1}{2}F_S$ und $2F_S$ heißt *Nyquist-Zone*.

Aus Abbildung 2.9 ist ebenfalls ersichtlich, dass das abzutastende Signal eine Bandbreite von $F_S/2$ nicht überschreiten darf, da sich sonst die spektralen Anteile zweier benachbarter Instanzen überschneiden. Daher muss die Abtastrate mindestens doppelt so groß sein, wie die höchste

vorkommende Frequenz. Diese Voraussetzung ist als *Nyquist-Kriterium* bekannt. Ist diese Forderung nicht erfüllt, kommt es zu dem Effekt, dass auf Grund einer Unterabtastung dem Eingangssignal ein falsches Ausgangssignal zugeordnet wird. Diesen Effekt nennt man *Aliasing* [33][34].

Da in der Praxis das Eingangssignal immer höherfrequente Anteile enthält, sei es auf Grund von Störsendern oder von Rauschen, ist eine Bandbegrenzung am Eingang des AD-Wandlers nötig. Hierzu sind Antialiasing Filter mit hoher Güte nötig, um das gewünscht Signal möglichst scharf heraus zu schneiden. Durch eine Erhöhung der Abtastrate auf mehr als die doppelte Bandbreite (Überabtastung, engl. *oversampling*) erreicht man eine Verbreiterung der Nyquist-Zonen. Damit sinken gleichzeitig die Ansprüche an die Güte des Antialiasing Filters. Die nötige Güte steht also mit der Abtastrate in Konkurrenz.

Man kann allerdings den Effekt der Spiegelungen in die jeweiligen Nyquist-Zonen auch ausnutzen, um ein hochfrequentes Signal ins Basisband oder zu einer Zwischenfrequenz hin zu transformieren (Abbildung 2.10). Allerdings müssen die Nyquist-Zonen auch weiterhin breit genug sein, um Aliasing zu verhindern. Dies wird durch eine Abtastrate, die größer ist als die doppelte Bandbreite des Eingangssignals, erreicht. Damit wird das Nyquist-Kriterium auf die Bandbreite angewendet [13].

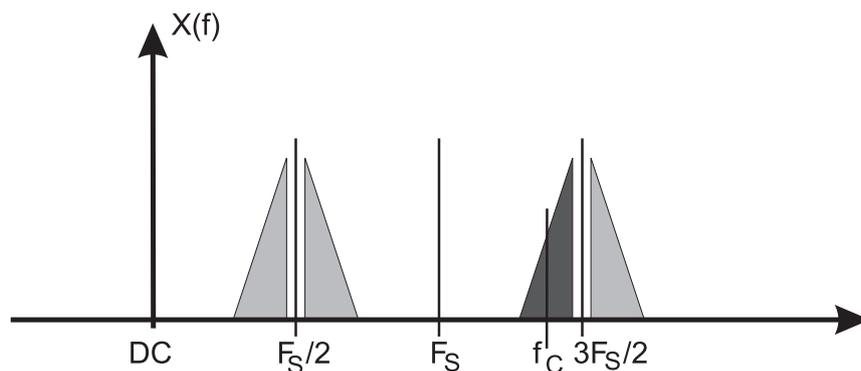


Abb. 2.10: Frequenztransformation durch Unterabtastung

Dieser Vorgang wird im folgenden als *bandbegrenzte Unterabtastung* bezeichnet.

Anhand der Abbildung 2.10 wird ersichtlich, dass die Wahl der Abtastrate nicht mehr nur von der Bandbreite des Nutzsignals abhängt. Der Bereich, in dem sich die Abtastrate bewegen darf, kann folgendermaßen berechnet werden:

$$\text{korrekte Abbildung des Spektrums: } \frac{2(f_C+B)}{2n+1} \leq F_S \leq \frac{f_C-B}{n} \quad (2.13)$$

$$\text{invertierte Abbildung des Spektrums: } \frac{f_C+B}{n} \leq F_S \leq \frac{2(f_C-B)}{2n-1}$$

mit B : Bandbreite des Nutzsignals und n : Verschiebungskoeffizient ergibt sich nach [35]:

$$0 \leq n \leq \left\lfloor \frac{f_C - B}{4B} \right\rfloor \quad (2.14)$$

wobei $\lfloor \cdot \rfloor$ den ganzzahligen Anteil der Division bezeichnet.

[36] beschreibt detailliert die Einflüsse und Einschränkungen der Abtastrate. Die minimale Rate $F_S = 2 \cdot B$ gilt nur, falls die untere Grenzfrequenz des Nutzsignals $f_C - B/2$ ein ganzzahliges Vielfaches der Bandbreite B ist. In jedem Fall ist von dieser Wahl der Abtastrate abzuraten, da kleine Schwankungen im System bereits zu einem Aliasing Effekt führen können.

Die Quantisierung in einem AD-Wandler wird durch einige einfache Parameter beschrieben: die Anzahl der Quantisierungsstufen, den Bereich der Eingangsspannung, der dargestellt werden kann und die Höhe einer Quantisierungsstufe. Die Anzahl der möglichen Quantisierungen ergibt sich aus der Anzahl der Bits b durch den Zusammenhang:

$$\text{Anzahl der Quantisierungsstufen} = 2^b \quad (2.15)$$

Normalerweise ist die Höhe der Quantisierungsstufen bei jeder Stufe gleich, so dass die Auflösung auch durch diese Höhe ΔU ausgedrückt werden kann. Falls die maximale und die minimale Eingangsspannung U_{max} und U_{min} bekannt sind, errechnet sich die Auflösung aus:

$$\Delta U = \frac{U_{max} - U_{min}}{2^b} \quad (2.16)$$

Da jeder diskrete Ausgangswert einen gewissen Spannungsbereich umfasst, entstehen durch die Quantisierung natürlich sogenannte Quantisierungsfehler $e(x)$. Dieser ist definiert als die Differenz des diskreten Wertes x_Q und des tatsächlichen analogen Wertes x :

$$e(x) = x_Q - x \quad (2.17)$$

Der maximale Fehler, der hierbei entstehen kann entspricht der halben Höhe einer Quantisierungsstufe, also $\Delta U/2$, oder

$$e_{max}(x) = \pm \frac{\Delta U}{2} = \pm \frac{U_{max} - U_{min}}{2^{b+1}} \quad (2.18)$$

Um die Einflüsse des Quantisierungsrauschens zu untersuchen, behandelt man das Fehlersignal als zufällige, gleichverteilte Größe mit dem Mittelwert Null. Dadurch kann die Wahrscheinlichkeits-Dichtefunktion des Fehlersignals angegeben werden durch

$$f(e(x)) = \begin{cases} 1/\Delta U & -\Delta U/2 \leq x \leq \Delta U/2 \\ 0 & \text{sonst} \end{cases} \quad (2.19)$$

Die Leistung des Rauschsignals P_Q kann aus dessen Erwartungswert bzw. der Varianz berechnet werden:

$$P_Q = \sigma_e^2 = E[e^2(x)] = \int_{-\infty}^{\infty} (x - x_Q)^2 p(x) dx \quad (2.20)$$

Da das Fehlersignal als gleichverteilte Zufallsvariable modelliert wird, vereinfacht sich Gleichung 2.20 zu

$$P_Q = \sigma_e^2 = \frac{\Delta U^2}{12} = \frac{(U_{max} - U_{min})^2}{12 \cdot 2^{2b}} \quad (2.21)$$

Eine weitere interessante Größe ist das Verhältnis zwischen der Leistung des Nutzsignals und der Leistung des Quantisierungsrauschens (engl. signal-to-quantization-noise ratio, SQNR).

$$SQNR = \frac{P_x}{P_Q} \quad (2.22)$$

Falls das Eingangssignal ebenfalls als gleichverteiltes Signal mit dem Mittelwert Null angenommen werden kann, ist die Leistung berechenbar zu:

$$P_x = \sigma_x^2 = E[x^2] = \frac{(U_{max} - U_{min})^2}{12} \quad (2.23)$$

Durch Einsetzen von 2.20 und 2.23 in 2.22 ergibt sich

$$SQNR = \frac{\frac{(U_{max}-U_{min})^2}{12}}{\frac{(U_{max}-U_{min})^2}{12 \cdot 2^{2b}}} = 2^{2b} = 6,02b \text{ dB} \quad (2.24)$$

Falls das Nutzsignal nicht gleichverteilt ist, kann die Rauschleistung beschrieben werden, indem das Verhältnis η aus der maximalen Leistung und der durchschnittlichen Leistung angegeben wird. Die durchschnittliche Signalleistung berechnet sich aus

$$P_{x,\emptyset} = \frac{P_{x,max}}{\eta} \quad (2.25)$$

$$P_{x,max} = \left(\frac{U_{max} - U_{min}}{2} \right)^2 = \left(2^b \frac{\Delta U}{2} \right)^2 = \frac{2^{2b} \Delta U^2}{2} \quad (2.26)$$

Sind die durchschnittliche Signalleistung und Rauschleistung bekannt, so kann das durchschnittliche SQNR berechnet werden zu

$$SQNR_{\emptyset} = \frac{P_{x,\emptyset}}{\sigma_e^2} = \frac{3 \cdot 2^{2b}}{\eta} \quad (2.27)$$

Da das Ausgangssignal des AD-Konverters einen Bereich von $[U_{min}, U_{max}]$ umfasst, das Fehlersignal aber nur einen Wert von $[-\Delta/2, \Delta/2]$ annehmen kann und überdies in der Regel gilt, dass der entstehende Fehler zufällig und unkorreliert ist, kann der Quantisierungsfehler $e(x)$ gut als zusätzliche Rauschquelle modelliert werden. Obwohl das Quantisierungsrauschen unvermeidbar ist, kann sein Einfluss durch Überabtastung oder Rauschformung (siehe Abschnitt 2.3.4, $\Sigma\Delta$ Wandler) minimiert werden.

Durch die Erhöhung der Abtastrate bleibt zwar die Leistung des Quantisierungsrauschens gleich, sie verteilt sich aber auf ein breiteres Spektrum (siehe Abbildung 2.11). Wie in Abschnitt 2.3.3 diskutiert wird, ist die Rauschleistung gleich der Varianz des Rauschsignals im Quadrat:

$$P_Q = \sigma^2 \quad (2.28)$$

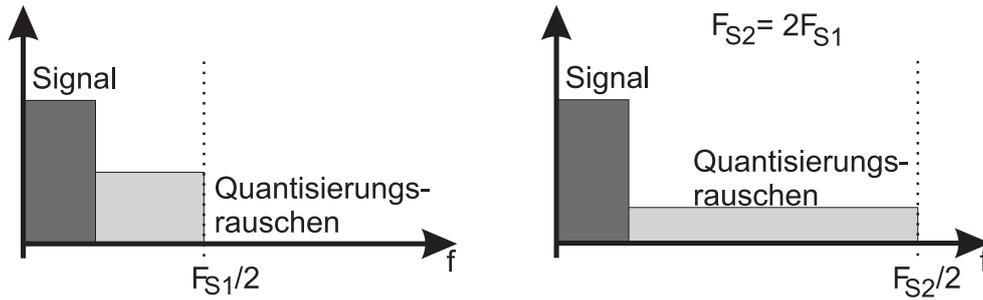


Abb. 2.11: Einfluss der Überabtastung auf das Quantisierungsrauschen.

Diese Leistung verteilt sich auf das Spektrum in einer Nyquist-Zone. Man kann also eine spektrale Leistungsdichte angeben, mit

$$\rho_{Spec} = \frac{\sigma^2}{F_S/2} = \frac{2\sigma^2}{F_S} \quad (2.29)$$

Durch Anwendung eines Bandpassfilters mit der Bandbreite B_{BPF} verbessert sich der Abstand zwischen Signal und Quantisierungsrauschen (Gleichung 2.22).

Für die Berechnung wird das Modell eines idealen Filters angewandt. Die gefilterte Rauschleistung beträgt

$$P_{Q,BPF} = \frac{2\sigma^2}{F_S} = \frac{2\Delta U^2}{12F_S} \quad (2.30)$$

Das Überabtastverhältnis (engl. oversampling ratio, OSR) ergibt sich aus der Bandbreite des Bandpassfilters B_{BPF} und der Abtastrate F_S .

$$OSR = \frac{F_S}{2B_{BPF}} \quad (2.31)$$

Setzt man dieses Ergebnis in die Gleichung 2.27 ein, so erhält man

$$\begin{aligned} SQNR_{\circ,BPF} &= \frac{P_{x,\circ}}{P_{Q,BPF}} = SQNR_{\circ} \cdot OSR = \frac{3 \cdot 2^{2b}}{\eta} OSR \\ &= 6,02b + 4,77 - 10 \log_{10} \eta + 10 \log_{10} OSR \text{ dB} \end{aligned} \quad (2.32)$$

Eine Verdopplung der Abtastfrequenz verdoppelt das Überabtastverhältnis OSR und damit auch das SQNR. Die entspricht einer Verbesserung um 3 dB. Wie aus Gleichung 2.32 ebenfalls ersichtlich ist, bringt jedes weitere Bit Auflösung eine Verbesserung des SQNR um etwa 6 dB.

2.3.2 Realer ADC

Die Beschreibung des idealen Analog-Digital-Wandlers hat gezeigt, wie die Abtastrate und die Auflösung das Ergebnis der Digitalisierung beeinflussen können. Allerdings gibt es in einem praktischen Aufbau eine Menge mehr Einflüsse, die sich auf die Konvertierung auswirken. Als

Beispiele sind zu nennen: Thermisches Rauschen, Phasenrauschen, Bitfehler, Nichtlinearitäten, Leistungsaufnahme, ...

Da die AD-Wandlung das Kernproblem dieser Arbeit darstellt, ist es nützlich, einen Analog-Digital-Konverter in seine Funktionsblöcke zu zerlegen (Abbildung 2.12) und zu analysieren. Dieses Blockschaltbild dient als Grundlage für die spätere Realisierung der AD-Wandler Architektur.

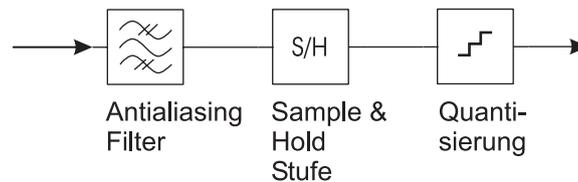


Abb. 2.12: Allgemeines Blockschaltbild eines Analog-Digital-Konverters

Wie im vorhergehenden Abschnitt erklärt, dient das Antialiasing Filter dazu, das Eingangssignal auf die Bandbreite der Nyquist-Zonen zu beschränken. Die Folge-Halte-Stufe (engl. track-and-hold, S/H) übernimmt die Rolle des Abtasters. Sie soll in regelmäßigen zeitlichen Abständen den Spannungspegel des Eingangssignals abtasten und über einen Zeitraum hinweg konstant halten, so dass der nachfolgende Komparator genügend Zeit hat, um diesen analogen Spannungswert in einen entsprechenden diskreten Digitalwert umzuwandeln. In einem Codierer wird der diskrete Wert dann in ein Bitwort „codiert“ und der weiteren Verarbeitung übergeben.

Vor allem für Anwendungen in Funkdiensten ist eine genauere Betrachtung der Dynamikforderungen interessant, da das gewünschte Nutzsignal möglicherweise mit starken Störsendern im Eingangsband überlagert wird. Trotzdem sollte der Empfang des Nutzsignals möglich sein. Dabei hat ein breitbandiger Empfänger mehr potentielle Störer, als ein schmalbandiger. Gerade die Breitbandigkeit ist jedoch der entscheidende Vorteil des Software Radios.

Das theoretische Maximum an erreichbarer Dynamik ist das SQNR, das im vorhergehenden Abschnitt eingeführt wurde (Gleichung 2.22). Durch den Einfluss von zusätzlichem Rauschen und dem von N Störsignalen ergibt sich der Dynamikbereich zu

$$Dynamik = 10 \log_{10} \left(\frac{(U_{max} - U_{min})^2 / 12\eta}{P_Q + P_T + \sum_{k=1}^N P_K} \right) \text{ dB} \quad (2.33)$$

P_K : Leistung eines Störsignals, P_T : Leistung des thermischen Rauschens.

Ein weiterer wichtiger Aspekt hinsichtlich der Dynamik ist das Verhältnis des Bereichs, in dem sich die Spannung des Eingangssignals bewegt, zu dem Spannungsbereich, den der Eingang des AD-Konverters umfasst. Dieses Verhältnis wird häufig in Prozent des AD-Wandler - Eingangsspannungsbereichs $\%U_{in}$ angegeben. $50 \%U_{in}$ entspricht somit einem idealem AD-Wandler, der ein Bit weniger Auflösung hat. Eine nicht vollständige Ausnutzung des Eingangsbereichs hat also eine Verschlechterung der verfügbaren Dynamik zur Folge. Es gilt:

$$Dynamik = 6,02 \cdot b + 20 \log_{10} \left(\frac{\%U_{in}}{100} \right) \text{ dB} \quad (2.34)$$

Dabei ist $\%U_{in}$ maximal 100. Oberhalb finden Störungen und Abschneiden des Eingangssignals statt. $\%U_{in}$ hängt im wesentlichen von der Vorverstärkung des Eingangssignals ab. Damit das Abschneiden einzelner Spitzen des Eingangssignals möglichst selten auftritt, wird in der Praxis häufig die automatische Verstärkung so ausgelegt, dass $\%U_{in}$ kleiner als 100 ist und dadurch ein Dynamikverlust von 6 dB entsteht.

Die an den Nichtlinearitäten im Analog-Digital-Wandler entstehenden Oberwellen schränken die Dynamik des Konverters weiter ein. Ein Maßstab für die gesamten Störungen, die durch die gebildeten Harmonischen entstehen, kann folgendermaßen angegeben werden:

$$THD = 10 \log_{10} \left(\frac{\sum_{i=1}^{\infty} P_i}{P_0} \right) \text{ dB} \quad (2.35)$$

THD: engl. total harmonic distortion, P_i : Leistung einer Harmonischen, P_0 : Leistung der Grundwelle

Um die Untersuchung dieser Störungen zu vereinfachen, genügt es, die Auswirkungen der stärksten Harmonischen auf die Gesamtdynamik zu betrachten (Abbildung 2.13).

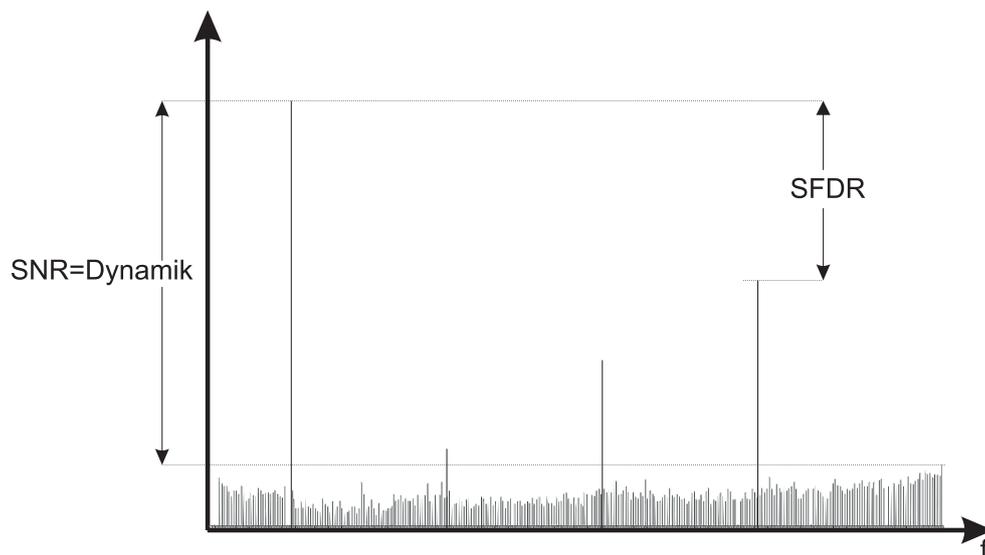


Abb. 2.13: Einschränkung der Dynamik auf Grund von Harmonischen

Das selbe Problem tritt infolge von Intermodulationsprodukten auf, wenn mehrere Signale innerhalb der Eingangsbandbreite des Eingangsfilters liegen. Die Pegel und Frequenzen der Mischprodukte hängen stark von der Frequenz des Störsenders, der Umgebungstemperatur und dem umfassten Spannungsbereich ab. Dadurch ist die Messung dieser Störeinflüsse im allgemeinen sehr kompliziert und man beschränkt sich auf die Betrachtung des schlimmsten zu erwartenden Falles.

Ein weiteres Maß für Dynamikberechnungen ist das sogenannte *signal-to-noise-and-distortion ratio*, *SINAD*. Es setzt die Leistung des Nutzsignals in Verhältnis zu den Pegeln des Rauschens und der Harmonischen.

$$SINAD = 10 \log_{10} \left(\frac{P_0}{P_{Rauschen} + \sum_{i=1}^{\infty} P_i} \right) \quad (2.36)$$

Einschränkungen in der Dynamik im realen AD-Wandler sind gleichbedeutend mit einem idealen Konverter, der eine geringere Auflösung besitzt. Daher kann als Maß für die Dynamik auch die effektive Bitzahl b_{eff} angegeben werden.

Die Werte $SINAD$, b_{eff} und damit auch die Dynamik sind frequenz- und temperaturabhängig.

2.3.3 Störeinflüsse

Sowohl Analog-Digital-Wandler als auch Digital Analog Wandler erzeugen Rauschen und Störungen. Hauptursachen sind Quantisierungsrauschen, thermisches Rauschen und das *Sampling Aperture Jitter*.

Das thermische Rauschen betrifft alle Komponenten und wurde bereits in 2.2.4.1 diskutiert.

Quantisierungsrauschen entsteht durch die begrenzte Anzahl diskreter Zustände, die dargestellt werden können. Da die Fehler, die bei der fortwährenden Abtastung durch die Unterschiede zwischen dem tatsächlich anliegenden Signalwert und dem darstellbaren Wert entstehen, als zufällig, unabhängig, gleichverteilt und mit dem durchschnittlichen Wert Null über die Quantisierungsstufen im gesamten Eingangsbereich $[U_{min}, U_{max}]$ angenommen werden können, ist es zulässig, das Quantisierungsrauschen als zusätzliche Rauschquelle zu modellieren. Das Signal dieser Rauschquelle kann als zufälliger, gleichverteilter Prozess mit dem Wertebereich $[-\Delta/2, \Delta/2]$ betrachtet werden. Für ΔU gilt die Definition aus Gleichung 2.16.

Die Digitalisierung beruht auf der Abtastung mit Zeitimpulsen konstanten Abstandes. Aperturjitter oder Aperturungenauigkeit ist das Ergebnis einer Abtastung mit ungleichen Zeitintervallen (Abbildung 2.14). Dies führt zu Phasenfehlern des abgetasteten Signals, wodurch das Grundrauschen verschlechtert wird [37].

Falls der entstehende Apertur-Fehler größer ist als die Auflösung, entstehen Bitfehler, die nicht mehr korrigiert werden können. Je größer die Frequenz des Eingangssignals ist, umso mehr gewinnt der Einfluss des Apertur Jitters an Bedeutung. Geht man von einem sinusförmigen Eingangssignal aus:

$$u_{in} = \frac{U_{max} - U_{min}}{2} \sin 2\pi ft \quad (2.37)$$

Dann ergibt sich die Änderung des Eingangssignals aus der Ableitung:

$$\frac{du_{in}}{dt} = 2\pi f \frac{U_{max} - U_{min}}{2} \cos 2\pi ft \quad (2.38)$$

Die maximale Zustands-Änderungsrate ist: $2\pi f \frac{U_{max} - U_{min}}{2}$.

Damit sich das digitalisierte Signal um nicht mehr, als eine Quantisierungsstufe ($\frac{\Delta U}{2}$) ändert, muss gelten:

$$\max \left(\frac{du_{in}}{dt} \right) \leq \frac{\Delta U}{2\tau_a} \quad (2.39)$$

τ_a : Jitter Intervall

Oftmals ist bei einem kommerziellen AD-Wandler auch das maximale Jitter Intervall bekannt, kann aber nicht beeinflusst werden. Dann berechnet sich die maximale Eingangsfrequenz aus

$$f_{max} \leq \frac{1}{2^b \pi \tau_a} \quad (2.40)$$

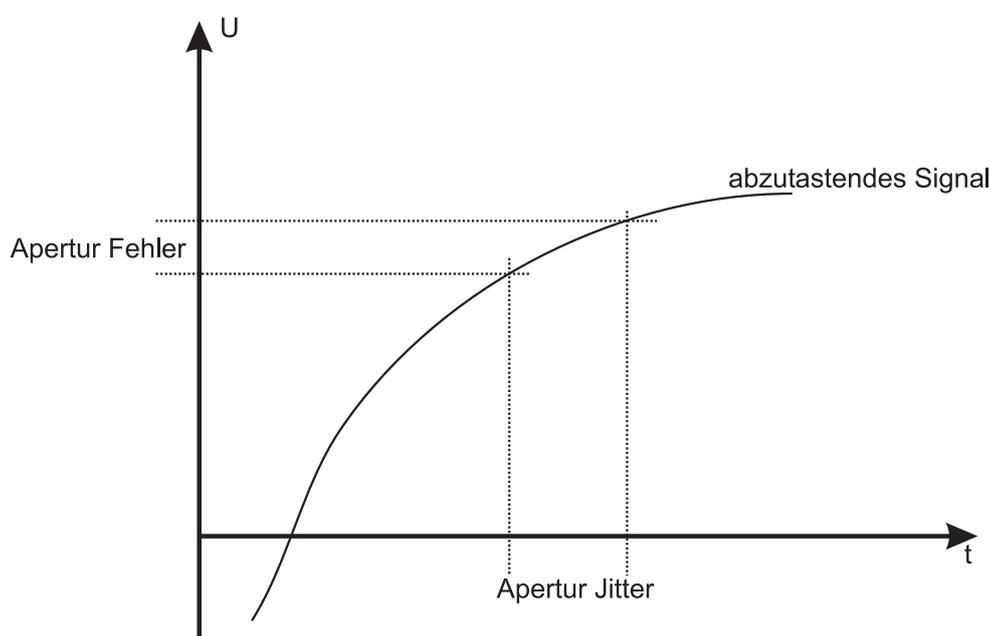


Abb. 2.14: Apertur Jitter

Betrachtet man nur den Einfluss des Apertur Jitters und vernachlässigt die anderen Effekte, so ergibt sich das Signal-Rausch-Verhältnis als

$$SNR = -10 \log_{10} \left(2\pi^2 f^2 \overline{\tau_a^2} \right) \quad (2.41)$$

τ_a^2 : Varianz des Jitter Intervalls

Anhand der Gleichungen 2.39 und 2.40 ist zu ersehen, dass der Aperturfehler mit steigender Auflösung zunimmt. Der Aperturfehler führt zu einem Phasenrauschen im digitalisierten Signal.

Weiteren Einblick in das Rauschverhalten einer bestimmten Komponente bringt das Datenblatt. Allerdings verwenden Hersteller oftmals unterschiedliche Kennzahlen, um die Leistungsfähigkeit ihrer Produkte zu beschreiben, so dass der direkte Vergleich oft schwierig ist.

Übersteigt das anliegende Signal den Eingangsbereich des Wandlers, so kommt es zu nicht-linearen Störungen. Die AGC, passt die Verstärkung so an, dass gelegentliche Spannungsspitzen den Wandler möglichst selten in Sättigung treiben. In technischen Realisierungen ist es häufig unmöglich, alle Spannungsspitzen durch die AGC zu unterdrücken, deshalb kommt es zu dieser Kompromißlösung.

Um die Leistungsfähigkeit des Gesamtsystems beurteilen zu können, sind getrennte Rauschmessungen für das HF-Frontend und den AD-Wandler nötig. Der Rauschpegel, der am Eingang des Wandlers anliegt, kann aus dem Eingangsrauschen der Antenne, der Konversionsverstärkung und der Rauschzahl des Empfängers berechnet werden. Ist der Einfluss der effektiven Rauschspannung kleiner, als die Spannung zwischen zwei Quantisierungsstufen, dann ist er zu vernachlässigen.

2.3.4 Gebräuchliche Architekturen

Wie in den vorhergehenden Abschnitten bereits erläutert wurde, besteht ein Analog-Digital-Wandler aus einer Abtasteinheit, einem Komparator und einer Codier-Logik. Für die Entwicklung eines solchen Konverters bestehen eine ganze Reihe verschiedener Möglichkeiten, diese Komponenten zu realisieren und zu kombinieren zur Verfügung. Je nach Konvertertyp ergeben sich sehr unterschiedliche Eigenschaften in Bezug auf Geschwindigkeit, Auflösung, Dynamik und Fehlereigenschaften. Die Eignung der einzelnen Lösungen hängt deshalb stark von der jeweilig gewünschten Anwendung ab, in der er eingesetzt werden soll. Daher ist beim Entwurf eines Software definierten Empfängers ein Überblick über verschiedene AD-Wandler Architekturen nützlich.

2.3.4.1 Parallele Strukturen

Parallele Analog-Digital-Konverter zeichnen sich dadurch aus, dass sie einen analogen Spannungswert, der durch eine Abtast-Halte-Schaltung erzeugt wird, in einen digitalen Wert umsetzen, indem gleichzeitig an allen Quantisierungsstufen logische Ausgangswerte zu der angelegten Spannung erzeugt werden.

In *Flash-Konvertern* liegt das analoge Signal aus dem Abtaster an einer Komparator-Bank an. Jeder Komparator wird mit einer Referenzspannung versorgt. Die Schritte zwischen zwei benachbarten Referenzspannungen entspricht der Auflösung $\Delta U = \frac{U_{max} - U_{min}}{2^b}$ des Konverters. Alle Komparatoren, deren Referenzspannung unter dem aktuell am Eingang anliegenden Spannungswert liegt, erzeugen am Ausgang eine logische 1, die anderen eine logische 0. In einer einfachen Logikschaltung kann das Ergebnis aller Komparatoren in ein Bitwort umgewandelt werden.

Für die Realisierung eines N Bit Wandlers sind $2^N - 1$ Komparatoren nötig (siehe Abbildung 2.15). Die benötigte Fläche und der Stromverbrauch steigt dadurch exponentiell mit der Anzahl der Bits. Mit steigender Bitanzahl steigen die Anforderungen an die Präzision der Widerstandswerte und die der Spannungsquelle für die Referenz. Die steigende Anzahl der Komparatoren vergrößert die Eingangskapazität und führt damit zu einem Tiefpassverhalten des Wandlers. Dies

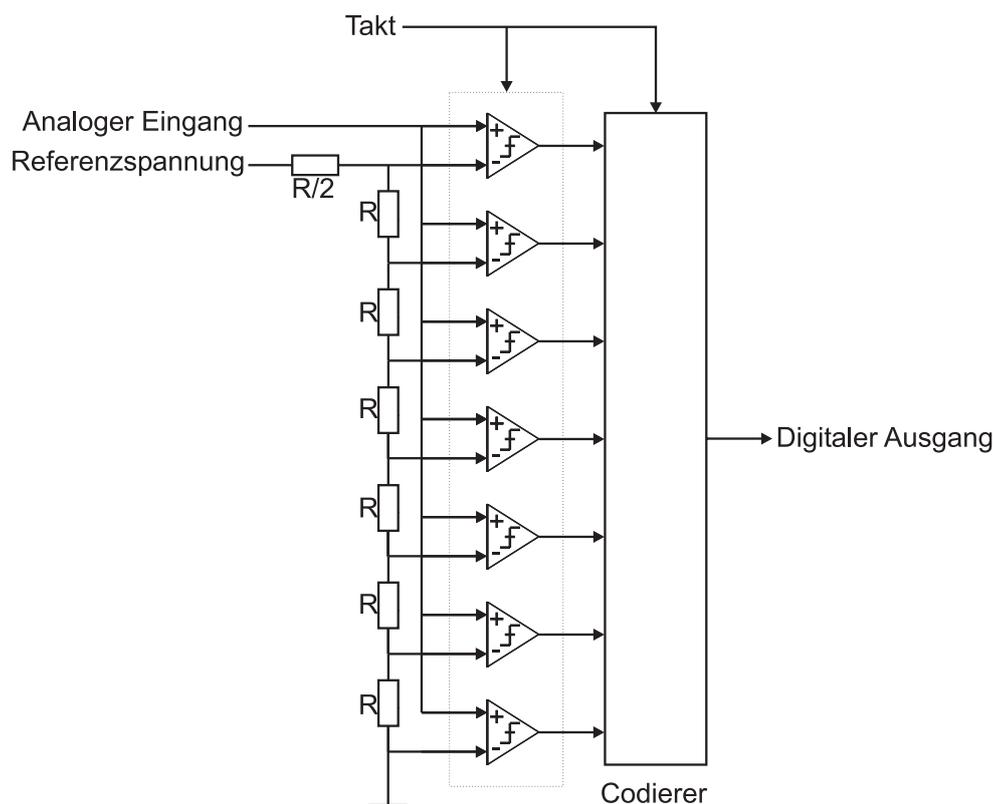


Abb. 2.15: Drei-Bit Flash Konverter

bedeutet eine Einschränkung der möglichen Eingangsbandbreite. Bei all diesen Nachteilen ist der Flash-Konverter der derzeit schnellste AD-Wandlertyp.

Mit Hilfe von *Binär gewichtende Architekturen* kann das Problem des exponentiellen Wachstums der Komparatoranzahl umgangen werden, indem die Referenzspannungen nicht äquidistant angeordnet sind, also die Spannung nicht linear mit der Nummer des Komparators ansteigt. Stattdessen wird ein exponentieller Anstieg realisiert. Hierzu verwendet man die Widerstandswerte R , $2R$, $4R$, ..., $2^N R$. Allerdings wird diese Technik fast ausschließlich in Digital Analog Konvertern eingesetzt.

Bereits kleine Abweichungen in den Widerstandswerten können die Linearität des Konverters stark beeinträchtigen. Dieser Effekt wird durch die exponentiell steigenden Widerstandswerte und deren Toleranzen noch verstärkt.

Dieses Problem kann allerdings umgangen werden, in dem man die nötigen Widerstandswerte in einem *Leiter Netzwerk* (Abbildung 2.16) durch variable Beschaltung erzeugt.

Dabei genügt es, wenn präzise gefertigte Widerstände mit den Werten R und $2R$ zur Verfügung stehen. Durch die Anordnung der Widerstände in dem Netzwerk können Einsparungen in Platz-, Stromverbrauch und Komplexität erzielt werden, ohne große Geschwindigkeitseinbußen hinnehmen zu müssen.

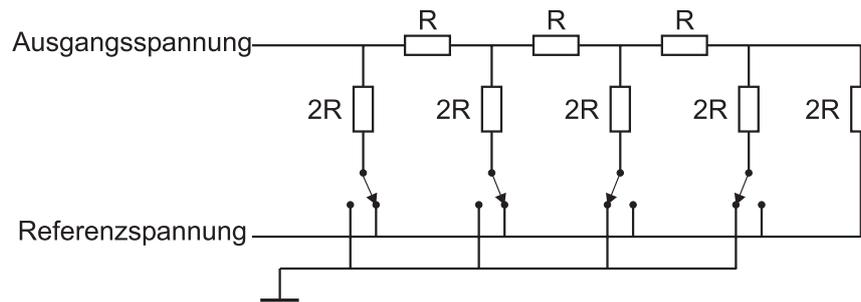


Abb. 2.16: R - 2R Leiter-Netzwerk

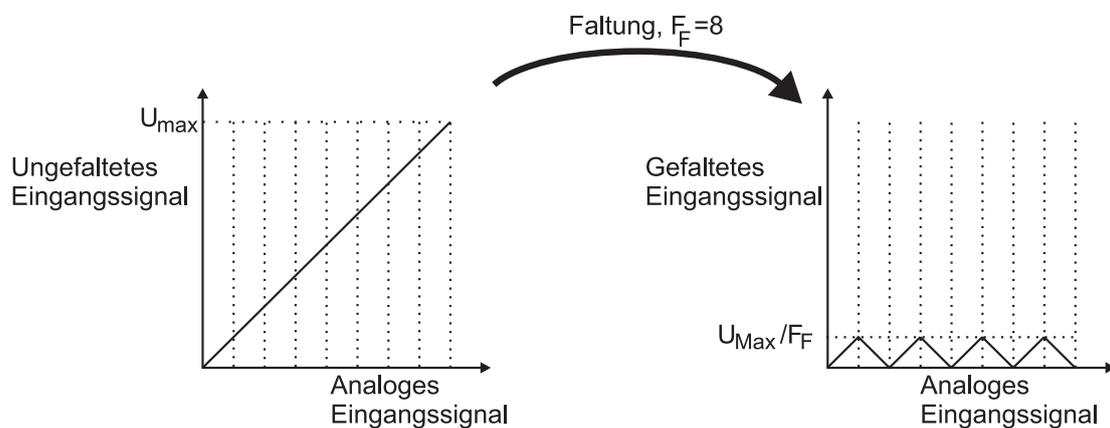
2.3.4.2 Segmentierte Strukturen

Bei einem Segmentierten Wandler wird das Eingangssignal aufgespaltet in einen Anteil mit großer Amplitude aber diskreten Werten $U_S(t)$ und einen Anteil mit fester maximaler Amplitude, aber kontinuierlichen Werten $u_S(t)$. Das Eingangssignal lässt sich also beschreiben als

$$x(t) = U_S(t) + u_S(t) \quad (2.42)$$

Diese Signalanteile werden in getrennten Konvertern unabhängig voneinander digitalisiert und dann wieder zusammengesetzt. Durch eine geschickte Aufteilung des analogen Signals ist es möglich hohe Leistungsfähigkeit zu erreichen, obwohl der Aufbau aus AD-Wandlern mit geringer Auflösung besteht.

Die Aufspaltung des Zeitsignals kann beispielsweise durch eine Faltungsoperation erfolgen.

Abb. 2.17: Faltungsoperation mit Faltungsfaktor $F_F = 8$

Durch diese Faltungsoperation wird das analoge Signal in eine diskrete Anzahl an Abschnitten aufgeteilt, die jeweils einen Wertebereich von $[0, (U_{max} - U_{min})/F_F]$ umfassen. ($U_{max} - U_{min}$) bezeichnet dabei den Eingangsspannungsbereich und F_F ist der Faltungsfaktor. Das in Abbildung 2.17 gezeigte Verfahren dient zur Generation von $u_S(t)$.

Technisch kann die Faltung durch eine Transistorschaltung realisiert werden.

In einem *Faltungs-Konverter* wird das Eingangssignal in zwei unabhängige Signale aufgeteilt und $u_S(t)$ in einer Faltungsschaltung mit $F_F = 2^K$ erzeugt. In zwei getrennten Analog-Digital-Wandlern werden dann die beiden Signalanteile konvertiert (Abbildung 2.18). Um den Hardware-Aufwand zu minimieren, ist es sinnvoll für die Konvertierung von $u_S(t)$ einen präzisen AD-Wandler zu verwenden und für die Konvertierung von $U_S(t)$ einen etwas groberen. Haben beide Konverter jeweils eine Auflösung von M bzw. K Bits, so ergibt sich die Auflösung des gesamten Systems zu $b = M + K$.

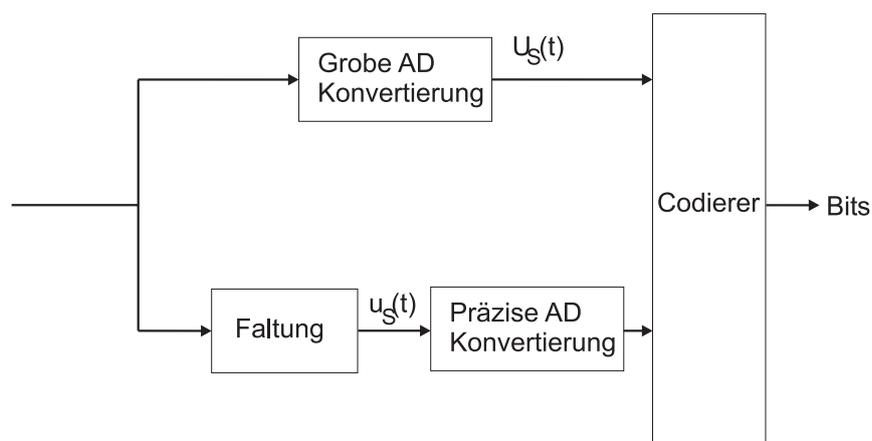


Abb. 2.18: Blockschaltbild eines Faltungs-Konverters

Werden beide AD-Wandler als Flash Konverter implementiert, dann ergibt sich die maximale Anzahl an nötigen Komparatoren als

$$N = 2^M + 2^K - 2 \quad (2.43)$$

Im Vergleich dazu würde ein einzelner Flash Konverter mit gleicher Auflösung b

$$N = 2^b - 1 = 2^{M+K} - 1 \quad (2.44)$$

Komparatoren benötigen.

Da die erzeugte Faltungsoperation nicht stückweise linear sind, sondern an den Maxima und Minima abgerundet und damit nichtlinear ist, können durchaus problematische Störeinflüsse entstehen. Diese zu unterdrücken erfordert einen deutlichen Mehraufwand in der Schaltungstechnik, wodurch die gewonnene Vorteile, zumindest teilweise, wieder verloren gehen.

Eine Verbesserung dieses Problems, das durch die Nichtlinearität entsteht, bringt die Einführung eines Interpolators. Dieser erzeugt gefaltete Signale mit Werten zwischen denen zweier benachbarter Faltungsschaltungen. Dadurch ist es möglich bei Verwendung von F Faltungsschaltungen am Ausgang des Interpolators N Signale zu erhalten und damit parallel N präzise AD-Wandler zu versorgen. Häufig wird N so gewählt, dass jeder der präzisen Konverter nur einen Komparator benötigt um die Auflösung M im gesamten gefalteten Signalpfad zu erreichen.

Der faltende und interpolierende Konverter kommt mit einem deutlich geringeren Hardwareaufwand aus, ohne dabei wesentlich an Leistungsfähigkeit gegenüber den strukturierten Wandlern einzubüßen. Durch die einfachere Architektur am Eingang entstehen deutlich weniger parasitäre Kapazitäten, wodurch die Bandbreite des analogen Signals vergrößert wird.

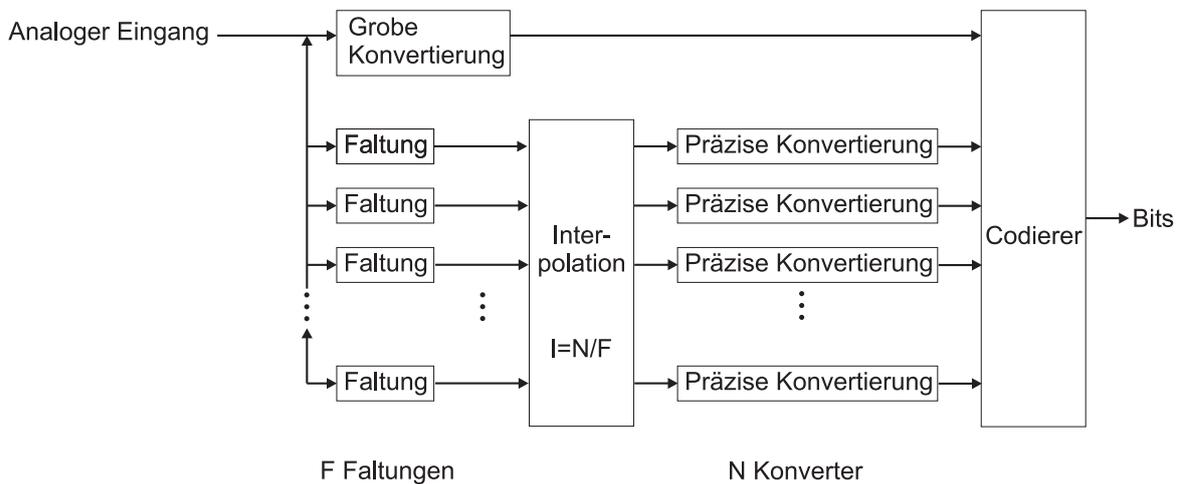


Abb. 2.19: faltender und Interpolierender Konverter

Es hat sich herausgestellt, dass die Vielzahl einzelner Signalpfade zu Laufzeitunterschieden führt, die schaltungstechnisch ausgeglichen werden müssen. Dies ist nötig, damit das Signal im Codierer aus seinen Anteilen wieder rekombiniert und in ein Bitwort umgewandelt werden kann. Wenn der Interpolationsgrad (N/F) größer als zwei wird, kommt es häufig zu nichtlinearen Verzerrungen.

2.3.4.3 Iterative Strukturen

Iterative Konverter benutzen das gleiche Funktionsprinzip, wie die segmentierenden, nur dass sie das Eingangssignal nicht parallel zerlegen, sondern seriell. Das Ergebnis der ersten, groben Konvertierung erzeugt als Ergebnis das Signal $U_S(t)$, das vom Eingangssignal abgezogen wird. Das übrige Signal $u_S(t)$ wird dann noch einmal quantisiert und der ganze Vorgang wird so oft wiederholt, bis die gewünschte Genauigkeit erreicht ist.

Der *Teilbereichs Konverter* (Abbildung 2.20) benutzt zur Digitalisierung zwei getrennte AD-Wandler mit jeweils $b/2$ Bits Auflösung (b : Auflösung des gesamten Systems).

Durch die Verarbeitungszeit der beiden aufeinander folgenden AD-Wandler und der des DA Wandlers erreicht diese Architektur nicht die hohen Geschwindigkeiten paralleler Konverter. Die Steigerung der möglichen Abtastrate ist nur durch Einsparungen an den Verarbeitungszeiten der einzelnen Konverter möglich. Die dadurch entstehenden Fehler können zu einem großen Teil durch eine digitale Fehlerkorrektur behoben werden. Dadurch steigt aber wieder der technische Aufwand dieser Realisierung.

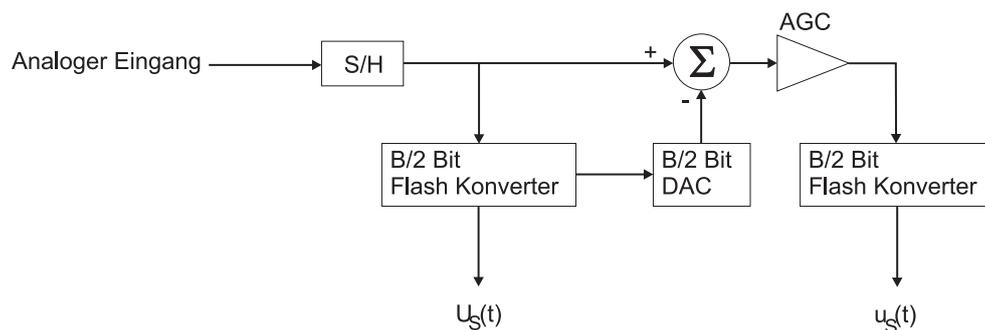


Abb. 2.20: Teilbereichs Konverter

Um das Quantisierungsrauschen zu verringern besteht mit dieser Architektur die Möglichkeit, mehrere Aufspaltungen des Signals nacheinander vorzunehmen, indem in mehreren seriellen Blöcken immer wieder das digitalisierte Signal subtrahiert wird und die digitalen Repräsentationen der Teilsignale auf digitaler Ebene wieder zusammengefügt werden. Auf diese Weise wird Verarbeitungsgeschwindigkeit gegen Quantisierungsgenauigkeit eingetauscht.

Der Konvertertyp, der in Abbildung 2.21 dargestellt ist, zerlegt das Eingangssignal durch schrittweise iteratives Vorgehen. Dieses Prinzip entspricht der eben genannten seriellen Verarbeitung des Eingangssignals, nur mit dem Unterschied, dass das Signal immer wieder durch den selben Komparator läuft.

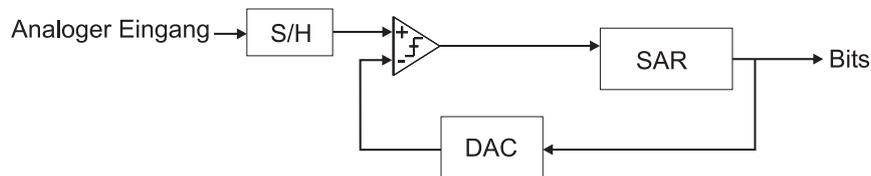


Abb. 2.21: Konverter, der mit schrittweiser Annäherung arbeitet

Dabei werden in einem Register (engl. successive approximation register, SAR) der Reihe nach alle b möglichen Bitworte gesetzt und jeweils der entsprechende analoge Wert mit dem Wert des Abtast-Halte-Gliedes verglichen. Dieser Vorgang dauert 2^b Schleifendurchläufe. Während dieser Zeit muss das Signal der Abtast-Halte-Stufe konstant gehalten werden. Mit steigender Bitzahl nimmt der Zeitbedarf exponentiell zu.

2.3.4.4 $\Sigma\Delta$ Strukturen

Wie bereits mehrfach angedeutet wurde, stehen beim Entwurf eines Analog-Digital-Konverters die Kenngrößen Auflösung und Abtastrate in Konkurrenz. Da ein Ein-Bit-Wandler für Anwendungen im Kommunikationsbereich wenig sinnvoll ist, da die nötige Dynamik fehlt, muss dieser Mangel durch ein größeres Überabtastverhältnis aufgehoben werden. Nach Gleichung 2.32 ergibt sich das Signal-Rausch-Verhältnis zu

$$SNR = 6,02b + 4,77 - 10 \log_{10} \eta + 10 \log_{10} OSR \text{ dB}$$

Aus dieser Gleichung lässt sich ableiten, dass zwischen dem Überabtastverhältnis und der Auflösung in Bit folgender Zusammenhang besteht:

$$OSR = c \cdot \frac{1}{2^{2b}} \quad (2.45)$$

Dabei ist c eine Proportionalitätskonstante.

Um mit einem Ein-Bit-Quantisierer bei konstantem Signal-Rausch-Verhältnis eine effektive Auflösung von zwölf Bit zu erreichen, ist ein Überabtastverhältnis von $2^{22} \approx 4$ Millionen nötig. Für eine Anwendung mit nur 1 MHz Bandbreite bräuchte man bereits eine Abtastrate von 8 THz.

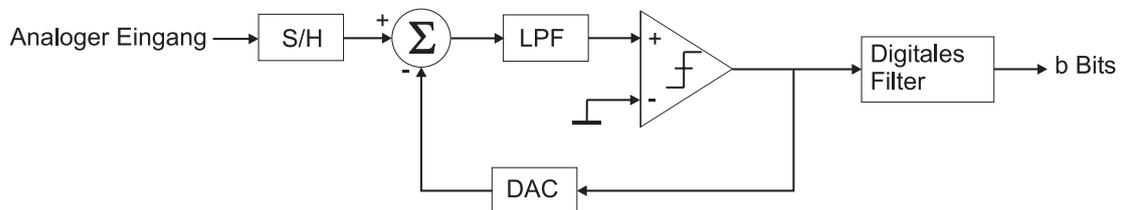


Abb. 2.22: Blockschaltbild des $\Sigma\Delta$ Wandlers

$\Sigma\Delta$ Wandler können diese widersprüchlichen Anforderungen an Abtastrate und Auflösung überwinden, in dem sie gleichzeitig mit der Überabtastung eine Rauschformung über mehrere Größenordnungen durchführen und dadurch die Auflösung erheblich verbessern. Die Rauschformung wird erreicht, in dem man den $\Sigma\Delta$ Wandler so konzipiert, dass der größte Teil der Rauschleistung außerhalb der Eingangsbandbreite liegt [38].

Ein $\Sigma\Delta$ Wandler (Abbildung 2.22) besteht aus einem Tiefpassfilter (LPF), einem Komparator, einem DA Konverter und einem Addierer. Diese Komponenten zusammen bilden den $\Sigma\Delta$ Modulator. Das digitale Filter dient dazu durch Mittelwertbildung aus den einzelnen Werten des Modulators, den Wert des Eingangssignals zu rekonstruieren [39].

Durch die Rauschformung ist der Gewinn nicht mehr 3 dB pro Verdopplung der Abtastrate, sondern beträgt wesentlich mehr. Um die Rauschformung zu analysieren wird das Quantisierungsrauschen als weißes Rauschen modelliert. Damit lässt sich nach Gleichung 2.21 die Leistung des Quantisierungsrauschens berechnen:

$$e_{eff}^2 = \frac{1}{\Delta U} \int_{-\Delta U/2}^{\Delta U/2} e^2 de = \frac{\Delta U^2}{12^2} \quad (2.46)$$

$$\Rightarrow e_{eff} = \frac{\Delta U}{12} \quad (2.47)$$

ΔU : Spannungsdifferenz zweier benachbarter Quantisierungsstufen

Daraus ergibt sich die Spektrale Dichte in einer Nyquist-Zone:

$$E(f) = e_{eff} \left(\frac{2}{f_s} \right)^{1/2} \quad (2.48)$$

f_s : Abtaste

Integriert man dieses Ergebnis über die Eingangsbandbreite, so erhält man

$$n_0 = e_{eff} \left(\frac{2f_0}{f_s} \right)^{1/2} = e_{eff} \left(\frac{1}{OSR} \right)^{1/2} \quad (2.49)$$

n_0 : Leistung des Quantisierungsrauschens innerhalb der Eingangsbandbreite, f_s : Abtaste, f_0 : Eingangsbandbreite.

Für die Analyse der Rauschformung, kann man den Modulator wie in Abbildung 2.23 modellieren. Als Komparator dient dabei eine Rauschquelle. Für den Signalfluss ergibt sich folgender Zusammenhang:

$$y_i = x_{i-1} + (e_i - e_{i-1}) \quad (2.50)$$

Daraus ergibt sich die Spektrale Dichte $N(f)$ des Quantisierungsrauschens $n_i = e_i - e_{i-1}$ als

$$N(f) = E(f) \cdot \left| 1 - e^{-j\omega} \right| = 2e_{eff} \left(\frac{2}{f_s} \right)^{1/2} \sin \left(\frac{\omega}{2f_s} \right) \quad (2.51)$$

Aus der Integration von Gleichung 2.51 über f_0 , ergibt sich die Rauschleistung innerhalb der zu konvertierenden Bandbreite

$$n_0 = e_{eff} \frac{\pi}{\sqrt{3}} \left(\frac{2f_0}{f_s} \right)^{3/2} = e_{eff} \frac{\pi}{\sqrt{3}} \left(\frac{1}{OSR} \right)^{3/2} \quad (2.52)$$

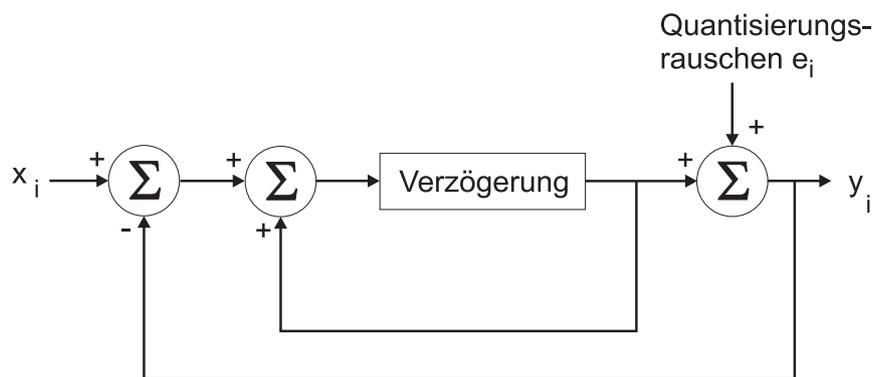


Abb. 2.23: $\Sigma\Delta$ Modulator erster Ordnung [40]

Bedeutete also bei den bisherigen Konvertern eine Verbesserung des Signal-Rausch-Abstandes von 3 dB pro Verdopplung des Überabtastverhältnisses, so sind es nun mit Hilfe der Rauschformung 9 dB. Diese Werte gelten für eine $\Sigma\Delta$ Modulator erster Ordnung. Durch Erhöhung der Modulator Ordnung kann dieses Verhalten noch weiter verbessert werden.

Da $\Sigma\Delta$ Wandler nur einen Ein-Bit-Quantisierer besitzen sind sie sehr linear. Signalverzerrungen auf Grund von Unterschieden zwischen den einzelnen Quantisierungsstufen können hier nicht auftreten. Im allgemeinen sind sie für geringere Bandbreiten geeignet als andere Architekturen [41][42].

Bei der Implementierung von $\Sigma\Delta$ Wandlern ist man nicht auf die Ein-Bit-Quantisierung festgelegt. Die Verwendung von höher auflösenden AD-Konvertern, anstelle eines Komparators kann die Leistungsfähigkeit der $\Sigma\Delta$ Architektur weiter verbessern. Auch hier gilt die Beziehung aus Gleichung 2.32 (ohne Berücksichtigung der Modulator Ordnung)

$$SNR = 6,02b + 4,77 - 10 \log_{10} \eta + 10 \log_{10} OSR \text{ [dB]}$$

aus der ersichtlich ist, dass jedes weitere Bit das Signal-Rausch-Verhältnis um ca. 6 dB verbessert. Da dadurch der Dynamikbereich des Systems größer wird, spielen jedoch nichtlineare Effekte in dem verwendeten Multibit AD-Wandler und dem entsprechenden DA Wandler im Rückkopplungspfad eine wichtige Rolle.

Die Ordnung des Modulators bezeichnet die Anzahl der Rückkopplungspfade. In Abbildung 2.24 ist ein $\Sigma\Delta$ Wandler zweiter Ordnung skizziert.

Die Ordnung des Konverters beeinflusst ebenfalls die Rauschformung. Nach [40] berechnet sich die Rauschleistung innerhalb der Bandbreite bei einem Modulator der Ordnung L folgendermaßen.

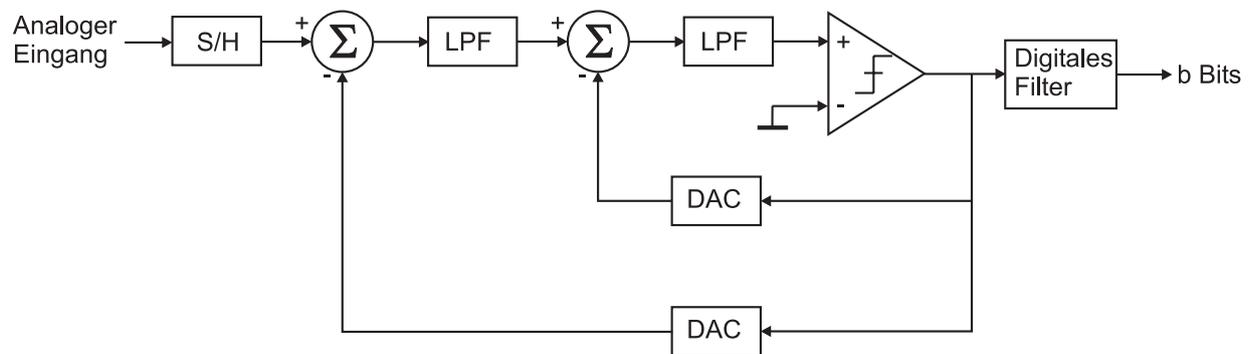
$$n_0 = e_{eff} \frac{\pi^L}{\sqrt{2L+1}} \left(\frac{2f_0}{f_s} \right)^{L+\frac{1}{2}} = e_{eff} \frac{\pi^L}{\sqrt{2L+1}} \left(\frac{1}{OSR} \right)^{L+\frac{1}{2}} \quad (2.53)$$

Damit läßt sich ein einfacher Zusammenhang zwischen Überabtastrate, Modulator Ordnung und der Verbesserung des Signal-Rausch-Abstandes erkennen:

$$Verbesserung_{SNR} = (6L + 3)OSR \text{ [dB]} \quad (2.54)$$

Die Ordnung kann nicht beliebig erhöht werden, da es bei Modulatoren höherer Ordnung schwierig ist, die nötige Stabilität zu garantieren.

Man spricht bei $\Sigma\Delta$ Konvertern von Instabilität, wenn die Eingangsspannung den zulässigen Bereich des Quantisierers über- oder unterschreitet. Eine ausführliche Diskussion von Stabilitätsbedingungen ist in [41] zu finden.

Abb. 2.24: $\Sigma\Delta$ Wandler zweiter Ordnung

3. SYSTEMKONZEPT EINES DIREKT-DIGITALISIERENDEN EMPFÄNGERS

Mit den bisher geschaffenen Grundlagen soll in diesem Kapitel schrittweise die Architektur des direkt digitalisierenden Empfängers erarbeitet werden. Ziel ist es, einen möglichst idealen Software-konfigurierbaren Empfänger zu realisieren, der ein Nutzsignal der Bandbreite 500 MHz auf einem Träger der Frequenz 2,4 GHz bei einer Abtastrate von 10,66 GHz verarbeiten kann. Dazu muss idealerweise das Eingangssignal direkt, ohne weitere Vorverarbeitung in ein digitales Signal konvertiert werden. Da ein ideales Software Radio nur aus einem AD-Konverter und einer Antenne besteht, kann im Folgenden sowohl von einem Empfänger als auch einem Analog-Digital-Wandler die Rede sein. Um Aliasing-Effekte bei der Analog-Digital-Wandlung zu vermeiden, ist vor der eigentlichen Konvertierung eine Bandpassfilterung des Zeitsignals nötig. Auf Grund der in Kommunikationssystemen erforderlichen Dynamik, muss auch ein Eingangsverstärker in den Entwurfsprozess mit eingeplant werden. Damit ergibt sich das Blockschaltbild, wie in Abbildung 3.1 dargestellt.

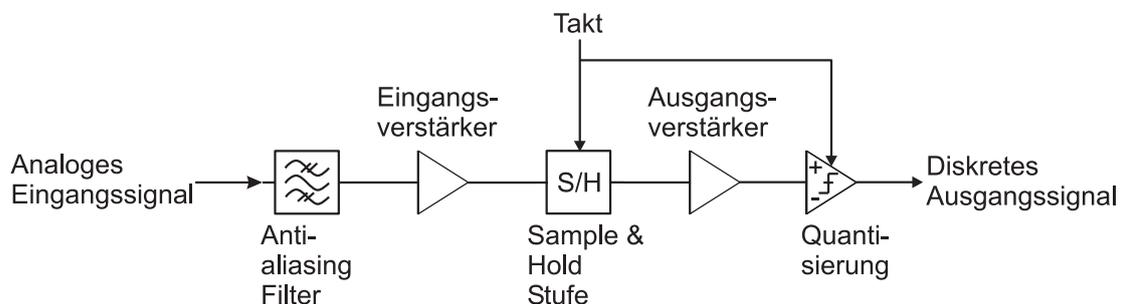


Abb. 3.1: Blockschaltbild des direkt digitalisierenden Empfängers

Zur Erläuterung der Architektur werden einige grundlegende Aspekte aus den vorhergehenden Kapiteln noch einmal kurz wiederholt, um die Funktion der einzelnen Komponenten zu erläutern.

Als analoges Eingangssignal wird ein Signal direkt von einer Antenne oder einer anderen Signalquelle angenommen. Analog-Digital-Konverter besitzen immer eine maximale Eingangsfrequenz, bei deren Überschreitung Aliasing-Effekte auftreten. Ursache dafür ist die beschränkte mögliche Abtastrate. Auch bei der in [12] erläuterten Vorgehensweise zur Digitalisierung von analogen Signalen besteht eine solche Beschränkung, da hier zwar nicht direkt die Abtastrate aber die Anzahl der berechneten Stützstellen nicht beliebig groß gewählt werden kann. Da jedoch

das Eingangssignal auf Grund der gewählten Anwendung, bzw. alleine auf Grund des Rauschens, eine spektrale Ausdehnung haben kann, die sehr viel größer ist, als die Eingangsbandbreite des Wandlers, muss es in jedem Fall bandbegrenzt werden. Dazu dient das Antialiasing Filter.

Um die unter Umständen sehr schwachen Eingangssignale auf einen Pegel zu verstärken, der eine garantierte Funktion der Folge-Halte-Stufe gewährleisten kann, folgt dem Bandpassfilter ein Eingangsverstärker. Die Folge-Halte-Schaltung selbst weist keine obere Grenze der Eingangsspannung auf, die von praktischer Bedeutung wäre, so dass beim Entwurf des Eingangsverstärkers auf eine automatische Regelung der Verstärkung (AGC) verzichtet werden kann.

Der Abtastschalter selbst ist das Kernstück dieser Arbeit. Er soll dem Eingangssignal außerhalb der Haltephasen folgen und während der Haltephasen die aktuell anliegende Eingangsspannung so lange konstant halten, dass der Komparator zuverlässig eine Entscheidung treffen kann. Die Abtaststufe besteht aus einem Diodenschalter und einer Haltekapazität. Um die Folge- und Haltephasen zu erzeugen benötigt sie, wie jeder AD-Wandler ein Taktsignal.

Auch wenn man ideale Komponenten annimmt, weist der Abtastschalter sehr hohe Konversionsverluste auf. Aus diesem Grund ist ein zweiter Verstärker nötig, der genug Signalpegel erzeugt, um den Eingangsspannungsbereich des Komparator voll auszunutzen. Auf Grund der großen Komplexität, die eine Abtastung mit etwas über 10 GHz Abtastrate mit sich bringt, nutzt das geplante System anstelle eines Multibit Analog-Digital-Wandlers lediglich einen Ein-Bit-Quantisierer, um die Funktionalität der Architektur nachzuweisen. Beim Ausgangsverstärker kann ebenfalls auf eine AGC verzichtet werden, da der Komparator nur zwischen Werten größer und kleiner Null unterscheidet. Er wurde als Flip-Flop-Schaltung realisiert und besitzt keine obere Spannungsgrenze, die für die technische Realisierung von Belang wäre. Da das Eingangssignal für den Komparator während der Folgephase einer sehr großen zeitlichen Änderung unterliegt, muss sichergestellt werden, dass er seine Entscheidung während der Haltephasen trifft. Aus diesem Grund ist die Realisierung als getakteter Komparator nötig. Die Phase des Taktsignals muss an die Haltephasen am Eingang angepasst werden können.

Aus dem Blockschaltbild ist ebenfalls ersichtlich, dass keine Mischung und weitere Verarbeitung auf einer Zwischenfrequenz nötig ist. Dadurch gewinnt man die bekannten Vorteile einer minimalen Anzahl nötiger analoger Komponenten. Diese Vorgehensweise minimiert das Rauschen und die Erzeugung von störenden Mischprodukten innerhalb der Empfängerhardware.

Gemäß der in Abschnitt 1.3 angeführten Aufgabenteilung, wurden die Antialiasing Filter vom FBH Berlin als Hohlraum-Resonatoren entworfen und vermessen und von der Technologie des DaimlerChrysler Forschungszentrums in Ulm gefertigt. Entwurf, Realisierung und Messung der beiden Verstärker, sowie des getakteten Komparators entstanden in Zusammenarbeit der Universität Ulm und ATMEL. An der Technischen Universität München erfolgte die Simulation und damit der theoretische Nachweis des Empfängerkonzepts, die Parametrisierung der nötigen Komponenten und der Entwurf, die Realisierung sowie die Messung des Abtast Schalters.

Auf Grund dieser Aufgabenteilung liegt der Fokus dieser Arbeit auf den Eigenschaften und Problemen der Folge-Halte-Stufe. Diese Abtastschaltung ist die zentrale Komponente der gesamten Konverterarchitektur. Die nötige Bandbreite übersteigt die maximal auftretende Eingangsfrequenz um ein Vielfaches. Dieser Effekt wird in Abschnitt 3.1 untersucht. Neben der Realisierung mit Hilfe einer Diodenbrücke als schaltendes Element, wurden auch die Möglichkeiten einer

Implementierung in Transistortechnologie untersucht. Weiterhin werden Simulationsergebnisse vorgestellt, die die komplette Analog-Digital-Konverter Architektur umfassen. Anhand dieser Simulationen und mit Hilfe der Messergebnisse wird die technische Realisierbarkeit und die Funktionalität des vorgestellten Konzepts nachgewiesen.

Es ist zu beachten, dass die entwickelte Architektur lediglich auf einer Ein-Bit-AD-Wandlung basiert. Für Anwendungen im Kommunikationsbereich ist diese Auflösung natürlich viel zu gering. Allerdings kann das Konzept mit einigen Erweiterungen als Grundlage einer $\Sigma\Delta$ Architektur dienen und damit durch Rauschformung eine wesentlich höhere Auflösung erreichen. Das $\Sigma\Delta$ Konzept selbst wurde in dieser Arbeit nicht experimentell untersucht.

3.1 Mischung / Abtastung

In Abschnitt 2.3.1 wurde bereits gezeigt, dass die bandbegrenzte Abtastung die Abwärtsmischung ins Basisband oder zu einer Zwischenfrequenz hin ersetzen kann. Dadurch können viele nachteilige Eigenschaften der Mischung, wie zum Beispiel die Erzeugung von Harmonischen höherer Ordnung vermieden werden und müssen nicht durch aufwändige Kompensation entfernt werden. Verzichtet man ganz auf einen Mischer, so können viele parasitäre Effekte vermieden werden. Dazu zählen vor allem das Rauschen der nötigen analogen Baugruppen und die Erzeugung von Harmonischen und Mischprodukten, die als Störfrequenzen das Eingangssignal überlagern.

Die Abtastung eines analogen Signals mit äquidistanten Abtastimpulsen erzeugt ebenfalls Mischprodukte und Harmonische, wie in Abbildung 2.9 gezeigt. Da aber die Breite einer Nyquist-Zone im allgemeinen größer ist, als die Bandbreite des Eingangssignals, ist eine Filterung der störenden Produkte hier wesentlich einfacher. Für die Analyse der Folge-Halte-Schaltung wird die Bandbreite $B = 0$ angenommen. Für die entstehenden Frequenzprodukte gilt:

$$f_{\text{Ausgang}} = n \cdot f_{\text{Takt}} \pm f_{\text{Signal}}, \quad n = 1, 2, \dots, \infty \quad (3.1)$$

Ein absolut grundlegender Unterschied zwischen Abtastung und Mischen besteht in der Fortpflanzung von Phasenfehlern im Taktsignal oder Lokaloszillatorsignal. Bei der Mischung setzt sich ein Phasenfehler direkt in einen gleich großen Phasenfehler des herunter gemischten Signals um. Bei der Abtastung führt ein Phasenfehler des Taktsignals zu einer Verschiebung des Abtastzeitpunktes [43]. Der dabei entstehende Fehler des abgetasteten Signals ist abhängig von Frequenz und Zustandsänderungs-Rate, also der Steigung des Eingangssignals an der Abtaststelle. Die Auswirkungen und die Beschreibung dieses Fehlers wurden bereits im Abschnitt 2.3.3 mit dem Effekt des Apertur Jitters diskutiert.

Da für die Mischung eine Nichtlinearität nötig ist, werden für die technische Realisierung in der Regel Mischerdioden verwendet. Diese werden im nichtlinearen Teil der Kennlinie betrieben, entscheidend ist also das Kleinsignalverhalten der Dioden. Bei der Abtastung sind Nichtlinearitäten dagegen unerwünscht. Für schnelle Abtasterschaltungen werden häufig Diodenbrücken verwendet. Diese werden durch das Taktsignal immer ganz angesteuert, so dass der nichtlineare

Bereich sehr schnell überschritten wird und die Diodenbrücke sich wie ein Schalter verhält. Dies entspricht dem Großsignalverhalten.

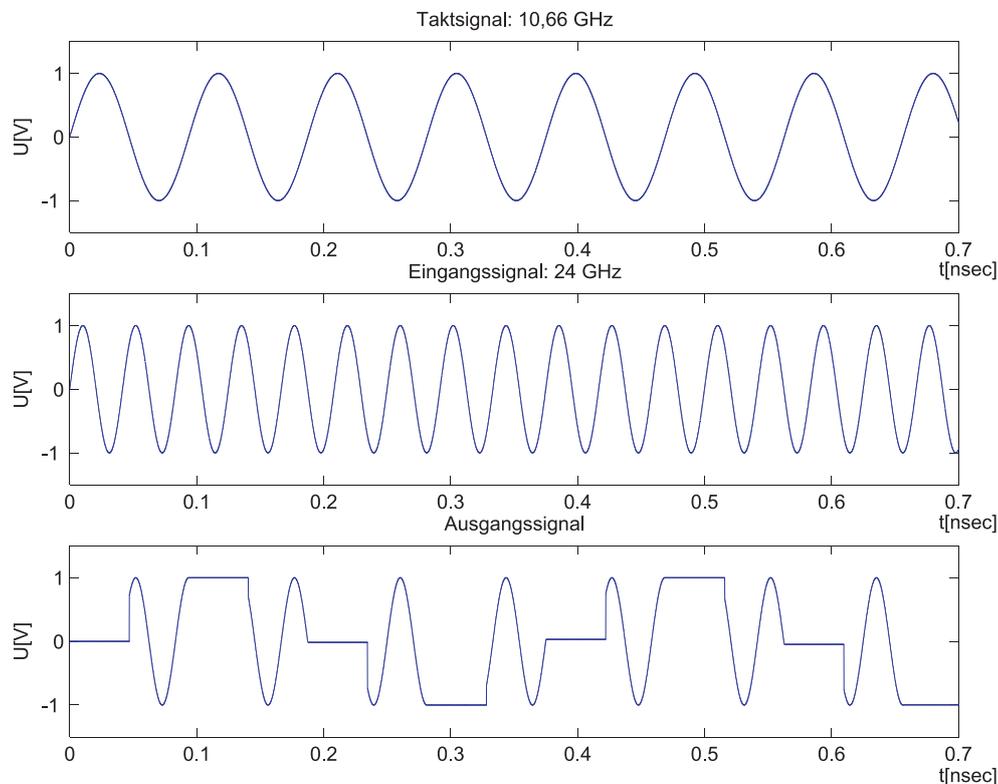


Abb. 3.2: Ausgangssignal einer idealen Folge-Halte-Schaltung (unten) bei Abtastung des Eingangssignals (mitte) mit dem Taktsignal (oben).

In Abbildung 3.2 ist das Ergebnis einer idealen Abtastung (unten) des Eingangssignals (mitte) mit dem Taktsignal (oben) dargestellt. So lange das Taktsignal einen Wert größer Null hat, soll die Ausgangsspannung konstant gehalten werden, ansonsten soll die Ausgangsspannung der Eingangsspannung folgen. Da dieses Ausgangssignal nicht, wie für eine Abtastung gefordert, nur an den Abtaststellen einen Wert ungleich Null besitzt, gelten auch die getroffenen Aussagen über das Ausgangsspektrum nicht. Auf Grund des sprunghaften Übergangs zwischen Folge- und Haltephase, der durch das abrupte Schalten beim Nulldurchgang des Taktsignals entsteht, sind große Frequenzanteile vorhanden. Je schärfer dieser Übergang ist, je stärker also der Knick in dem Kurvenverlauf ist, umso höhere Frequenzanteile müssen noch verarbeitet werden können.

Das gezeigte Ausgangssignal enthält Anteile eines Rechteck-Signals. Das Spektrum eines Rechtecks enthält die Linien aller ungeradzahigen Vielfachen der Grundfrequenz. Alleine aus diesem Grund kann sofort erkannt werden, dass das Spektrum des in Abbildung 3.2 gezeigten Ausgangssignals deutlich mehr Anteile haben muss, als in Gleichung 3.1 berechnet (Abbildung 3.3).

Abbildung 3.3 zeigt das Spektrum des Ausgangssignals bis 200 GHz, das durch eine FFT

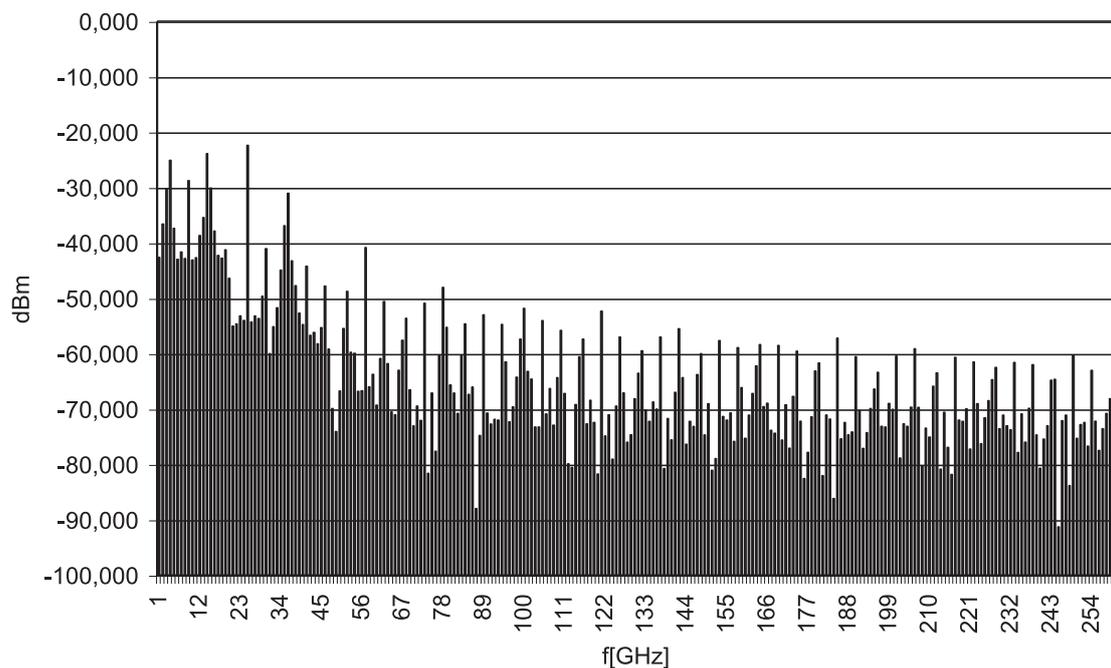


Abb. 3.3: Berechnetes Spektrum des Ausgangssignals

berechnet wurde. Wie erwartet treten noch signifikante spektrale Anteile bis zu einer Frequenz von über 80 GHz auf.

3.2 Folge-Halte Schaltungen, Abtast-Halte Schaltungen

Es gibt zwei prinzipiell unterschiedliche Arten, eine Abtastschaltung zu realisieren, nämlich mit Folge-Halte-Schaltungen (engl. track-and-hold) und mit Abtast-Halte-Schaltungen (engl. sample-and-hold). Bei Folge-Halte-Schaltungen folgt das Ausgangssignal dem Eingangssignal während der Folgephase und behält während der Haltephase einen konstanten, abgetasteten Wert bei (Abbildung 3.4 a). Abtast-Halte-Schaltungen dagegen liefern ein Ausgangssignal, das nur aus den abgetasteten Werten besteht. Bei jedem erfolgten Abtastimpuls, wird der neue, aktuell anliegende Wert der Eingangsspannung übernommen und bis zum nächsten Impuls gehalten (Abbildung 3.4 b).

3.2.1 Grundlagen

Abbildung 3.5 zeigt die parasitären Einflüsse, die in einer Abtastschaltung vorhanden sein können. Eine Folge-Halte-Schaltung besteht immer aus einem Schalter und einer Speicherkapazität. Da das Laden bzw. Entladen dieser Kapazität eine gewisse Zeit in Anspruch nimmt, entstehen Verzögerungen beim Umschalten zwischen beiden Phasen. Dies führt zu den Effekten, die in Abbildung 3.5 als Erfassungszeit und als Aperturzeit markiert sind. In beiden Fällen kommt es

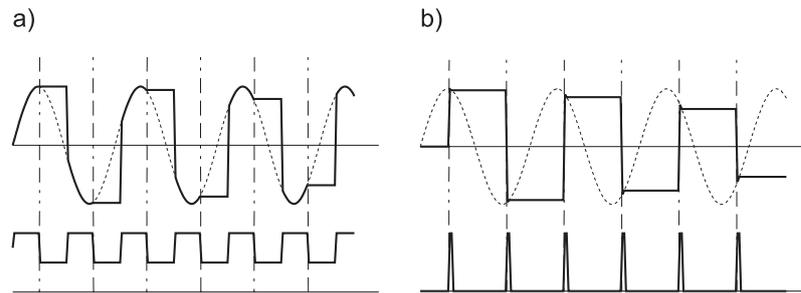


Abb. 3.4: Folge-Halte-Schaltung (a) und Abtast-Halte-Schaltung (b)

auf Grund der Haltekapazität selbst und parasitärer Induktivitäten zu Einschwingvorgängen, die während der Resonanzzeit wieder abklingen. Ist die Isolation während der Haltephase nicht hoch genug, kann es zu einem Durchsprechen des Eingangssignals oder des Taktsignals auf das Ausgangssignal kommen. Falls die Entladeimpedanz des Haltekapazitors zu klein gewählt wurde, entsteht eine Haltedrift. Dabei sinkt während der Haltephase die Ausgangsspannung kontinuierlich ab. Der Betrag, um den sich die Ausgangsspannung ändert, ist abhängig vom absoluten Wert der zu haltenden Spannung. Die Grundlagen der verschiedenen Abtastschaltungen sind in [44] ausführlich dargestellt.

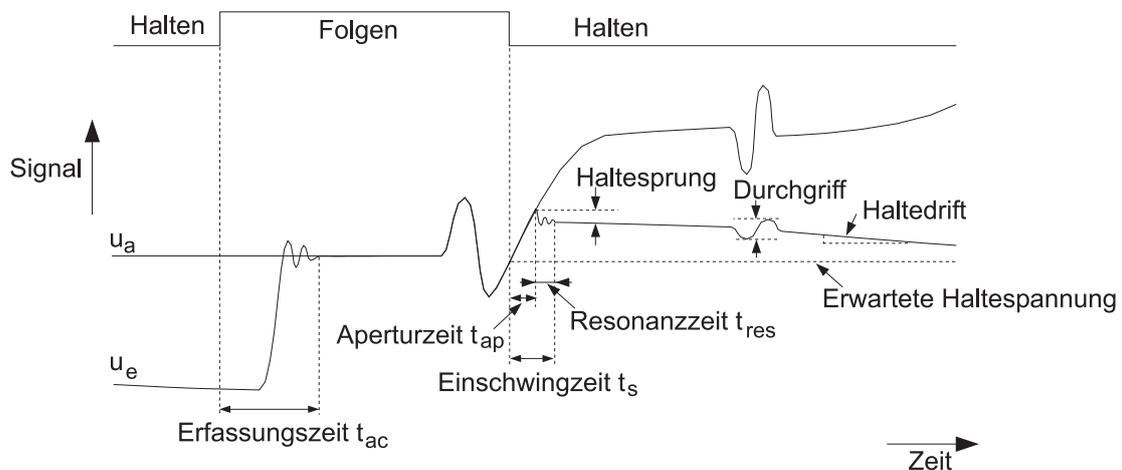


Abb. 3.5: Auftretende Effekte in Folge-Halte-Schaltungen [44]

3.2.2 Mögliche Architekturen

Wie bereits gezeigt wurde, besteht eine Folge-Halte-Schaltung immer aus einem Schalter und einer Haltekapazität. Die verschiedenen Architekturen unterscheiden sich im Entwurf des Schalters. Dieser muss folgende Entwurfskriterien erfüllen: ausreichend hohe Schaltgeschwindigkeit,

möglichst kleiner Durchlasswiderstand, möglichst großer Sperrwiderstand, hohe Isolation zwischen Takt- und Ausgangssignal. Besonders letzteres erfordert meist einen übermäßigen Aufwand.

Auf Grund ihrer hohen Schaltgeschwindigkeit werden überwiegend Dioden für die Realisierung des Schalters verwendet. Transistorschaltungen sind aber grundsätzlich auch möglich. Entsprechende Untersuchungen werden im Folgenden vorgestellt.

Prinzipiell ist es möglich, einen Schalter mit nur einer Diode aufzubauen. Dadurch sind aber Eingangs- und Taktsignal direkt miteinander verbunden. Das resultierende starke Übersprechen des Taktes in das Ausgangssignal kann in der Regel nicht durch einfache Filterung unterdrückt werden.

In [14] wird eine Schalterstruktur mit zwei Dioden vorgeschlagen, die in Abbildung 1.4 gezeigt wurde. Voraussetzung für ihren Einsatz ist, dass das Eingangssignal differentiell vorliegt. Dazu benötigt man eine Balun-Schaltung, die extrem breitbandig sein muss. Für die meisten Software Radio Anwendungen wird der Entwurf eines solchen Baluns derart aufwändig, dass diese Architektur ungeeignet ist. Ein weiterer Nachteil ist, dass die Dioden, solange kein Abtastimpuls anliegt, in Durchlassrichtung vorgespannt sind, so dass in diesem Falle das Eingangssignal, das ja im realen Empfänger zwingend von einer AGC erzeugt wird, kurzgeschlossen wird. Somit wird der Ausgang eines Verstärkers kurzgeschlossen, was auf jeden Fall beim Verstärkerentwurf berücksichtigt werden muss. Der nötige Abtastimpuls muss auf jeden Fall genügend Leistung haben, um gegen die Vorspannung die Dioden in Sperrung zu bringen. Solange der Impuls anliegt, folgt die Spannung in beiden Haltekapazitäten dem Eingangssignal. Da das Abtastsignal nur aus kurzen Impulsen mit einer Dauer von 150 ps besteht, stellt diese Schaltung die Realisierung einer Abtast-Halte-Schaltung dar. Ihre Eigenschaften als solche führen zu einer hohen Leistungsfähigkeit im Hinblick auf die geforderten Schaltereigenschaften, wie hoher Sperrwiderstand, niedriger Durchlasswiderstand und schnelles Schalten. Allerdings erfordern die aufgezeigten Schwachstellen noch einigen Entwicklungsaufwand um den Einsatz in realen Empfängern zu ermöglichen.

Die gebräuchlichste Variante ist die Verwendung einer Diodenbrücke, die aus vier bzw. sechs Dioden besteht (Abbildung 3.6).

Während der Haltephase sind die vier Dioden gesperrt. Dadurch wird der Ausgang nicht durch den Takt beeinflusst. Während der Folgephase sind alle vier Dioden niederohmig und das Ausgangssignal folgt dem Eingangssignal. Die beiden gestrichelt dargestellten Dioden sind nicht zwingend erforderlich. Sie werden während der Haltephase niederohmig, so dass der Takt als Stromquelle realisiert werden kann [44]. Durch symmetrische Speisung des Taktes erreicht man in dieser Architektur gute Isolation zwischen Takt- und Signalpfad. Für die Symmetrierung des Taktsignals ist ebenfalls eine Balun-Schaltung nötig. Für die meisten Anwendungen kann diese aber erheblich schmalbandiger ausfallen, als dies bei dem in [14] vorgestellten Konzept der Fall ist.

Diese Architektur bietet sehr hohe Bandbreiten, geringen Durchgriff und ermöglicht hohe Abtastraten. Jedoch ist die monolithische Integration schneller Schottky-Dioden in günstige Si/SiGe Prozesse bisher nicht möglich. Durch den nicht monolithischen Aufbau entstehen zusätzliche Kosten und parasitäre Effekte.

Die Möglichkeit einer Realisierung mit Transistorschaltungen wurde im Rahmen einer Di-

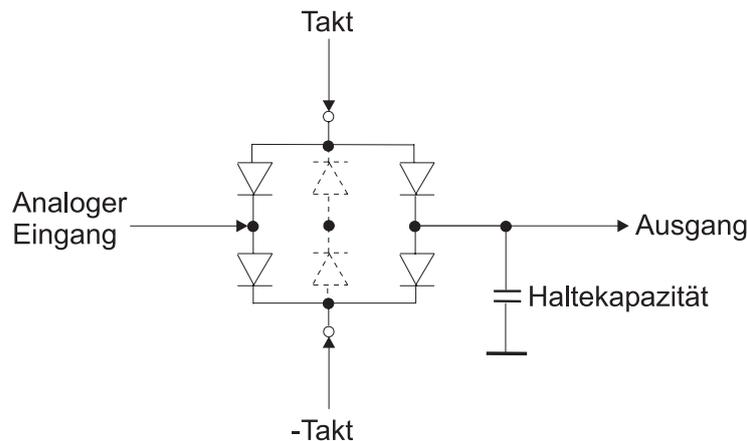


Abb. 3.6: Folge-Halte-Schaltung mit einer Diodenbrücke

plomarbeit untersucht [44]. Dabei wurden verschiedene Schaltungen unter Verwendung von Feldeffekt-Transistoren simuliert, aufgebaut und vermessen. Es stellte sich heraus, dass in diskreter Aufbauweise mit gehäuseten HF-Transistoren und SMD Bauteilen der Gehäuseform 0402 eine Realisierung nur bis zu einer Eingangsfrequenz von einigen 100 MHz sinnvoll ist. Ursache sind die relativ großen parasitären Einflüsse, die durch sehr hohe Frequenzanteile zum Schwingen angeregt werden. Verwendet man ungehäusete Bauelemente und stellt die nötigen elektrischen Verbindungen mit Bond-Drähten her, können die Parasitäten vermindert werden. Man kann dadurch den Frequenzbereich des Eingangssignals bis etwa 1 GHz anheben, oberhalb überwiegen wieder die parasitären Effekte.

Höhere Frequenzen können nur mit Hilfe eines integrierten Aufbaus erreicht werden. Hier stößt man allerdings an die Grenzen der zur Verfügung stehenden Bauteile, vor allem der Transistoren. Ergebnis der Diplomarbeit ist, dass für eine erfolgreiche Realisierung einer Folge-Halte-Schaltung die Transistor Transitfrequenz f_T mindestens um den Faktor 10...20 größer sein muss, als die maximale Frequenz des Eingangssignals. Grundlage für diese Aussage sind Simulationen mit den Bauelement-Daten aus dem ATMEL SiGe2RF-Prozess.

3.3 Abtastrate

Für die Wahl der Abtastrate gibt es mehrere Randbedingungen. Die Abtastrate selbst beeinflusst eine Reihe wichtiger Systemkriterien, wie zum Beispiel die Breite einer Nyquist-Zone, den Signal-Rausch-Abstand, die Anforderungen an die Eingangsfiler, usw. Andererseits sind auch verschiedene Designkriterien zu beachten: welche Signalquelle dient zur Erzeugung des Taktes, welche Leistungen stehen zur Verfügung, mit welchem Phasenrauschen des Taktes muss gerechnet werden, welche Leistungen sind nötig, in welcher Technologie soll ein Aufbau erfolgen?

Für die weitere Entwicklungsarbeit wurde zunächst von Laborbedingungen ausgegangen. Das bedeutet, dass für die Generierung von Signalen hochwertige Signalquellen zur Verfügung

stehen, die genügend Ausgangsleistung erzeugen können. Es wird also nicht davon ausgegangen, dass nur bestimmte Maximalpegel verfügbar sind, die weiter verstärkt werden müssen. Untersuchungen über die nötigen Leistungen und der Auswirkung von Änderungen der Pegel werden durchgeführt.

3.3.1 Breitbandige Überabtastung

Die größtmögliche Flexibilität des AD-Wandlers würde man mit der Implementierung als Nyquist-Wandler erreichen. Dazu müsste die Abtastrate größer sein, als die doppelte maximal auftretende Eingangsfrequenz. Im Falle des HFSYSI-Projekts ist die maximale Eingangsfrequenz festgelegt auf 24,25 GHz, da das Signal eine Bandbreite von 500 MHz bei einer Mittenfrequenz von 24 GHz hat. Die nötige Abtastrate läge bei etwa 50 GHz. Auf diese Art und Weise würde das gesamte Band von Null bis 24 GHz digitalisiert werden. Jede Anwendung ist aber nur an je einen kleinen Ausschnitt der enthaltenen Informationen interessiert, so dass der größte Teil in einem digitalen Verfahren gefiltert werden müsste. Ein derartiges digitales Filter müsste eine Datenrate von 50 GSamples/Sekunde verarbeiten können, was derzeit nicht realisierbar ist. Selbst wenn das Eingangssignal paketweise Fourier-transformiert, im Frequenzbereich gefiltert und wieder rücktransformiert würde, wäre der Aufwand zu groß.

Ganz abgesehen davon, ist die Realisierung einer Folge-Halte-Schaltung mit einer Abtastrate von 50 GHz derzeit wegen der hohen Anforderungen an die Bandbreite der Verstärker und die Verarbeitungsgeschwindigkeit des Komparators nicht realisierbar.

3.3.2 Bandbegrenzte Überabtastung

Wesentlich praktikabler ist es daher, das interessante Frequenzband durch eine bandbegrenzte Abtastung festzulegen. Das Funktionsprinzip der bandbegrenzten Abtastung wurde bereits in Abschnitt 2.3.1 erläutert (Abbildung 2.10). Als Randbedingungen des HFSYSI-Projekts wurde als Trägerfrequenz 24 GHz, als Bandbreite des Nutzsignals 500 MHz und als Abtastrate 10,66 GHz festgelegt. Für die Realisierung des ersten Demonstrators (im Folgenden: Demonstrator 1) wurden diese Daten jeweils um den Faktor $1/10$ skaliert, also Trägersignal bei 2,4 GHz, Bandbreite 50 MHz und Abtastung mit 1,066 GHz. Abbildung 3.7 zeigt das Resultat der Abtastung für das 24 GHz Eingangssignal.

Die Wahl der Trägerfrequenzen und Nutzsignal-Bandbreiten erfolgte derart, dass die Nutzung der jeweiligen ISM Bänder möglich ist. Das Zielsignal mit der Trägerfrequenz bei 2,68 GHz (268 MHz für den Demonstrator 1) ist ein nicht gespiegeltes Abbild des ursprünglichen Eingangssignals. Die Wahl der Abtastrate erfüllt die in [36] (vergleiche Abschnitt 2.3.1) geforderten Bedingungen.

In Abbildung 3.2 wurde bereits das Ausgangssignal einer idealen Folge-Halte-Schaltung dargestellt. Für den Funktionsnachweis der Architektur wird auf die Modulation mit der Bandbreite B verzichtet. Auf diese Art und Weise sind die Messergebnisse wesentlich leichter zu interpretieren. Die Möglichkeit der Abtastung eines modulierten Signals mit dieser Architektur wird dadurch nicht beeinflusst.

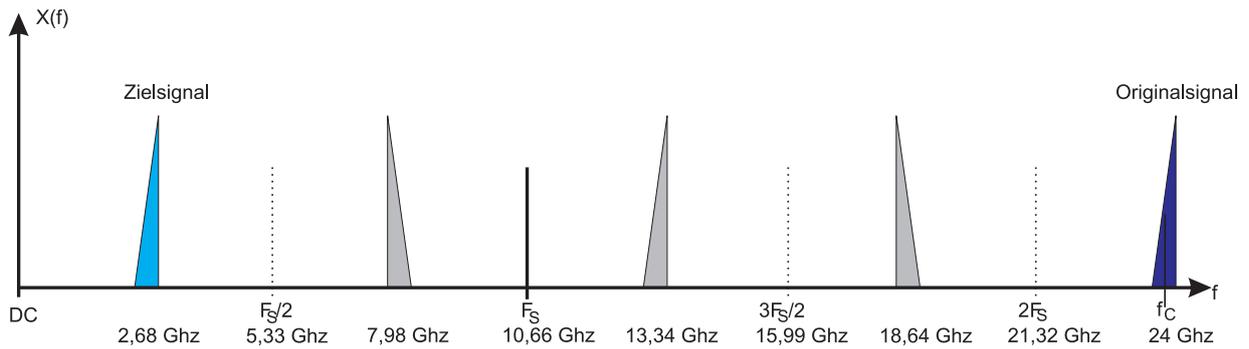


Abb. 3.7: Auswirkung der Abtastrate für den 24 GHz-Aufbau auf die Lage des Eingangssignals und des abgetasteten Signals.

Wird nur das Trägersignal bandbegrenzt abgetastet, muss als Ergebnis ein Sinussignal mit der Zielfrequenz entstehen. Die Punkte markieren die Abtaststellen. Die Spannungswerte dieser Stellen werden in der digitalen Repräsentation als diskrete Werte dargestellt. Konvertiert man diese zurück in ein analoges Zeitsignal, so erhält man die gestrichelt dargestellte Sinuskurve. Sie entspricht der neuen Trägerfrequenz, die durch Faltung in die erste Nyquist-Zone gespiegelt wurde.

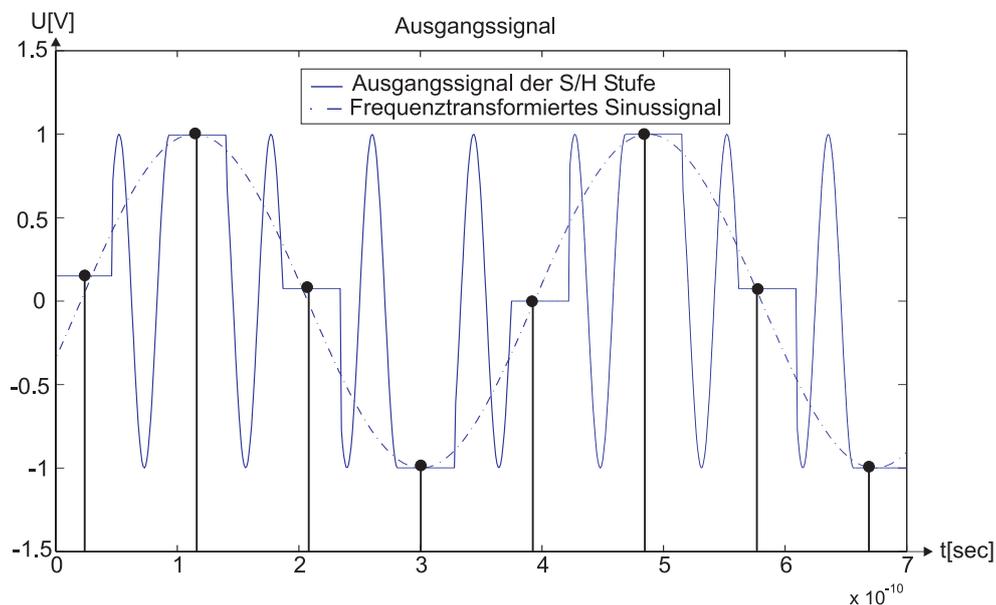


Abb. 3.8: Ergebnis der Abtastung des unmodulierten Trägersignals

3.4 Resultierende Architektur

Basierend auf diesen Überlegungen wurde ein direkt digitalisierender Empfänger realisiert, der eine einfache Struktur mit möglichst wenigen analogen Elementen bietet und zugleich preiswert zu fertigen ist, um einen Einsatz im Massenmarkt zu ermöglichen.

3.4.1 Architekturbeschreibung

Diese Überlegungen führen zu einer Empfängerarchitektur wie in Abbildung 3.1 gezeigt. Als Folge-Halte-Stufe wird eine Diodenbrücke, bestehend aus vier Schottky-Dioden verwendet. Die resultierende Schaltung ist in Abbildung 3.9 dargestellt.

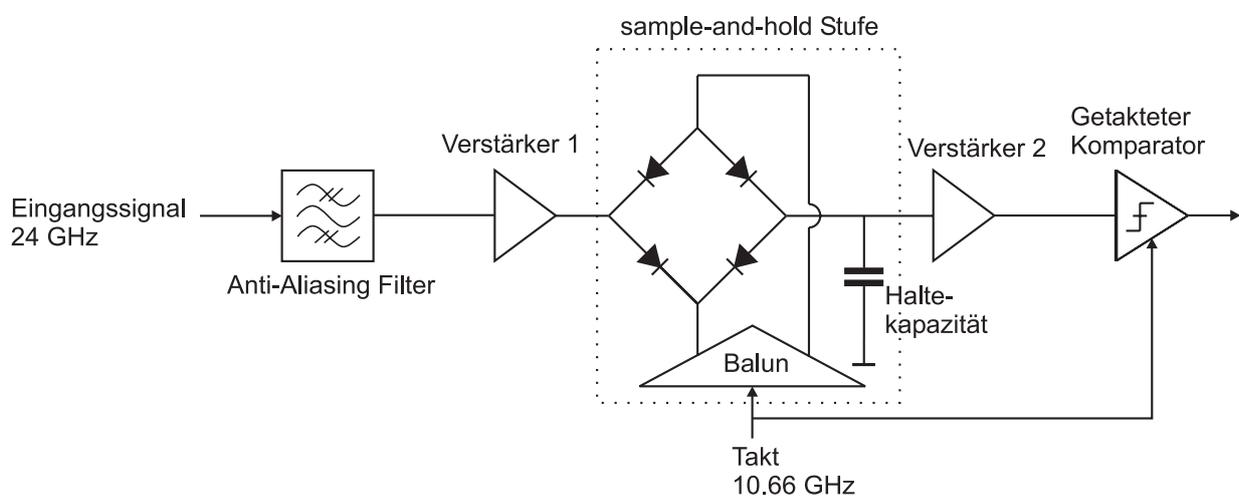


Abb. 3.9: Hardware-Architektur des direkt digitalisierenden Empfängers

Durch die minimale Anzahl analoger Bauteile werden zusätzliche Rauschquellen vermieden. Der Abtastschalter ist die breitbandigste Komponente des Schaltungsdesigns. Er erfüllt die Aufgabe der Zeitdiskretisierung. Auf Grund des stark nichtlinearen Verhaltens ist die Modellierung sehr komplex.

3.4.2 Anforderung an die Komponenten

Das Antialiasing Filter hat die Aufgabe, die Eingangsbandbreite zu begrenzen und zugleich Störsender, die außerhalb der Empfangsbandbreite senden, zu unterdrücken. Im Rahmen des HFSYSI-Projekts wurde an das Eingangsfilter die Anforderung gestellt, dass das Eingangssignal innerhalb der Nutzbandbreite, also im Bereich von $24 \text{ GHz} \pm 0,25 \text{ GHz}$ um nicht mehr als 2 dB unterdrückt wird und außerhalb der Nutzbandbreite im Bereich von $24 \text{ GHz} \pm 1 \text{ GHz}$ die Dämpfung mindestens 20 dB beträgt (Abbildung 3.10). Für allgemeine Anwendungen eines Software Radios sollte dieses Eingangsfilter abstimmbare sein [45].

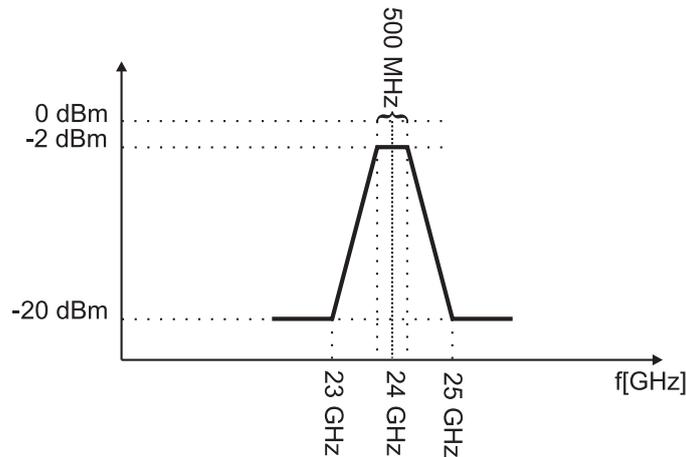


Abb. 3.10: Anforderungen an das Antialiasing Filter

Das Filter wurde im Rahmen des Forschungsprojekts am FBH-Berlin als Hohlraum-Resonator realisiert.

Besonders von Interesse ist auch die Unterdrückung der Spiegelfrequenzen, die durch die Abtastung ebenfalls ein Faltungsprodukt innerhalb des ersten Nyquist-Zone erzeugen. Für die Abschätzung der nötigen Unterdrückung ist eine Untersuchung der Störpegel nötig, die durch Abtastung der Störsignale mit den Trägerfrequenzen

$$f_{\text{Störer}} = n \cdot (f_{\text{Takt}} \pm f_{\text{Ziel}}) \quad (3.2)$$

entstehen. $n = 1, 2, \dots, \infty$, f_{Ziel} : Frequenz des durch Abtastung in die erste Nyquist-Zone verschobenen Trägers, f_{Takt} : Abtastrate.

In Abbildung 3.11 ist das Ergebnis dieser Untersuchungen dargestellt. Erwartungsgemäß sinkt der Einfluss der Spiegelfrequenzen mit steigender Frequenz. Dieses Verhalten kann allerdings durch die Verstärkungscharakteristik des Eingangsverstärkers geändert werden. Durch die Berücksichtigung der Bandpass-Eigenschaften der beiden Verstärker werden die niedrigeren Störer etwas unterdrückt, höherfrequente Störer können aber verstärkt werden (Abbildung 3.12). Diese Ergebnisse basieren auf den Eigenschaften der verwendeten Verstärker und wurden mit Hilfe von Simulationsdaten erzeugt. Die Auswirkungen auf die Störfrequenzen hängen von dem Frequenzgang des jeweiligen Eingangsverstärkers ab. Weitere Untersuchungen mit gemessenen Verstärkerdaten zeigten das selbe Verhalten.

Der Eingangsverstärker dient dazu, das Signal auf einen Pegel zu verstärken, der groß genug ist, um die Haltekapazität des Abtast Schalters auf einen Spannungswert aufzuladen, der eine weitere Verarbeitung ermöglicht. In einem kommerziellen Analog-Digital-Wandler ist an dieser Stelle eine AGC unverzichtbar, da der Spannungsbereich des Eingangssignals an den Eingang des Wandlers angepasst werden muss. Im vorliegenden Fall gibt es keine obere Grenze der Eingangsspannung. Ein theoretischer Wert dieser Obergrenze ist die Spannung, ab der die Dioden

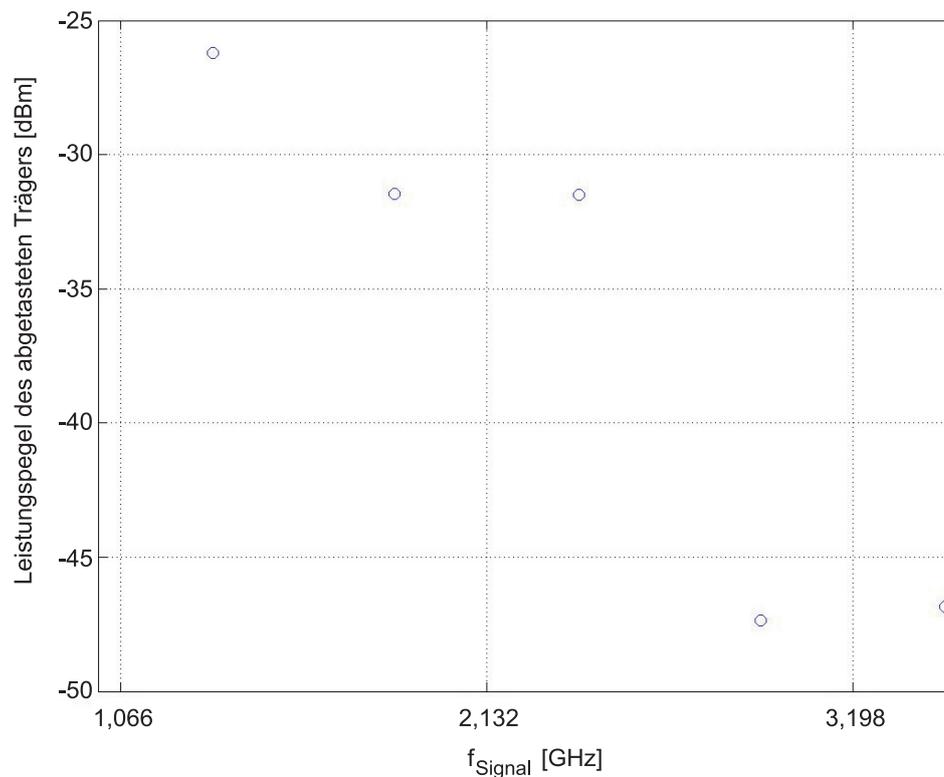


Abb. 3.11: Leistungspegel des frequenztransformierten Trägers zu den jeweiligen Spiegelfrequenzen **ohne** Eingangsverstärker beim 2,4 GHz-Demonstrator

Schaden nehmen würden. Für die Entwicklungsarbeit wird aber davon ausgegangen, dass diese Spannung nicht erreicht wird. Für die Demonstratoren wurde eine Leistungsverstärkung von 15 dB gefordert. Die relativ geringe nötige Bandbreite hat sich als vorteilhaft für die Entwicklung erwiesen.

Die zweite Aufgabe des Eingangsverstärkers besteht in einer Impedanztransformation. Eingangsseitig wird auf Grund der existierenden Standards ein Wellenwiderstand von 50Ω gefordert. Damit die Haltekapazität schnell genug aufgeladen wird, so dass die Ausgangsspannung dem Eingangssignal folgen kann, solange der Schalter geschlossen ist, ist eine sehr kleine Ausgangsimpedanz des ersten Verstärkers nötig. Ideal wäre hier ein Wert nahe Null, was aber natürlich technisch nicht machbar ist. Eine Ausgangsimpedanz von 10Ω hat sich als ausreichend klein und bei 24 GHz realisierbar erwiesen.

Auf Grund ihrer Doppelfunktion als Verstärker und Impedanzwandler werden die beiden Verstärker im Umfeld des Entwicklungsprojekts als TIAs (engl. trans-impedance-amplifier) bezeichnet. Der Eingangsverstärker wird TIA1 genannt, der Ausgangsverstärker entsprechend TIA2.

Da auf Grund des Lade- und Entladeverhaltens der Speicherkapazität ein sehr großer Kon-

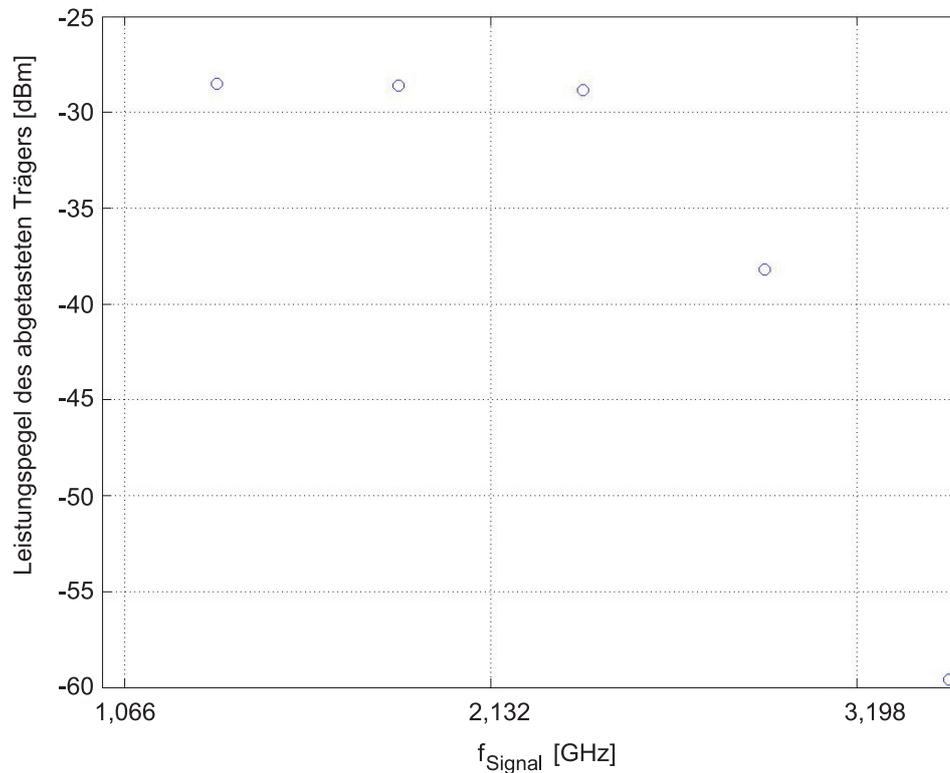


Abb. 3.12: Leistungspegel des frequenztransformierten Trägers zu den jeweiligen Spiegelfrequenzen mit Eingangsverstärker beim 2,4 GHz-Demonstrator

versionsverlust entsteht, ist eine weitere Signalverstärkung nötig, um den Komparator mit interpretierbaren Spannungspegeln beaufschlagen zu können. Auch an dieser Stelle wird davon ausgegangen, dass keine obere Spannungsgrenze existiert. Diese Annahme ist berechtigt, da der Komparator als Ein-Bit-Wandler konzipiert ist und daher nur entscheiden muss, ob der aktuelle Wert größer oder kleiner als Null ist. Somit entstehen in der Bitfolge am Ausgang keine Fehler, selbst wenn der Komparator in Sättigung geht. Daher wurde auch hier auf die Verwendung einer AGC verzichtet und eine konstante Leistungsverstärkung von ebenfalls 15 dB für den TIA2 spezifiziert.

Für eine erfolgreiche Abtastung des Eingangssignals ist es wichtig, dass während der Folgephasen, also so lange der Schalter geschlossen ist, der Entlade-Widerstand erheblich größer ist, als der Lade-Widerstand des Haltekapazitors. Daher muss Eingangsimpedanz des TIA2 folgender Zusammenhang gelten:

$$Z_{TIA2,Eingang} \gg Z_{TIA1,Ausgang} + Z_{Diodenbrücke,Durchlaß} \quad (3.3)$$

$Z_{TIA1,Eingang}$: Eingangsimpedanz des TIA2

$Z_{TIA1,Ausgang}$: Ausgangsimpedanz des TIA1

$Z_{\text{Diodenbrücke,Durchlaß}}$: Impedanz der Diodenbrücke, bei Betrieb in Durchlaßrichtung.

Die geforderte Eingangsimpedanz von mindestens 100Ω konnte auch für den 24 GHz-Aufbau gut erreicht werden. Beide Verstärker wurden in Zusammenarbeit der Universität Ulm mit der Firma ATMEL Ulm entworfen und realisiert.

Die Abtastung geschieht in dem Folge-Halte-Glied, das aus einem Abtastschalter und einem Speicherkondensator besteht. Als Abtastschalter wird eine Diodenbrücke, bestehend aus vier Schottky-Dioden verwendet. Da die Diodenbrücke als Schalter und nicht als Mischer betrieben wird, ist eine völlige Aussteuerung der Dioden sowohl in Sperrrichtung, als auch in Durchlaßrichtung nötig. Dazu muss die Amplitude des Taktsignals so groß sein, dass der nichtlineare Bereich der Dioden-Strom-Spannungs-Kennlinie schnell überstrichen wird und die Diodenbrücke möglichst schnell entweder niederohmig wird oder sperrt. Der minimale Durchlaß-Widerstand hängt von dem Serienwiderstand der Schottky-Dioden ab. Die maximal erreichbare Isolation kann durch die anliegende Taktspannung gesteuert werden. Messungen haben gezeigt, dass die erreichbare Isolation trotz des kapazitiven Anteils der Dioden für die Abtastung geeignet ist. Durch die hohe mögliche Schaltfrequenz der Dioden und die sehr geringen parasitären Anteile ist die vorgeschlagene Diodenbrücke hervorragend als schneller Abtastschalter geeignet. Selbst die Abtastrate von etwas mehr als 10 GHz ist für den Schalter noch völlig unkritisch. Auf Grund der sehr guten Eignung ist die Schottky-Diodenbrücke auch in den meisten vergleichbaren Architekturen zu finden. Genaue Charakterisierungen des Diodenschalters selbst folgen in Abschnitt 3.6.3.

Auf Grund der nichtlinearen Strom-Spannungs-Kennlinie ist eine Wellenwiderstands-Anpassung zwischen der Diodenbrücke und den restlichen Schaltungselementen nicht möglich. Denkbar wäre eine Anpassung in einem bestimmten Arbeitspunkt, um in kritischen Zuständen störende Reflexionen und Verluste zu minimieren. Im praktischen Aufbau, bei Messungen und in Simulationen hat sich dies jedoch als unnötig erwiesen.

Ein Nachteil der Verwendung von Schottky-Dioden ist, dass sie nur unter sehr großem Aufwand integriert gefertigt werden können. Bisher sind sie nicht Bestandteil des SiGe2RF-Prozesses des Projektpartners ATMEL. Die in dem Prozess aktuell verfügbaren Dioden sind nicht in der Lage, die hohen Schaltgeschwindigkeiten zu erreichen. Aus diesem Grund wurden innerhalb einer Diplomarbeit Untersuchungen zum Einsatz von Transistorschaltern angestellt, welche derzeit problemlos integriert zu fertigen sind. Im Rahmen dieser Untersuchungen wurden verschiedene Folge-Halte-Schaltungen in Transistor-Technologie simuliert, aufgebaut und vermessen. Auf Grund des begrenzten Zeitrahmens konnten nur Demonstratoren in diskreter Aufbauweise realisiert werden. Ein integrierter Aufbau war nicht möglich, wurde aber in zahlreichen Simulationen untersucht. Bei den diskret aufgebauten Schaltungen ist eine maximale Eingangsfrequenz von 1 GHz erreichbar. Trotzdem waren die Messungen hilfreich für die Verbesserung der Modelle und somit Grundlage für die weiteren Simulationen der integrierten Transistorschaltungen. Um möglichst realistische Simulationsergebnisse erzielen zu können, wurde von der Firma ATMEL ein Design-Kit des aktuellen Technologieprozesses zur Verfügung gestellt.

Abbildung 3.13 zeigt den Schaltplan einer differentiellen Folge-Halte-Schaltung. Auf Grund der nötigen Kompensationsglieder, um den Durchgriff der Basis-Emitter-Kapazitäten zu eliminieren, steigt der schaltungstechnische Aufwand sehr schnell an.

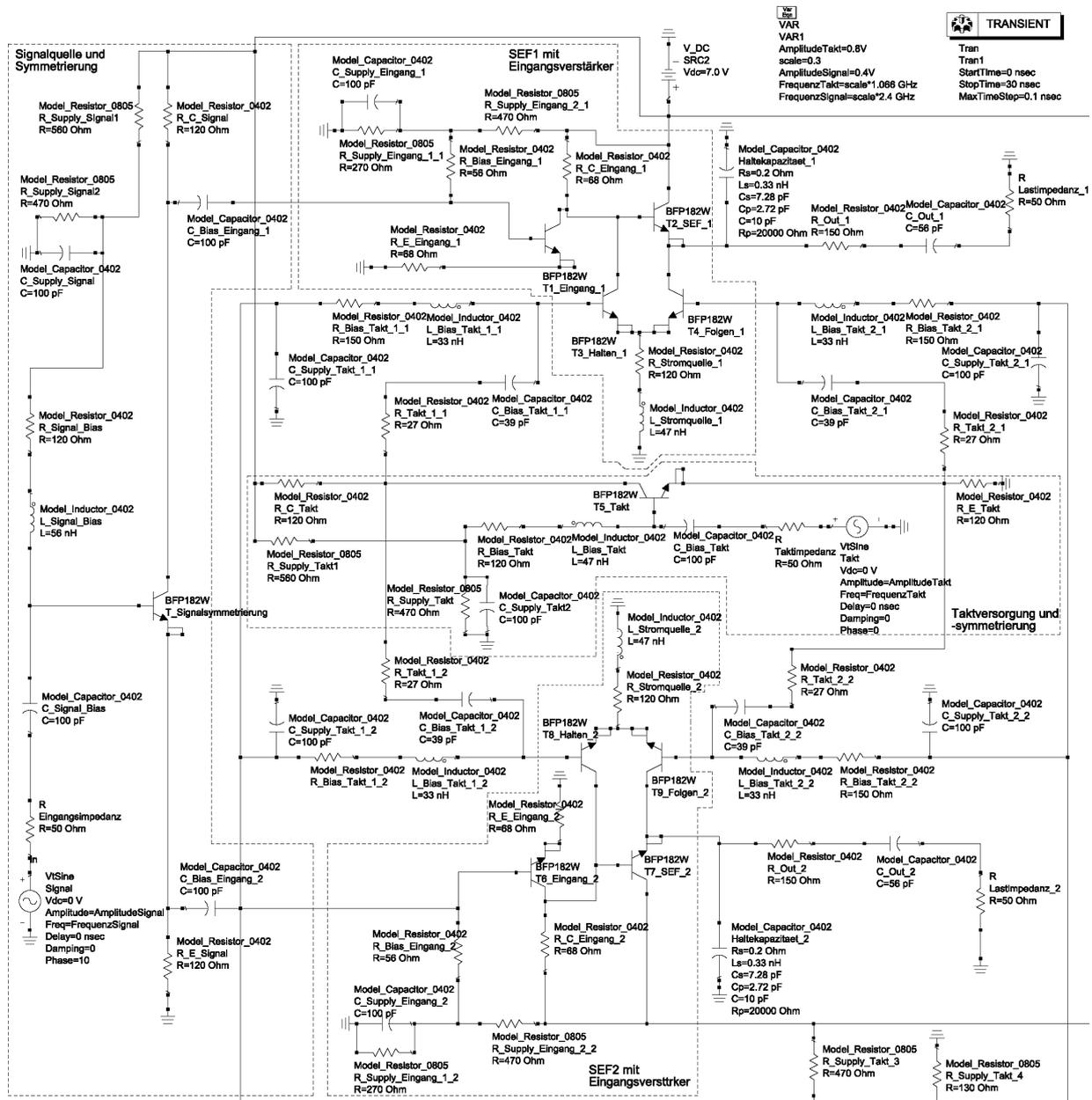


Abb. 3.13: Schaltplan einer differentiellen Folge-Halte-Schaltung in Transistor-Technologie

Die Untersuchungen haben gezeigt, dass die besten Ergebnisse mit differentiellen Abtast-schaltungen erzielt werden können. Eine wesentliche Einschränkung der Leistungsfähigkeit von Transistorschaltungen liegt in der Transitfrequenz f_T . Diese muss für eine erfolgreiche Abtastung um einen Faktor von etwa 10...20 größer sein, als die maximale Eingangsfrequenz. Mit derzeit verfügbarer Technologie, basierend auf den Transistor-Modellen des ATMEL-Design-Kits, ergeben optimistische Simulationen eine maximale Eingangsfrequenz von 7,2 GHz bei einer Abtastrate von 3,198 GHz. Diese entsprechen dem Verhältnis von Trägerfrequenz zu Abtastrate der in HFSYSI gewählten Werte. Abbildung 3.14 zeigt die simulierte Ausgangsspannung eines differentiellen Schaltungsdesigns mit den genannten Frequenzen. Die Abtastzeitpunkte und das resultierende frequenztransformierte Sinussignal sind angedeutet. Man kann außerdem erkennen, dass die Ausgangsspannung einer relativ starken Haltedrift unterliegt, was auf einen zu kleinen Entladewiderstand zurückzuführen ist. Dies kann vor allem bei kleinen absoluten Spannungswerten zu Bitfehlern führen, falls die Haltedrift die Entscheidungsfindung des Komparators beeinflusst.

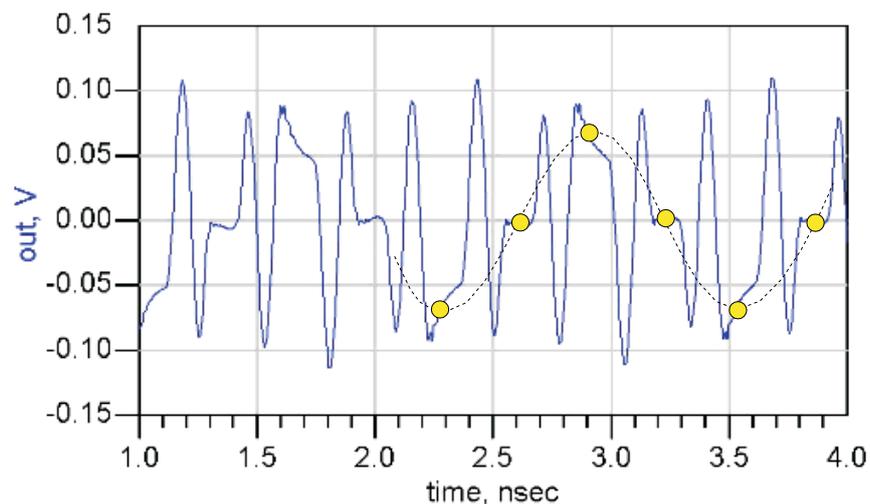


Abb. 3.14: Simulationsergebnis einer Transistor-Folge-Halte-Schaltung basierend auf den Modellen des ATMEL SiGe2RF - Prozesses. $f_{Eingang} = 7,2$ GHz, $f_{Takt} = 3,198$ GHz.

Eine weitere wichtige Erkenntnis dieser Arbeit ist, dass bereits kleine parasitäre Einflüsse an dem Speicherkondensator die Funktion des Abtasters erheblich beeinträchtigen. Messungen und Simulationen des Diodenschalters bestätigen dies. Die Induktivitäten von Kondensator-Gehäuse und Bonddrähten erzeugen zusammen mit der Haltekapazität Schwingungen, deren Resonanzfrequenz wichtige spektrale Anteile der Abtastung verdecken kann. Um die korrekte Funktion zu gewährleisten, sollte die erste Parallelresonanzfrequenz mindestens eine Größenordnung über der maximalen Eingangsfrequenz liegen [44]. Obwohl die Haltekapazität bei beiden Demonstratoren des Dioden-Abtasters auf einem Chip integriert ist, treten parasitäre Schwingungen auf, die die Messungen stark beeinträchtigen.

Um die prinzipielle Funktion des Analog-Digital-Wandlers nachweisen zu können, besteht

der Quantisierer für die ersten Demonstratoren aus einem Ein-Bit-Komparator. Aus Gleichung 2.32 läßt sich das Signal-Rausch-Verhältnis sinusförmiger Eingangssignale für eine Ein-Bit-Quantisierung und einem Überabtastverhältnis gleich 1 berechnen zu:

$$SNR = 6,02b + 4,77 - 10 \log_{10} 2 + 10 \log_{10} OSR = 7,78 \text{ dB} \quad (3.4)$$

Durch Einsetzen des tatsächlichen Überabtastverhältnisses von etwa 10,66 und Auflösen nach b kann man die effektive Bitanzahl des Systems berechnen.

$$b = \frac{SNR - 1,76 + 10 \log_{10} OSR}{6,02} = 2,7 \quad (3.5)$$

Bereits mit einer Ein-Bit-Quantisierung kann durch das große OSR eine Auflösung von 2,7 Bit erreicht werden. Durch eine Reduktion des gewünschten SNR um 1,77 dB ergibt sich eine Auflösung von 3 Bit.

Für zukünftige Anwendungen, die das Konzept der Rauschformung nutzen, wäre die erreichbare Auflösung noch größer (vergleiche Abschnitt 2.3.4.4).

3.4.3 Generierung des Taktsignals

Um Übersprechen des Taktsignals auf das Ausgangssignal zu vermindern, ist eine symmetrische Taktspeisung nötig. Dadurch ergibt sich in der Mitte der Diodenbrücke ein virtuelles elektrisches Nullpotential. Eine einfache, schmalbandige Filterung des Taktsignals aus dem Ausgangssignal führt nicht zum Erfolg, da im Frequenzspektrum des Ausgangssignals die Komponente des Taktsignals vorhanden sein muss. An dieser Stelle sei noch einmal darauf verwiesen, dass das Ausgangssignal der Folge-Halte-Schaltung nicht einer idealen Abtastung mit zeitdiskreten Werten entspricht. Es werden lediglich die Werte zu diskreten Zeitpunkten konstant gehalten. Das Resultat ist nach wie vor ein analoges, kontinuierliches Zeitsignal.

Für den Einsatz in einem idealen Software Radio ist eine breitbandige Taktsymmetrierung nötig, da je nach zu verarbeitendem Dienst unterschiedliche Abstraten nötig sein können. Da ein beliebig breitbandiges Software Radio aber nicht mit sinnvollem Aufwand realisierbar ist und die möglichen Realisierungen immer nur einen Ausschnitt aller verfügbaren Dienste behandeln, wurde für das HFSYSI-Projekt angenommen, dass die zu verarbeitenden Signale ähnliche Bandbreiten von maximal 500 MHz besitzen. Die Mittenfrequenz beeinflusst die Lage und Orientierung des abgetasteten Signals innerhalb der ersten Nyquist-Zone. Bei der vorliegenden Anwendung genügt daher die schmalbandige Realisierung einer Symmetrierschaltung.

Für die Testumgebung wird davon ausgegangen, dass die Leistung des Taktsignals keiner Beschränkung unterliegt. Eine Verstärkung innerhalb der Demonstratoren ist an dieser Stelle nicht vorgesehen. Falls nötig, können hochgütige, kommerziell erhältliche Verstärker für den nötigen Frequenzbereich verwendet werden. Da auch keine besonderen Ansprüche bezüglich der Bandbreite oder der Ein- und Ausgangsimpedanz gestellt werden, ist die Betrachtung im Rahmen einer wissenschaftlichen Arbeit nicht nötig.

Auf Grund der Schalter-Eigenschaften der Diodenbrücke ist ein sinusförmiges Taktsignal geeignet, um die nötigen schnellen Anstiegs- und Abfallzeiten des Schalterwiderstandes zu erzielen. Dies ist eine wichtige Voraussetzung, da Sinussignale vergleichsweise kostengünstig zu

realisieren sind. Allerdings ist zu beachten, dass der Leistungspegel des Taktsignals groß genug sein muss, um die Diodenbrücke ganz aussteuern zu können. Die Simulation des Abtast Schalters ergab, dass 3 dBm Taktleistung für eine erfolgreiche Abtastung ausreichen. Allerdings können durch größere Leistungen schnellere Schaltzeiten und bessere Isolation während der Haltephasen erreicht werden. Das führt dazu, dass das Taktsignal wesentlich mehr Leistung aufweist, als das Eingangssignal. Die nötige Isolation zwischen Taktpfad und Signalpfad wird durch die symmetrische Taktspeisung gewährleistet.

3.5 ADS Modellierung

Für die erfolgreiche Entwicklung von HF Systemen ist auf Grund der zahlreichen parasitären Einflüsse und der aufwändigen Messtechnik eine gute Simulation und Modellierung der geplanten Schaltung entscheidend. Die Simulation des gesamten AD-Wandler Systems wurde mit dem Harmonic Balance Simulator der Entwicklungsumgebung „Advanced Design System“ (ADS) von Agilent durchgeführt. Auf der Grundlage dieser Simulationen konnten Bauteil-Dimensionierung und die Bestimmung wichtiger Parameter durchgeführt werden, ohne reale Schaltungen aufbauen und vermessen zu müssen. Bestehen Abweichungen zwischen Messungen der existierenden Hardware und dem gewünschten Resultat, ist durch Verfeinerung der Modelle oft die Analyse der Fehler und deren Behebung möglich. Dieses Vorgehen verkürzt die Entwicklungszeit erheblich, da in kurzer Zeit sehr viele verschiedene Variationen einzelner Parameter und deren Einflüsse auf das Schaltungsverhalten betrachtet werden können.

Um die Simulation möglichst exakt an die Realität anpassen zu können, ist es von entscheidender Wichtigkeit, exakte Modelle der verwendeten Komponenten zu entwickeln. Viele Modelle werden bereits in einer Bibliothek zur Verfügung gestellt. Für eine große Anzahl kommerziell erhältlicher aktiver und passiver Bauelemente sind diese auch meistens ausreichend genau, solange die spezifizierten Frequenzbereiche eingehalten werden. Einige Hersteller geben auch Modelle speziell ihrer Komponenten heraus, die dann in ADS eingebunden werden können.

3.5.1 ADS - Harmonic Balance

Die Harmonic Balance Simulation ist für die Betrachtung von Millimeterwellen- und Mikrowellen-Problemen die am weitesten verbreitete Methode, da diese im Allgemeinen im Frequenzbereich betrachtet werden. Harmonic Balance berechnet das Schaltungsverhalten ebenfalls im Frequenzbereich. Das Verhalten linearer Bauelemente wird direkt im Frequenzbereich betrachtet, nichtlineare Komponenten werden im Zeitbereich charakterisiert und das Ergebnis in den Frequenzbereich transformiert. Deshalb bietet Harmonic Balance gegenüber der Transientenanalyse, die rein im Zeitbereich rechnet, entscheidende Vorteile bezüglich des Zeit- und Speicherbedarfs bei Simulationen, die stark unterschiedliche Frequenzen beinhalten. In diesem Fall benötigt die Transientenanalyse eine Integration über eine enorme Anzahl von Perioden des höherfrequenten Signals.

Ziel der Harmonic Balance Simulation ist es, die Lösung des stationären Zustandes einer nichtlinearen Schaltung zu berechnen. Dazu wird zuerst eine Gleichstrom-Analyse durchgeführt.

Mit Hilfe der Kirchhoffschen Knotenregel, die besagt dass die Summe aller Ströme in allen Knotenpunkten des Schaltplans Null sein muss, wird ein Gleichungssystem nichtlinearer Differentialgleichungen aufgestellt. Geht man von M Frequenzen aus, also die Anzahl der Grundschwingungen der Signalquellen, deren Harmonische und Mischprodukte und N Knotenpunkten, dann enthält das resultierende Gleichungssystem $N \cdot M$ Gleichungen der Form

$$u(t) = \mathbf{Re} \left\{ \sum_{k=0}^K U_k e^{j2\pi k f t} \right\} \quad (3.6)$$

für die Anregung mit nur einer Eingangsfrequenz und

$$u(t) = \mathbf{Re} \left\{ \sum_{k_1=0}^{K_1} \sum_{k_2=0}^{K_2} \cdots \sum_{k_n=0}^{K_n} U_{k_1, k_2, \dots, k_n} \cdot e^{j2\pi(k_1 f_1 + k_2 f_2 + \dots + k_n f_n)t} \right\} \quad (3.7)$$

für die Anregung mit n Eingangsfrequenzen. n bezeichnet hier die Anzahl der Fundamentalen $f_{1, \dots, n}$ der Signalquellen. $K_{1, \dots, n}$ bezeichnet die Anzahl der Harmonischen jeder Eingangsfrequenz. $u(t)$ beschreibt eine der N Knotenspannung in Abhängigkeit von der Zeit. Für die Anzahl der Harmonischen und der Mischprodukte kann jeweils eine Obergrenze für die Berechnung festgelegt werden. Diese beeinflusst die Genauigkeit der Simulation.

Durch Fourier-Transformation in den Frequenzbereich entstehen aus den Differentialgleichungen nichtlineare algebraische Gleichungen:

$$\begin{aligned} g(u(t)) + \frac{d}{dt}q(u(t)) + y(t) * u(t) &= i(t) \\ \Updownarrow & \\ F_k \{g(u(t))\} + j\omega_k F_k \{q(u(t))\} + Y(j\omega_k)U_k &= I\omega_k \end{aligned} \quad (3.8)$$

F_k : k -te spektrale Komponente der Fourier-Transformation,

$\omega_k = 2\pi f k$,

g, q : Nichtlineare Funktionen.

$*$: Faltungsprodukt

Der Simulator muss dieses Gleichungssystem mit $N \cdot M$ Gleichungen numerisch lösen, um die Werte der komplexen Parameter U_k zu bestimmen. Die nichtlinearen Komponenten werden im Zeitbereich ausgewertet, dazu ist eine inverse Fourier-Transformation nötig. Um dieses Gleichungssystem in Abhängigkeit von der Schaltungsarchitektur aufstellen zu können, nutzt der Harmonic Balance Simulator einen sogenannten *Inneren Lösungsalgorithmus*. Dieser nutzt die Eigenschaft aus, dass die zu verarbeitenden Signale quasi-periodisch, also durch eine relativ kleine Anzahl diskreter Frequenzen darstellbar sind, um eine Jacobimatrix aus dem Gleichungssystem zu bestimmen. Quasi-periodische Signale sind Voraussetzung für die Anwendung der Harmonic Balance Methode.

Für den Inneren Lösungsalgorithmus gibt es zwei verschiedene Ansätze. Standardmäßig wird die direkte Methode verwendet. Der benötigte Speicherbedarf steigt etwa quadratisch mit der Größe des Gleichungssystems an. Für Schaltungen, die entweder sehr viele nichtlineare Elemente und damit auch Knotenpunkte besitzen oder sehr viele Harmonische und Mischprodukte für hinreichende Genauigkeit der Simulation benötigen, stellt ADS noch den Krylov-Algorithmus

zur Verfügung. Bei diesem steigt der Speicherbedarf etwa linear mit der Matrizengröße [46], dafür ist er weniger robust in Bezug auf Konvergenz, als die direkte Methode.

Ist das Gleichungssystem aufgestellt, wird der *Äußere Lösungsalgorithmus* zu dessen numerischer Lösung eingesetzt. ADS bedient sich hier der Newton-Methode. Um dieses sehr einfache und zuverlässige Verfahren anwenden zu können, müssen die nichtlinearen Gleichungen in die Form $f(x) = 0$ gebracht werden. Ausgehend von einer ersten Abschätzung wird durch die iterative Funktion

$$x_{i+1} = x_i - \frac{f(x_i)}{f'(x_i)} \quad (3.9)$$

eine asymptotische Annäherung an den Nullpunkt erzielt (vergleiche Abbildung 3.15). Da durch diese Eigenschaft der Newton Methode der Nullpunkt zwar beliebig nahe, aber nie genau erreicht wird, muss ein Grenzwert, ab der die Iteration stoppt, eingeführt werden. Der Startwert wird auf der Grundlage einer Gleichstrom-Analyse bestimmt. Der Anwender kann die maximale Anzahl an Iterationen selbst festlegen.

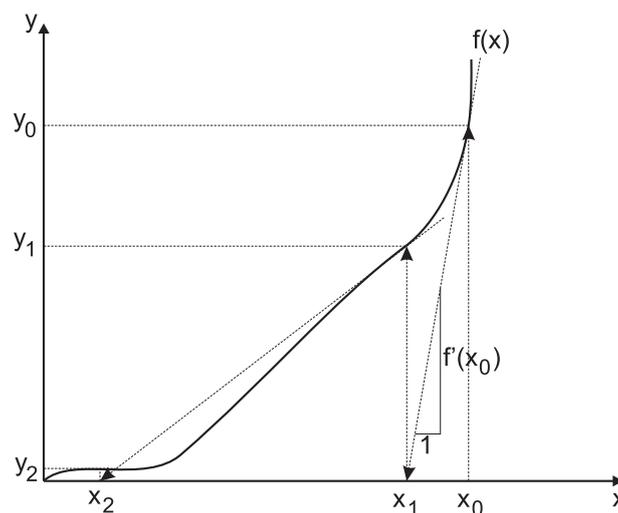


Abb. 3.15: Newton Methode zur numerischen Lösung nichtlinearer Gleichungen höherer Ordnung.

Für den Simulator ist von entscheidender Bedeutung, ob die iterative Bestimmung der Parameter des Gleichungssystems konvergiert oder nicht. Als Konvergenzkriterium nutzt Harmonic Balance die Summe der Knotenströme. Nach den Kirchhoffschen Gesetzen muss diese Summe Null ergeben. Mit Hilfe der Abweichung der numerischen Lösung von Null kann eine Fehlerfunktion erzeugt werden. Diese dient dazu, festzustellen, ob das Verfahren konvergiert und um die Anpassung von Signalphasen und -amplituden zu verbessern. Ist der Wert der Fehlerfunktion genügend klein, dann ist die Lösung des stationären Zustands erreicht.

ADS beinhaltet auch Modelle von Mikrostreifenleitungen, so dass das gesamte Schaltungslayout damit simuliert werden kann. Vergleiche mit der Momentenmethode zeigen gute Übereinstimmung der Ergebnisse. Damit kann der gesamte Schaltungsentwurf mit nur Hilfe des Harmo-

nic Balance Simulators durchgeführt werden, solange die im Simulator verfügbaren Leitungselemente für die Realisierung ausreichen.

3.5.2 Diodenmodell

Für die Realisierung des Schalters wurden Schottky-Dioden verwendet, die von der Halbleitertechnologie des DaimlerChrysler Forschungszentrums in Ulm gefertigt wurden. Dabei handelt es sich um Doppeldioden, bei denen jeweils zwei Dioden mit gleicher Orientierung auf einem Siliziumträger aufgebracht sind. Abbildung 3.16 zeigt das Photo einer Doppeldiode (a) und das entsprechende Schaltbild (b). Die Dioden wurden auf Silizium realisiert und mit Goldkontakten für die Herstellung von Bond-Verbindungen versehen. Der Diodenschalter besteht aus je zwei Doppeldioden.

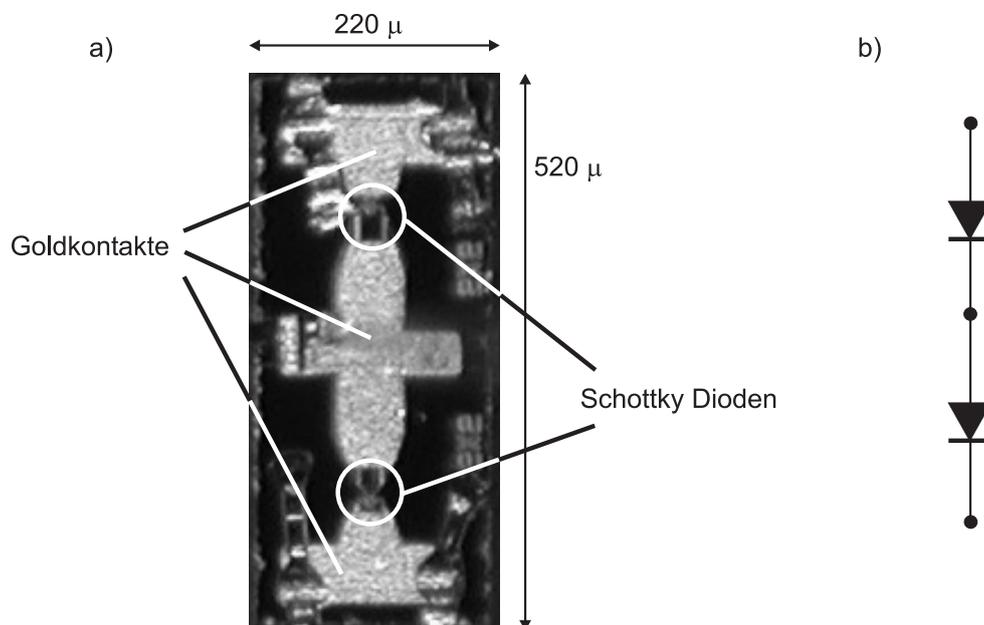


Abb. 3.16: Photo einer Schottky-Doppeldiode (a) und entsprechende Schaltskizze (b).

Da die Diodenbrücke das grundlegende Element der Abtastschaltung darstellt und die exakte Simulation nichtlinearer Komponenten sehr komplex ist, ist es von entscheidender Wichtigkeit, ein gutes Modell der verwendeten Dioden zu entwickeln. Da die Dioden als schaltendes Element betrieben werden sollen, ist vor allem das Großsignalmodell wichtig. Zunächst wurde aus DC-Messungen das Gleichstrom-Diodenmodell erstellt. Mit Hilfe der Shockley-Diodengleichung lässt sich die Strom-Spannungs-Kennlinie mit einer Exponentialgleichung beschreiben [47][48].

$$I_D = I_S \left(e^{\frac{U_D}{nU_T}} - 1 \right) \quad (3.10)$$

I_D : Strom durch die Diode

U_D : Spannungsabfall an der Diode

U_T : Temperaturspannung $\frac{kT}{q}$ ($\approx 26mV$ bei Raumtemperatur)
 n : Idealitätskonstante (liegt zwischen 1 ... 4)

Mit Hilfe des Ersatzschaltbildes aus Abbildung 3.17 wurden die folgenden Parameter extrahiert [49][50].

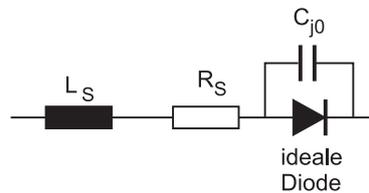


Abb. 3.17: Ersatzschaltbild der Schottky-Diode

Sättigungssperrstrom $I_S = 4,3nA$
 Serienwiderstand $R_S = 8,5\Omega$
 Idealitätsfaktor $n = 1,09$

Für dieses Ersatzschaltbild ist keine Beschreibung durch eine geschlossene Formel möglich. Für mathematische Berechnungen wurde daher die Diode als spannungsabhängiger Widerstand in Serie mit dem konstanten Dioden-Serienwiderstand betrachtet. Der induktive Anteil der Dioden selbst stellte sich als vernachlässigbar heraus. Übrig bleibt lediglich der induktive Anteil der Gold-Kontaktflächen, der aber sehr einfach als Leitungsstück in die Simulation mit aufgenommen werden kann.

Abbildung 3.18 zeigt den modellierten Verlauf der Strom-Spannungs-Kennlinie.

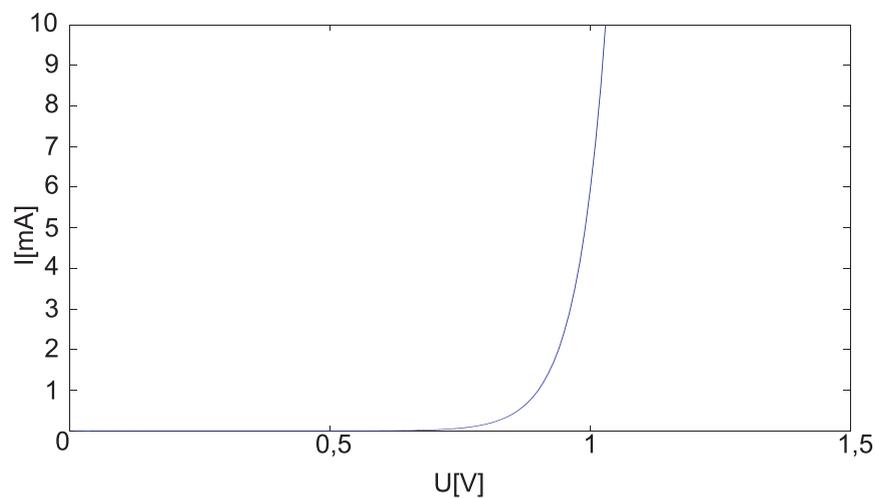


Abb. 3.18: Strom-Spannungs-Kennlinie einer einzelnen Diode aus DC-Messungen.

Aus einer HF-Charakterisierung der Dioden, die Dr. Heymann vom FBH Berlin im Auftrag von DaimlerChrysler anfertigte, konnte noch die Größe der parallelen Sperrschichtkapazität bei

Vorspannung Null (engl. zero bias junction capacity, C_{j0}) entnommen werden. Diese beeinflusst die Schalter-Eigenschaften, in dem sie die kapazitive Kopplung zwischen Takt- und Eingangssignal und das Durchsprechen während der Haltephasen ermöglicht. Der Wert der Sperrschichtkapazität ergibt sich demnach zu $C_{j0} = 12 \dots 14 fF$.

Somit läßt sich das Diodenmodell durch folgende Parameter vollständig beschreiben:

Sättigungssperrstrom	$I_S = 4,3 nA$
Serienwiderstand	$R_S = 8,5 \Omega$
Idealitätsfaktor	$n = 1,09$
Zero bias junction capacity	$C_{j0} = 12 \dots 14 fF$

Tab. 3.1: Parameter des Diodenmodells

3.5.3 Balun

Der Balun dient zur Symmetrierung des Taktsignals. Für diesen Zweck wurden verschiedene Ansätze untersucht. Da eine der beiden Zielfrequenzen des HFSYSI-Projekts bei 24 GHz liegt, wurde eine diskret aufgebaute Symmetrierschaltung ausgeschlossen. Aus den in Abschnitt 3.4.3 angeführten Gründen, muss die Symmetrierschaltung auch nicht zwingend sehr breitbandig sein. Durch die Fehlanpassung an der Diodenbrücke, welche nicht vermieden werden kann, treten Reflexionen auf. Durch die Nichtlinearität der Dioden entstehen eine Vielzahl an Mischprodukten. Um zu verhindern, dass HF-Leistung, die an den Dioden reflektiert wird, an den jeweils gegenüberliegenden Eingang der Diodenbrücke abgegeben wird und somit das symmetrische Taktsignal zerstören, ist eine breitbandige Isolation zwischen beiden Ausgängen der Symmetrierschaltung nötig.

Als erfolgreiche Möglichkeit für den 2,4 GHz-Demonstrator stellte sich die Verwendung eines 3 dB-Teilers und einer anschließenden $\lambda/2$ -Umwegleitung dar. Der Leistungsteiler wurde als Wilkinson-Teiler realisiert, da dieser ausreichend Isolation zwischen beiden Ausgängen bietet und sehr einfach als passive Leitungsstruktur aufgebaut werden kann.

Diese Konzept führt zu dem Layout, das in Abbildung 3.19 dargestellt ist.

Zur Überprüfung wurde diese Schaltung aufgebaut und vermessen. Abbildung 3.20 zeigt ein Photo des Aufbaus. Die Simulation dieser Schaltung erfolgte mit ADS Harmonic Balance, die Messung erfolgte im Zeitbereich mit einem Sampling Scope [51].

Die Abbildungen 3.21 und 3.22 zeigen die Simulation und das Messergebnis[52]. Beide stimmen gut überein. Die geringe Abweichung der Signalpegel entsteht durch die Einflüsse der Zuleitungen und der verwendeten SMA-Steckverbindungen, die nicht in der Simulation enthalten sind.

Der verwendete Balun hat allerdings den Nachteil, dass eine Vermessung der Schaltung mit anderen Taktfrequenzen nicht möglich ist, da die Länge der Umwegleitung sonst keiner halben Wellenlänge entspricht und somit keine 180° Phasenverschiebung erzeugt. Die Auswirkungen der Phasenverschiebung im Taktpfad erzeugt ein Übersprechen des Taktsignals in das Ausgangssignal. Theoretische Untersuchungen dieses Effekt haben gezeigt, dass für einen Phasenfehler

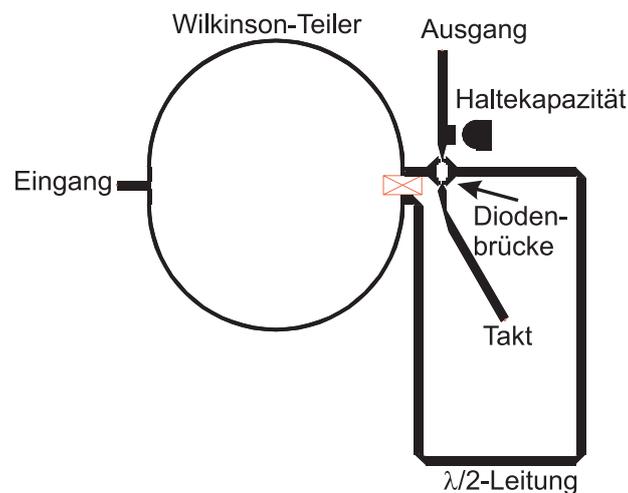


Abb. 3.19: Layout der 2,4 GHz Abtastschaltung

von nicht mehr als 10° das erzeugte Ausgangssignal immer noch einen zeitlichen Verlauf aufweist, der für die gewünschte Ein-Bit-Quantisierung keine Einschränkungen bedeutet.

3.6 Konzeptverifikation mit Hilfe von Matlab-Modellen

Um die auftretenden Effekte zu untersuchen, ist es nützlich, die Schaltung mathematisch zu beschreiben. Dadurch wird ersichtlich, welche Effekte systembedingt sind und welche durch parasitäre Einflüsse entstehen. Es wurde ein grobes mathematisches Modell der Folge-Halte-Schaltung erstellt und soweit verfeinert, bis die wesentlichen Eigenschaften der Schaltungsarchitektur erklärt werden konnten. Die Modelle wurden mit Hilfe von Matlab numerisch berechnet.

3.6.1 Ideale Abtastung

Als Referenz wird eine ideale Abtastung, wie sie in Abbildung 3.23 dargestellt ist, angenommen. Dieses Modell wurde mathematisch erstellt, ohne Grundlage irgendeiner physikalischen Annahme bezüglich der Abtastschaltung.

Solange das Taktsignal einen Wert größer als Null hat, ist das Ausgangssignal gleich dem Eingangssignal, hat der Takt einen Wert kleiner Null, bleibt der aktuelle Wert des Ausgangssignals so lange konstant, bis das Taktsignal wieder eine positive Halbwelle durchläuft. Nimmt man das so erzeugte Signal als Grundlage der weiteren Untersuchungen, lassen sich die Auswirkungen einzelner Einflüsse, wie zum Beispiel die Bandbegrenzung des Ausgangsverstärkers sehr leicht nachbilden. Im Übrigen dient es lediglich als Referenzwert, um die Resultate der nicht idealen Modellierungen bewerten zu können.

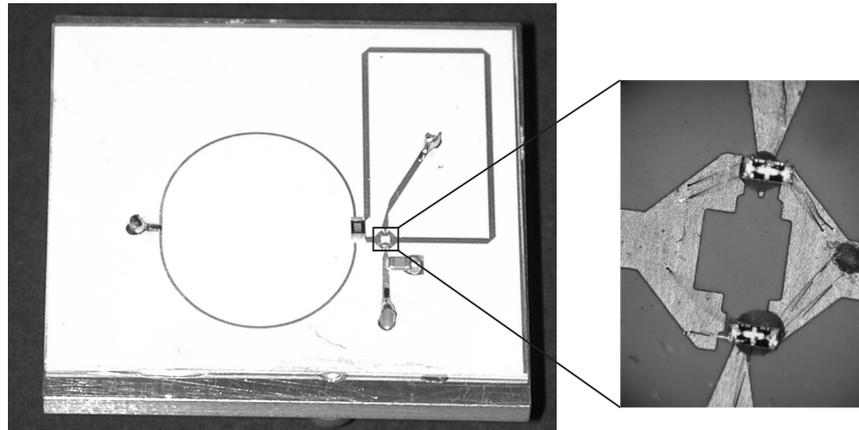


Abb. 3.20: Photo der 2,4 GHz Abtastschaltung

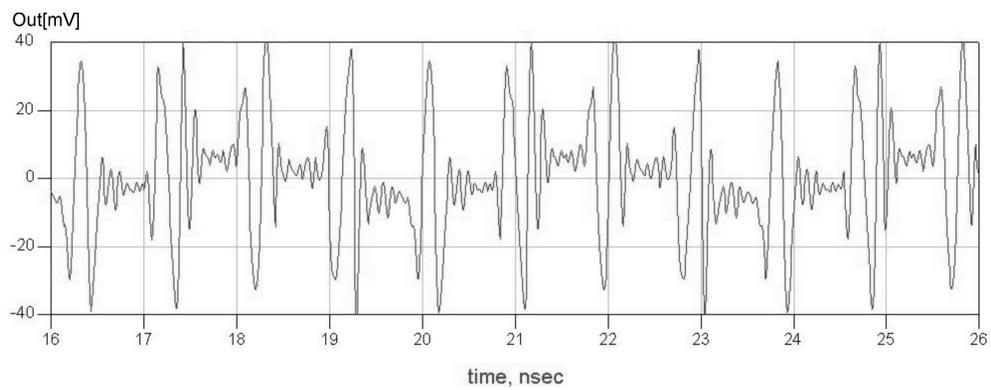


Abb. 3.21: Simulation des 2,4 GHz Abtasters

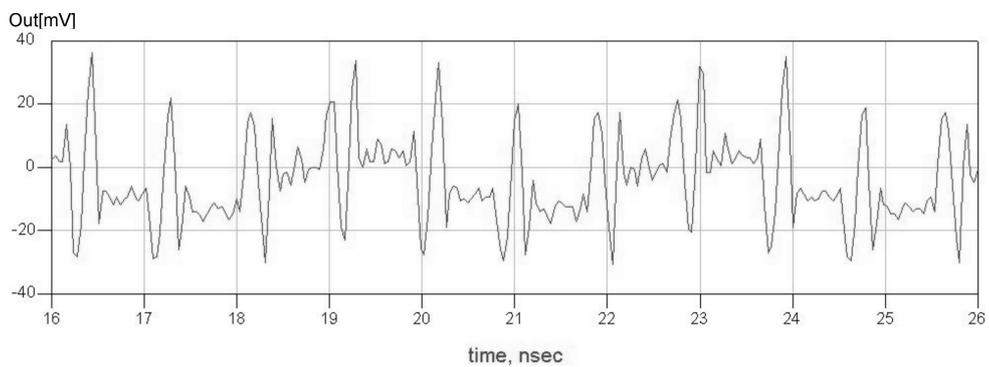


Abb. 3.22: Messergebnis des 2,4 GHz Abtasters

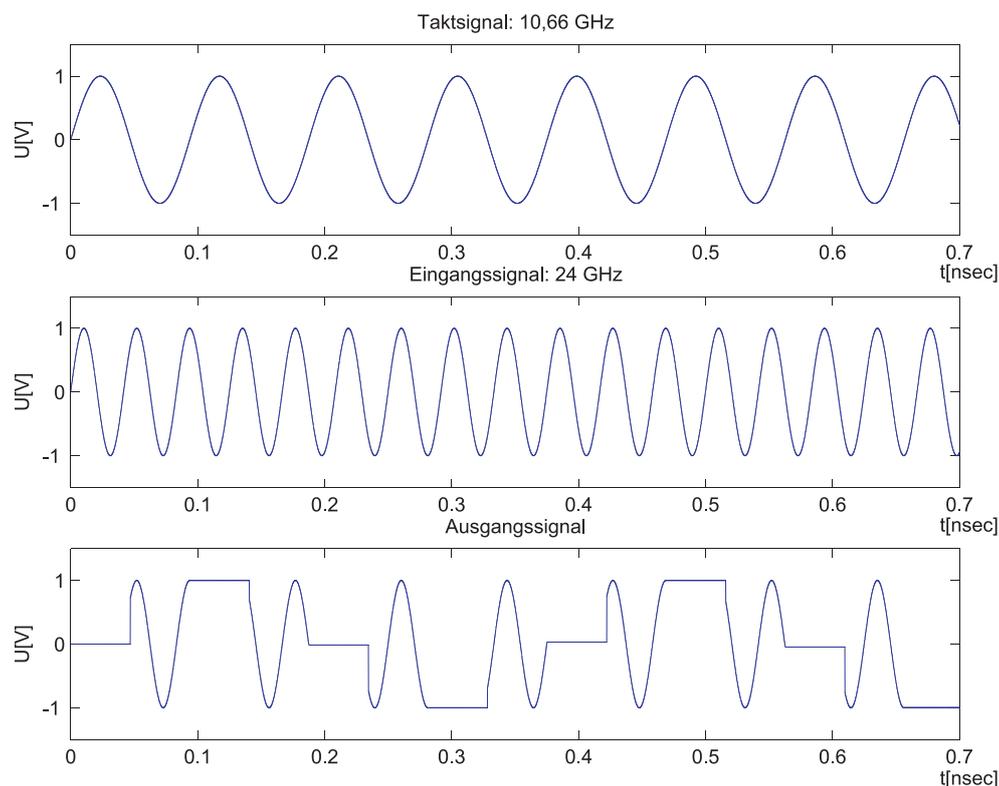


Abb. 3.23: Ideale Abtastung (unten) des Eingangssignals (mitte) durch das Taktsignal (oben)

3.6.2 Modellierung der Haltekapazität

Im nächsten Schritt wird von einem idealen Schalter ausgegangen, und die Auswirkungen eines realen Kondensators als Halteglied betrachtet.

Der Kondensator wird beschrieben durch sein Lade- und Entladeverhalten. Legt man zum Zeitpunkt $t = 0$ die Spannung U an den Kondensator an, dann folgt die Kondensatorspannung diesem Sprung mit einer gewissen zeitlichen Verzögerung, da der Ladevorgang nicht beliebig schnell ausgeführt werden kann. Der zeitliche Verlauf des Ladevorgangs wird bestimmt durch

$$u_C(t) = U \cdot (1 - e^{-\frac{t}{RC}}) \quad (3.11)$$

$u_C(t)$: Kondensatorspannung in Abhängigkeit von der Zeit, R : Ladewiderstand, C : Kapazitätswert des Kondensators.

Der zeitliche Verlauf für die Entladung des Kondensators kann durch

$$u_C(t) = U \cdot (e^{-\frac{t}{RC}}) \quad (3.12)$$

berechnet werden.

Beide Formeln beschreiben die Kondensatorspannung in Abhängigkeit von der Zeit, mit der angelegten Spannung als Parameter. Für das numerische Modell ist eine Darstellung der Kondensatorspannung über die Zeit zu erstellen.

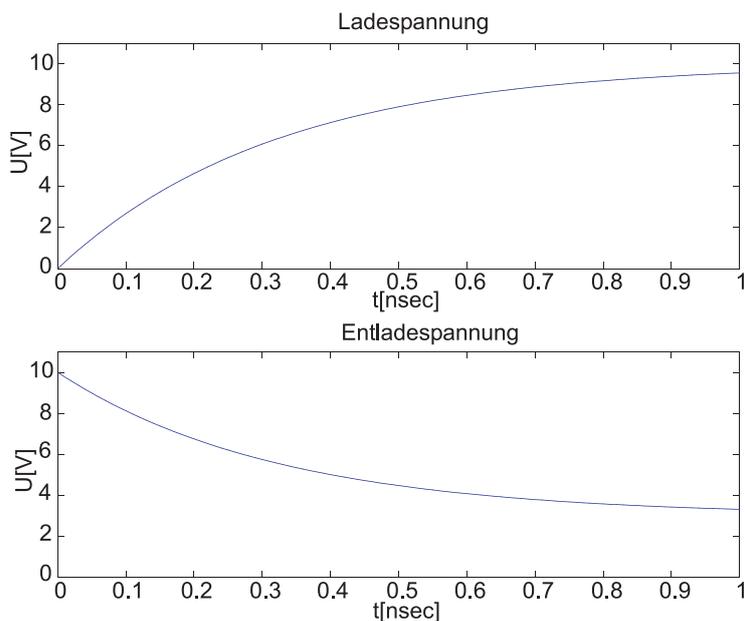


Abb. 3.24: Lade- und Entladeverhalten eines idealen Kondensators. Oben: Aufladen auf 10V, unten Entladen bis auf 3V.

satorsspannung in Abhängigkeit von nur der Eingangsspannung wünschenswert. Dies ist möglich, wenn die Eingangsspannung eine Funktion der Zeit ist und die Berechnung der Stützstellen ihres zeitlichen Verlaufs in konstanten Zeitintervallen erfolgt. Unter dieser Voraussetzungen kann man die Gleichungen 3.11 und 3.12 umformen und zusammenfassen in:

$$U_C = U_{Eingang} - \Delta U \underbrace{e^{-\frac{\Delta t}{RC}}}_{\text{konstant}} \quad (3.13)$$

U_C : Kondensatorspannung, $U_{Eingang}$: angelegte Spannung, ΔU : Spannungsdifferenz zwischen $U_{Eingang}$ und zuletzt im Kondensator gespeicherter Spannung, R : Lade-/Entladewiderstand.

Benutzt man eine so modellierte Kapazität als Halteglied und übernimmt ansonsten die ideale Folge-Halte-Schaltung aus 3.6.1, dann ergibt sich der Signalverlauf, wie in Abbildung 3.25 dargestellt.

Die Anregung erfolgte mit den gleichen Signalen, wie in Abbildung 3.2. Es ist zu erkennen, dass die maximale Amplitude des Ausgangssignals nur noch etwa ein Drittel des Eingangssignals beträgt. Ursache hierfür ist das Tiefpassverhalten des RC-Gliedes. Bei vorhandenem Ladewiderstand kann der Kondensator nicht schnell genug auf die angelegte Spannung aufgeladen werden. Die für die Berechnung angenommenen Werte für Lade- und Entladewiderstand entsprechen in etwa den Werten der realen Schaltung. Diese Widerstände können nur mit sehr großem Aufwand verändert werden, da sie im Wesentlichen von den Eigenschaften der beiden TIAs und der Dioden bestimmt werden. Um die Grenzfrequenz des RC-Gliedes zu erhöhen, müsste man also die

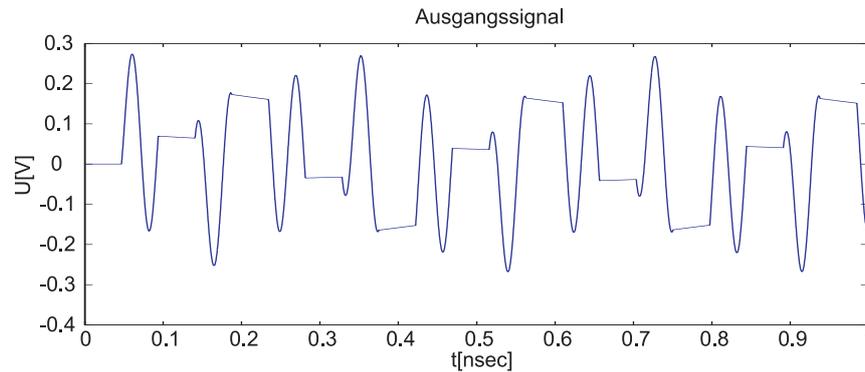


Abb. 3.25: Ideale Folge-Halte-Schaltung mit einem Kondensator als Haltestufe.

Kapazität des Haltekondensators verringern. Dies wiederum würde zu einer größeren Haltedrift führen. Die Wahl der Haltekapazität ist also ein Kompromiss, der auf Grund des zu geringen Unterschieds zwischen Lade- und Entladewiderstand nötig ist.

3.6.3 Modellierung der Diodenbrücke

Im nächsten Schritt wird nun der ideale Schalter durch die Diodenbrücke ersetzt. Als Diodenmodell dient das in Abschnitt 3.5.2 eingeführte Modell mit den Parametern aus Tabelle 3.1. Da eine geschlossene Darstellung des Diodenmodells mathematisch nicht möglich ist, wird die Diode als veränderlicher Widerstand betrachtet. Aus Gleichung 3.10 und der Kenntnis des Serienwiderstandes einer Diode folgt:

$$R_{Diode} = R_S + \frac{U_{Takt}}{I_D} \quad (3.14)$$

R_D : Diodenwiderstand, R_S : Serienwiderstand, U_D : an der Dioden anliegende Spannung, I_D : Strom durch die Diode.

Diese Gleichung kann numerisch berechnet werden, da I_D näherungsweise nur von der Taktspannung abhängt. Im Abschnitt 3.6.5 wird gezeigt, dass der Diodenwiderstand gegenüber dem Serienwiderstand sehr schnell so groß wird, dass R_S dagegen vernachlässigbar ist. Der Serienwiderstand wirkt sich effektiv nur während der Durchlass-Phasen auf die Impedanz des Signalpfades aus.

Das kapazitive Übersprechen des Taktsignals auf den Ausgang während der Haltephasen kann durch

$$U_{Takt \rightarrow Ausgang}(t) = \frac{U_{Takt}(t)}{2 + \frac{1}{f_{Takt} \cdot C_{j0} R_e}} \quad (3.15)$$

berechnet werden. C_{j0} : Zero bias junction capacity, R_e : Entladewiderstand. Das Übersprechen des Eingangssignals durch die kapazitive Kopplung kann vernachlässigt werden, da das

Eingangssignal wesentlich weniger Leistung besitzt, als das Taktsignals und weil der Kapazitätswert durch die große Vorspannung der Dioden in Sperrrichtung während der Haltephase erheblich verringert wird.

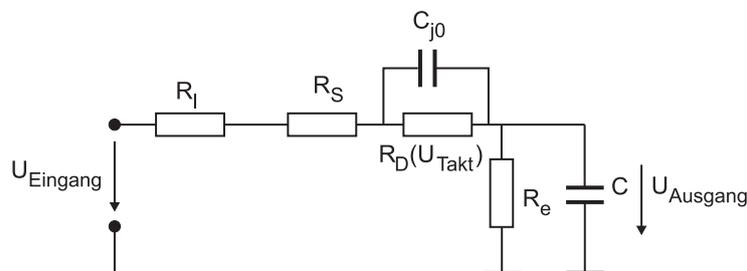


Abb. 3.26: Ersatzschaltbild des Diodenschalters

Abbildung 3.26 zeigt das Ersatzschaltbild des so modellierten Diodenschalters mit der Haltekapazität C . R_l bezeichnet den Ladewiderstand, der der Ausgangsimpedanz des TIA1 entspricht. Entsprechend bezeichnet R_e den Entladewiderstand, der der Eingangsimpedanz des TIA2 entspricht.

Die Modellierung der Diodenbrücke als veränderbarer Widerstand hat weiterhin den Vorteil, dass eine geschlossene mathematische Darstellung der Abtastarchitektur möglich ist, indem man einen Ersatzwiderstand des Ersatzschaltbildes (Abbildung 3.26) berechnet und in die Kondensatorgleichung 3.13 einfügt:

$$U_{Diodenbrücke} = U_{Eingang} \left(1 - \left(\frac{R_{Diode} + R_l}{R_l + R_{Diode} + R_e} \right) \right) + U_{Takt \rightarrow Ausgang} \quad (3.16)$$

$$R_{Kondensator} = \frac{1}{\frac{1}{R_{Diode}} + \frac{1}{R_e}} + R_l \quad (3.17)$$

Mit ΔU = aktuell am Kondensator anliegende Spannung - zuletzt im Kondensator gespeicherte Spannung gilt:

$$U_{Ausgang} = U_{Diodenbrücke} - \Delta U e^{\frac{-\Delta t}{R_{Kondensator} C}} \quad (3.18)$$

In Abbildung 3.27 ist das Ergebnis dieser Berechnungen dargestellt. Angeregt wurde das Modell durch Eingangssignale mit den Amplituden $U_{Takt} = 10V$, $U_{Eingangssignal} = 1V$. Durch den Einfluss des umgebenden Netzwerkes sinkt der effektive Entladewiderstand, was zu einer etwas stärkeren Haltedrift führt. Die Schalter-Eigenschaften der Diodenbrücke führen zu keinen Signalverzerrungen, das Ausgangssignal kann durch einen Komparator quantifiziert werden. Durch die Nichtlinearität der Diodenbrücke wird ein Gleichanteil erzeugt, der das Ausgangssignal verschiebt. Auch dieses Verhalten wird durch das erstellte Modell korrekt wiedergegeben.

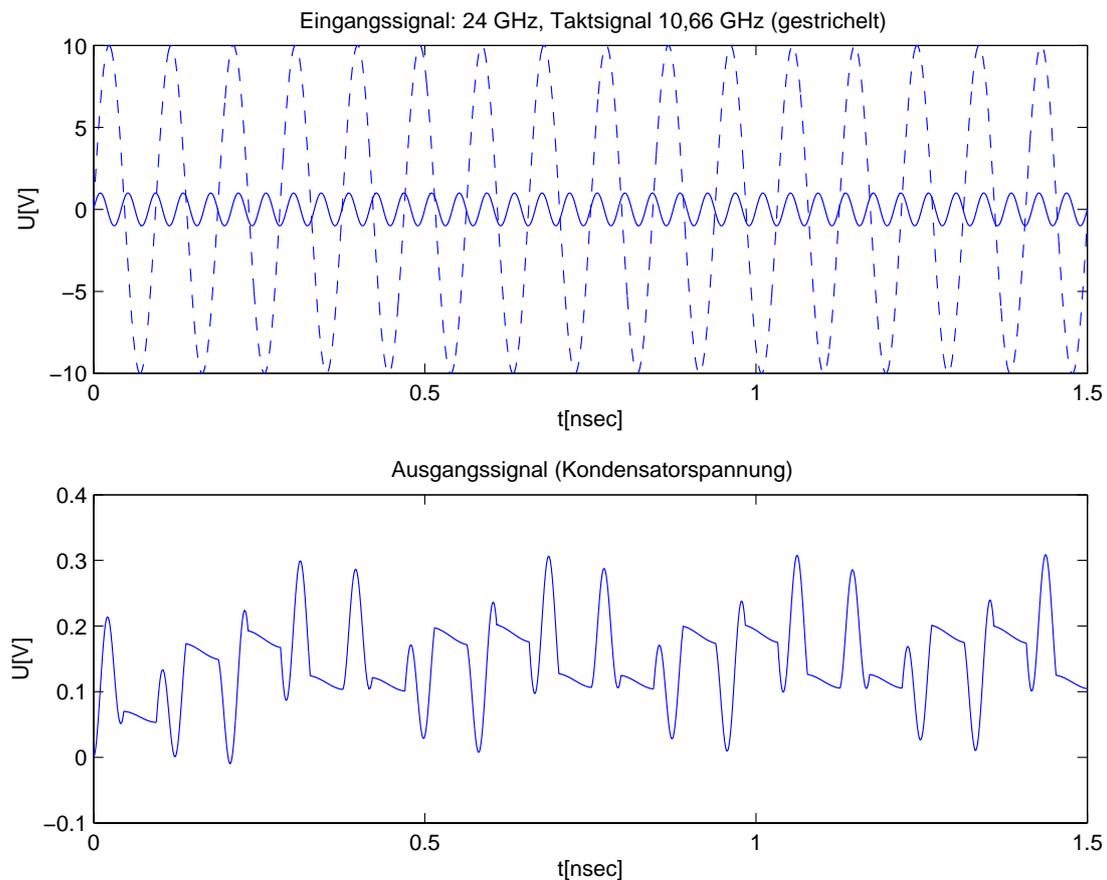


Abb. 3.27: Berechnetes Ausgangssignal des Diodenschalters.

3.6.4 Modellierung der Bandbegrenzung

Bisher wurde angenommen, dass die zur Verfügung stehenden Verstärker TIA1 und TIA2 beliebige Bandbreiten verarbeiten können. In der Realität ist dies natürlich nicht der Fall. Da die beiden Verstärker durch die Arbeitsgruppe der Universität Ulm entwickelt wurden, steht hierfür kein mathematisches Modell zur Verfügung. Man kann aber ihre wesentlichen Eigenschaften durchaus theoretisch in Betracht ziehen. Die niedrige Ladeimpedanz und die hohe Entladeimpedanz für die Haltekapazität wurden bereits im bisherigen Modell als Ladewiderstand R_l und Entladewiderstand R_e berücksichtigt. Eine weitere wichtige Eigenschaft ist die Bandbegrenzung, die beide Verstärker aufweisen. Dabei sind die Ansprüche an TIA1 relativ gering, da er lediglich das relativ schmalbandige Eingangssignal verarbeiten muss. Es wird davon ausgegangen, dass durch den TIA1 keine Einschränkungen der Funktion zu erwarten sind und der Verstärker als ideal angenommen werden kann. Dies hat sich auch durch Messungen bestätigt. Daher wird in den folgenden Berechnungen nur der Einfluss des TIA2 auf das Ausgangssignal betrachtet. Es wurde bereits gezeigt, dass das resultierende Ausgangssignal sehr hohe Frequenzanteile bis zu einigen 100 GHz enthält. Für die Entwicklung des TIA2 ist es daher wichtig, eine minimal

nötige obere Grenzfrequenz angeben zu können. Es gibt ebenso eine untere Grenzfrequenz, die eingehalten werden muss.

Zur Untersuchung dieser Einschränkungen wird das Ausgangssignal der Folge-Halte-Schaltung nacheinander Hochpass und Tiefpass gefiltert. Gegenüber der Verwendung eines Bandpassfilters bietet diese Vorgehensweise den Vorteil, dass beide Einflüsse getrennt von einander untersucht werden können.

Abbildung 3.28 zeigt den Einfluss des Hochpassfilters für verschiedene Grenzfrequenzen. Für die Berechnung wurde ein Butterworth-Filter verwendet. Angegeben ist jeweils die 3 dB-Frequenz.

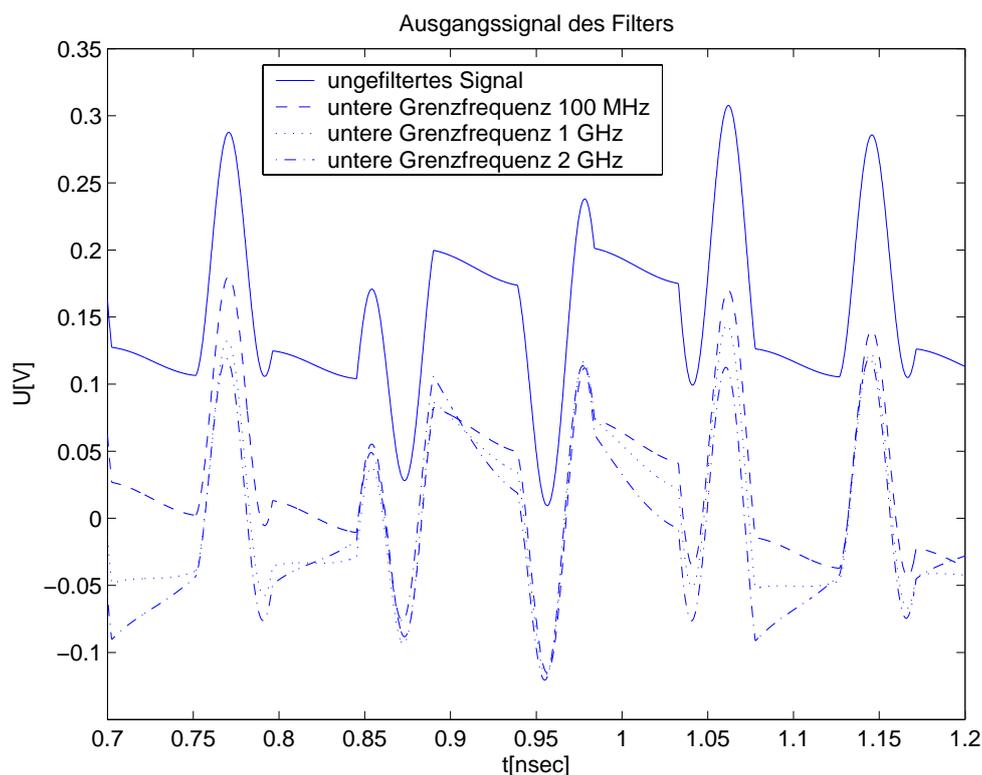


Abb. 3.28: Resultierendes Ausgangssignal, abhängig von der unteren Grenzfrequenz des Hochpasses

Die untere Grenzfrequenz beeinträchtigt im Wesentlichen die Haltephase. Durch eine zu niedrig gewählte Grenzfrequenz entsteht zusätzliche Haltedrift. Erwartungsgemäß wird auch der Gleichanteil des Spektrums unterdrückt und das Signal wandert in Richtung der Null-Volt Linie. Für die 24 GHz Anwendung hat das frequenztransformierte Signal eine Trägerfrequenz von 2,68 GHz. Dementsprechend würde man erwarten, dass die untere Grenzfrequenz etwa bei einem Wert von 2,43 GHz liegt ($f_{Träger} - B/2$). Abbildung 3.28 zeigt jedoch, dass die Spannung während der Haltephase bereits ab einer 3 dB-Frequenz von mehr als 1 GHz eine erhebliche Haltedrift verursacht, die selbst für eine Ein-Bit-Quantisierung zu groß ist. Die untere Grenzfrequenz des TIA2 sollte nicht weniger als 1/10 des frequenztransformierten Trägers betragen.

Abbildung 3.29 verdeutlicht den Einfluss der oberen Grenzfrequenz des TIA2. Mit fallender 3 dB-Frequenz entstehen während der Haltephase Oszillationen. Diese können vor allem im Bereich der Null Volt Linie Bitfehler erzeugen. Vor allem für die Quantisierung mit einer hohen Auflösung dürfen keine Oszillationen auftreten. Die Ein-Bit-Quantisierung reagiert dagegen nicht auf Oszillationen, solange die Amplituden klein gegenüber dem Signal sind. Bei einer 3 dB-Frequenz von etwa 100 GHz reduzieren sich die Schwingungen auf einen Einschwingvorgang, der durch geeignetes Timing des Komparators umgangen werden kann.

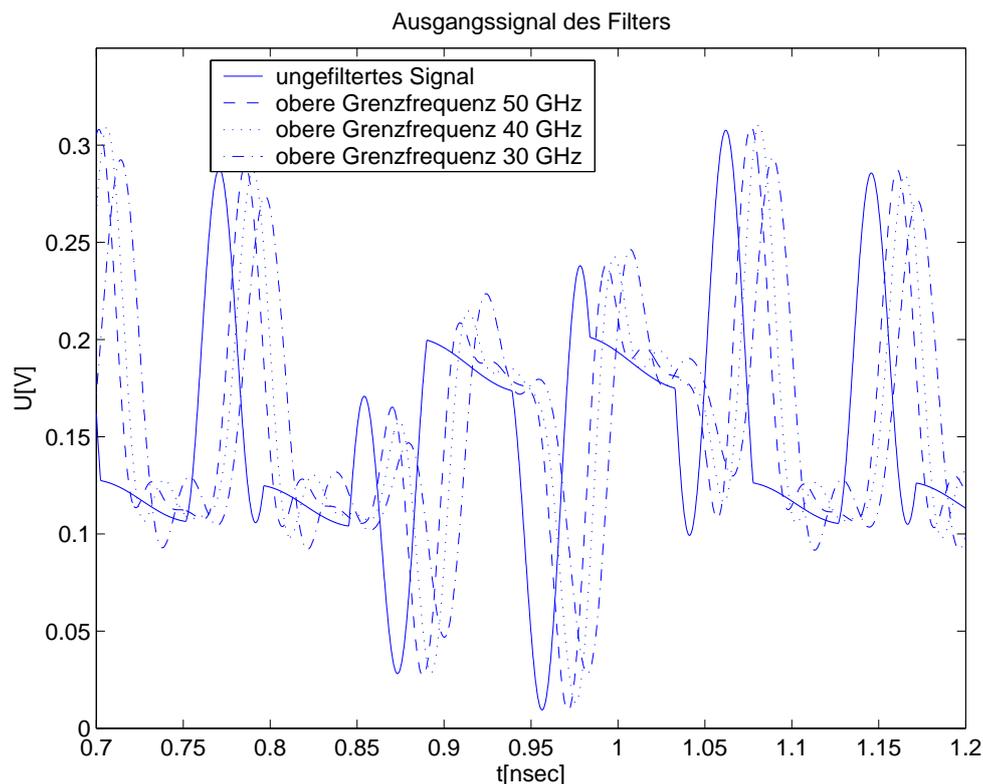


Abb. 3.29: Einfluss der oberen Grenzfrequenz des TIA2

Die beobachtete Phasenverschiebung wird durch das Hochpass-Filter verursacht.

Nimmt man für den TIA2 ein Bandpassverhalten mit dem Durchlaßbereich 100 MHz ... 50 GHz an, was laut Simulations- und Messdaten eine realistische Annahme ist, so erhält man den in Abbildung 3.30 gezeigten Verlauf der Ausgangsspannung. Abhängig von dem Startwert für die Kondensatorspannung, kommt es zu einem Einschwingvorgang.

3.6.5 Diodenschalter als Sampling Schalter

Für die Realisierung der Abtastschaltung ist die Charakterisierung der Diodenbrücke als Schalter für HF-Anwendungen von großem Interesse. Die entscheidenden Parameter sind die maximal

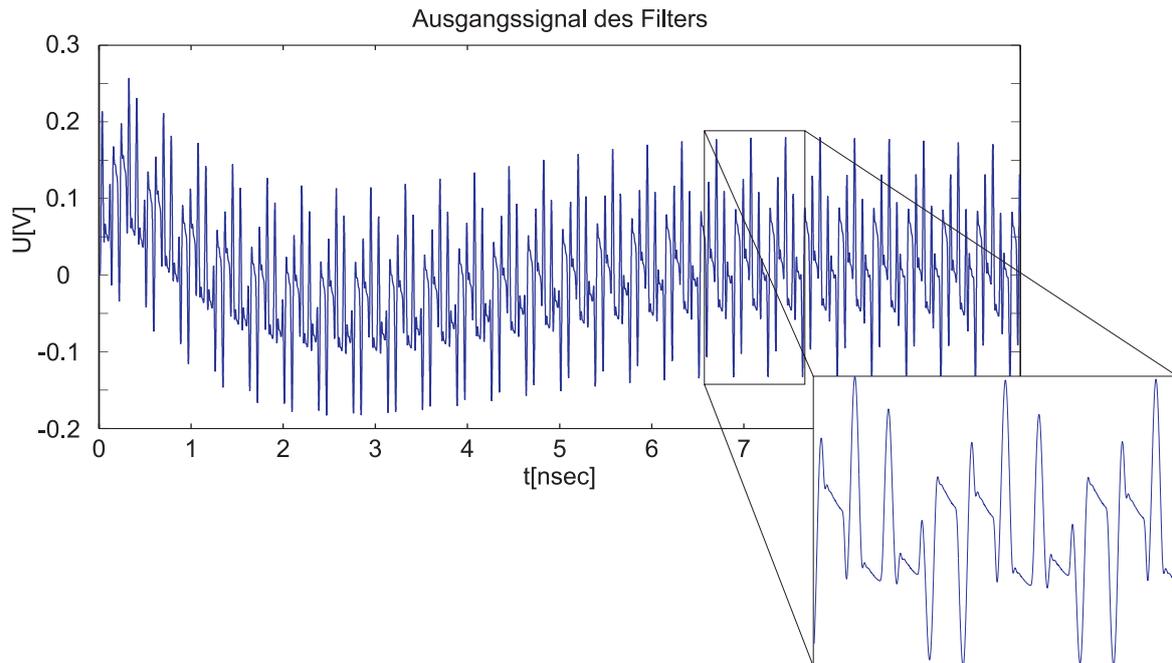


Abb. 3.30: Ausgangssignal der Folge-Halte-Schaltung unter Berücksichtigung der Bandbegrenzung durch TIA2

und minimal erreichbaren Widerstandswerte sowie deren Anstiegs- und Abfallzeiten bei fest vorgegebenem Taktsignal.

Zunächst werden die Kennlinien der Diodenbrücke und der einzelnen Dioden miteinander verglichen (Abbildung 3.31). Der Diodenstrom der einzelnen Diode steigt schneller an, als der der Diodenbrücke. Entsprechend fällt der errechnete Widerstand der einzelnen Diode auch schneller ab, wenn die Diode in Durchlassrichtung betrieben wird. Eine einzelne Diode würde also schnellere Schaltzeiten erzielen, als die verwendete Diodenbrücke. Der maximal erreichbare Widerstand, ist bei der Einzeldiode etwa halb so groß, als bei der Diodenbrücke. Auf Grund des sehr großen erreichbaren Widerstandswertes bringt dies keinen nennenswerten Einfluss auf das Ergebnis der Abtastung mit sich. Auf Grund der besseren Isolation zwischen Takt- und Signalpfad, wird in der Regel die Diodenbrücke, anstelle einer einzelnen Diode als Schalter verwendet.

Für die Berechnung der Eigenschaften der Diodenbrücke wird von einem sinusförmigen Taktsignal der Amplitude 1V ausgegangen. Dieser Wert ist durchaus realistisch, da die Dioden für Spitzenströme bis 200 mA ausgelegt sind.

Abbildung 3.32 zeigt den Widerstandsverlauf der Diodenbrücke in einer halb logarithmischen Darstellung. Die maximal erreichbare Isolation liegt bei etwa $10^8 \Omega$, der minimale Durchlasswiderstand hat einen Wert von etwa 10Ω , was dem Serienwiderstand der Dioden entspricht. Die Anstiegszeit auf einen Widerstandswert von $1 k\Omega$, der bereits ausreichend Isolation bietet, beträgt etwa 5 psec. Für die Abtastung eines Nutzsignals mit der maximalen Frequenz 5 GHz und damit der Periodendauer $T=200$ psec ist dies mehr als ausreichend [53].

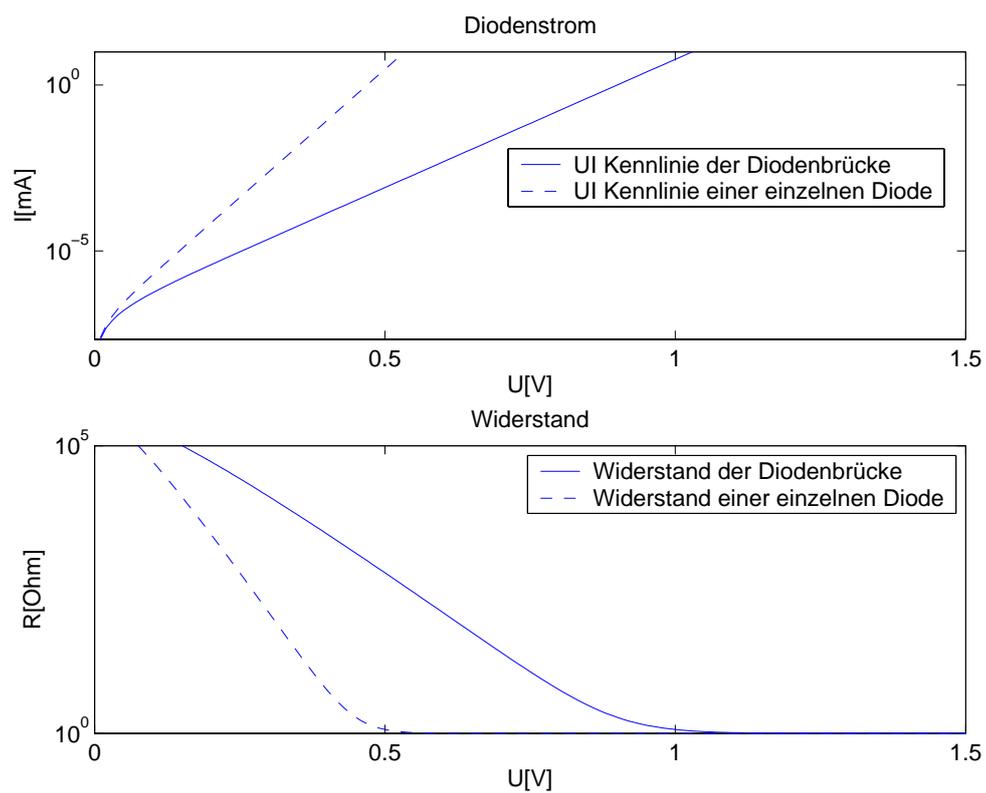


Abb. 3.31: Halblogarithmische Darstellung der Strom-Spannungs-Kennlinien (oben) und Widerstands-kennlinien (unten) jeweils einer einzelnen Diode und der Diodenbrücke

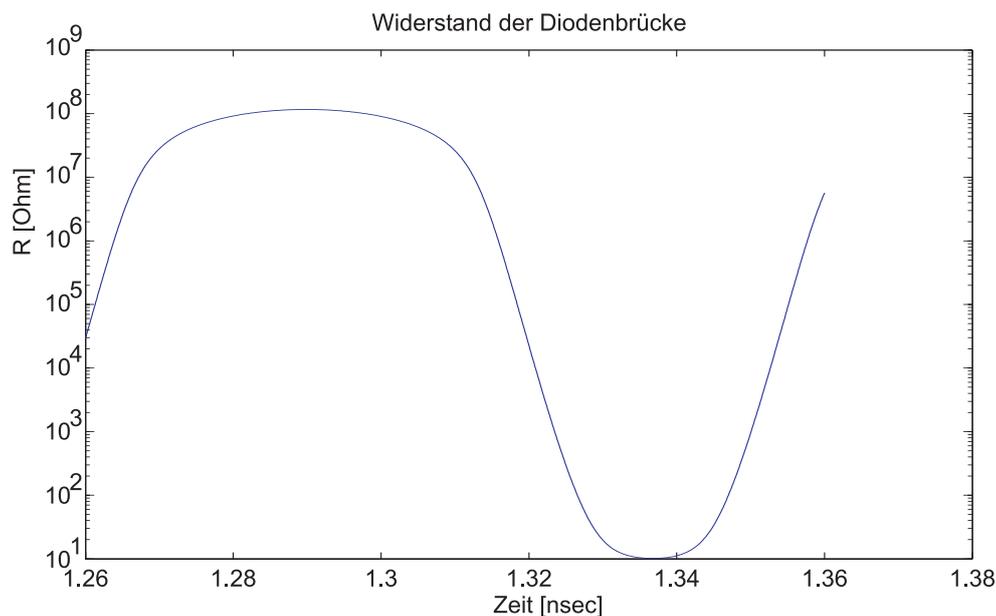


Abb. 3.32: Widerstandsverlauf der Diodenbrücke bei sinusförmiger Ansteuerung in halblogarithmischer Darstellung.

Grundlage der Berechnungen ist die Ansteuerung der Diodenbrücke mit einer Taktfrequenz von 10,66 GHz. Da die Dioden bis in den Terrahertz-Bereich spezifiziert sind, können durch höhere Taktfrequenzen noch wesentlich schnellere Schaltzeiten erreicht werden. Somit verhält sich die Diodenbrücke für die vorliegende Anwendung annähernd wie ein idealer Schalter.

In der numerischen Modellierung sind keine zusätzlichen Effekte, wie Verluste durch Abstrahlung, kapazitive Kopplung auf Grund von Leitungsstrukturen oder Ähnliches berücksichtigt. Die Modellierung derartiger Effekte würde die Rechenzeit erheblich steigern, so dass kein Vorteil gegenüber der Simulation mit ADS mehr vorhanden wäre.

Alle angestellten Berechnungen konnten mit Agilent ADS verifiziert werden. Das numerische Modell erlaubt die gezielte Untersuchung der Einflüsse einzelner Parameter. Häufig kann in ADS auf einzelne Werte kein direkter Einfluss genommen werden oder es werden gleichzeitig mehrere zusammenhängende Kenngrößen verändert, so dass keine direkte Beziehung zwischen den Parametern und deren Einfluss auf das Gesamtsystem zu erkennen ist.

4. AUFBAU EINES DIREKT DIGITALISIERENDEN EMPFÄNGERS

Ziel des HFSYSI-Projekts war die Realisierung je eines Demonstrators bei 2,4 GHz und 24 GHz. Beide Demonstratoren konnten aufgebaut und vermessen werden. Der Aufbau beschränkte sich dabei auf die Zusammenschaltung von TIA1, der Diodenbrücke und TIA2 mit integrierter Haltekapazität.

4.1 Messtechnik

Alle Simulationen und die Messungen des 2,4 GHz-Demonstrators wurden im Zeitbereich durchgeführt. Der Grund für diese, für HF-Systeme untypische Vorgehensweise ist, dass das Ausgangssignal der Folge-Halte-Schaltung nur im Zeitbereich als solches verifiziert werden kann. Im Spektralbereich kann die korrekte Funktion nicht nachgewiesen werden, da bereits leichte Änderungen des gemessenen Spektrums große Auswirkungen auf das Zeitsignal haben. Bei einer Spektralanalyse ist außerdem keine Phaseninformation vorhanden. Die Messung mit vektoriellen Netzwerkanalysatoren liefert auch die Phaseninformation, somit könnte das Zeitsignal mit inverser Fourier-Transformation rekonstruiert werden. Dieses Verfahren konnte jedoch für die vorliegende Arbeit nicht genutzt werden.

4.1.1 Zeitbereichsmessung

Die Zeitbereichsmessungen wurden mit Hilfe eines Hewlett-Packard 54120B Sampling-Oszilloskops und dem Vier-Kanal-Testset 54123A mit einer Eingangsbandbreite von 34 GHz und einem Echtzeit-Oszilloskop der Firma LeCroy mit 6 GHz Eingangsbandbreite, das für Messungen von DaimlerChrysler zur Verfügung gestellt wurde. Beide Messgeräte besitzen 50Ω Eingangsimpedanz, so dass kein weiteres Anpassnetzwerk nötig ist.

Für die Messung mit einem Sampling-Oszilloskop ist ein externes Trigger-Signal nötig. Um ein stehendes Bild zu erhalten, müssen die Frequenzen sowohl des Eingangssignals als auch des Taktsignals ein Vielfaches der Trigger-Frequenz betragen. Dieses wird erreicht, indem die Frequenzen: 2,3985 GHz Eingangssignal, 1,066 GHz Taktsignal und 266,5 MHz Trigger-Frequenz für die Messungen gewählt werden.

Um die Funktion der Folge-Halte-Schaltung nachweisen zu können, ist eine Zeitbereichsmessung nötig. Da die Schaltung vier Nichtlinearitäten enthält, wird sie durch Mischung an den Dioden immer ein Spektrum erzeugen, das die Signalanteile enthält, die auch bei einem funktionierenden Demonstrator erwartet werden, daher ist eine Betrachtung des Spektrums nicht ausreichend. Für die Messung der Demonstratoren müssen im Zeitverlauf des Ausgangssignals die Folge- und Haltephasen qualitativ identifiziert werden können. Während der Folgephasen

muss das Ausgangssignal dem Eingangssignal folgen, während der Haltephasen sollte die zuletzt angelegte Spannung konstant gehalten werden. Abbildung 4.1 zeigt einen typischen gemessenen Verlauf des Ausgangssignals. Die Haltephasen sind jeweils grau hinterlegt.

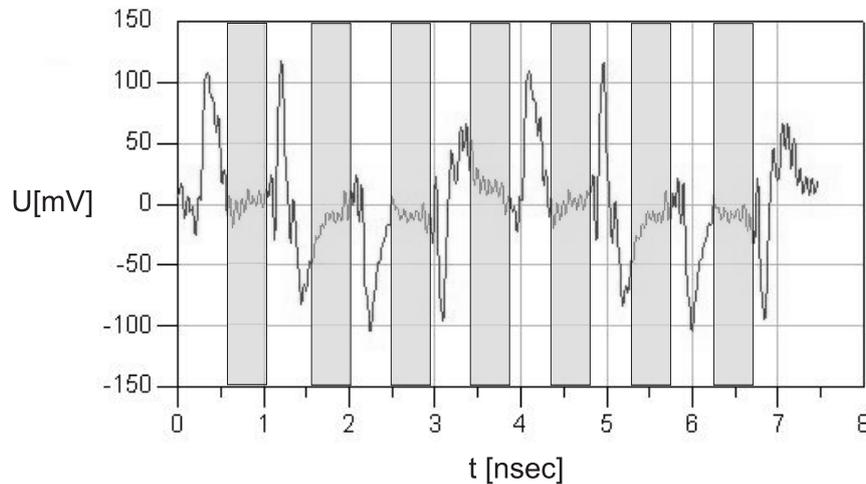


Abb. 4.1: Typischer Spannungsverlauf des Ausgangssignals mit markierten Haltephasen

4.1.2 Spektrale Messung

Für den 24 GHz-Demonstrator ist die Zeitbereichs-Messung auf Grund der sehr hohen Frequenzanteile nicht mehr möglich. Um trotzdem die Schaltung überprüfen zu können, wurden Messungen im Spektralbereich durchgeführt und mit bekannten Spektren aus Simulationen verglichen. Ausgehend von den Messergebnissen wurde die Simulation angepasst, bis die beiden Spektren übereinstimmten. Für übereinstimmende simulierte und gemessene Spektren wird davon ausgegangen, dass das simulierte Zeitbereichssignal auch am Demonstrator vorliegt. Diese Messung kann nicht als endgültiger Nachweis für die korrekte Funktion der Schaltung dienen, da aus dem gemessenen Spektrum alleine, das keine Phaseninformation enthält, das Zeitsignal nicht rekonstruiert werden kann. Man kann aber davon ausgehen, dass die Schaltung korrekt funktioniert, so lange Messung und Simulation qualitativ übereinstimmen.

4.2 Aufbau und Messung des Diodenschalters

Zunächst wurde die Diodenbrücke zusammen mit der Haltekapazität ohne die beiden Verstärker aufgebaut und vermessen. Ein Bild dieses Aufbaus zeigt Abbildung 3.20. Als Trägersubstrat für Balun, Diodenbrücke und Haltekapazität diente Rogers TMM10i mit 19μ Kupferkaschierung. Da die Flip-Chip Montage der Dioden auf der Kupfer-Metallisierung nicht möglich ist, wurden die Dioden auf die Rückseite geklebt und mit Bonddrähten kontaktiert. Die Befestigung der Bonddrähte auf dem Substrat erfolgte mit Silberleitkleber. Das gesamte Substrat wurde dann ebenfalls

mit Silberleitkleber auf einen Aluminiumträger geklebt und mit SMA-Steckverbindungen von der Rückseite her kontaktiert.

Als Haltekapazität diente ein SMD-Kondensator der Bauform 0603. Trotz der relativ großen Gehäuseform und den damit verbundenen Parasitäten wurden gute Messergebnisse erzielt.

Dieser Aufbau war für den direkten Anschluss an Signalquellen und Messgeräte mit 50Ω Ausgangs- / Eingangsimpedanz angepasst und nicht, wie im fertigen Demonstrator für eine Eingangsimpedanz von 10Ω und eine Ausgangsimpedanz von 200Ω . Grund dafür war die einfachere Verbindung zu den Messgeräten, ohne ein zusätzliches Anpassnetzwerk, das weitere Störeinflüsse erzeugen würde.

Das Simulationsergebnis und das gemessene Ausgangssignal sind in Abbildung 4.2 dargestellt. Die Leistung des Taktsignals betrug für jeweils 3 dBm und die des Eingangssignals 0 dBm. Es ist eine gute Übereinstimmung zwischen Simulation und Messung zu erkennen. Der geringe Unterschied in dem gezeigten Signalpegeln entsteht durch die Zuleitungen und Steckverbindungen, die in der Simulation nicht berücksichtigt wurden.

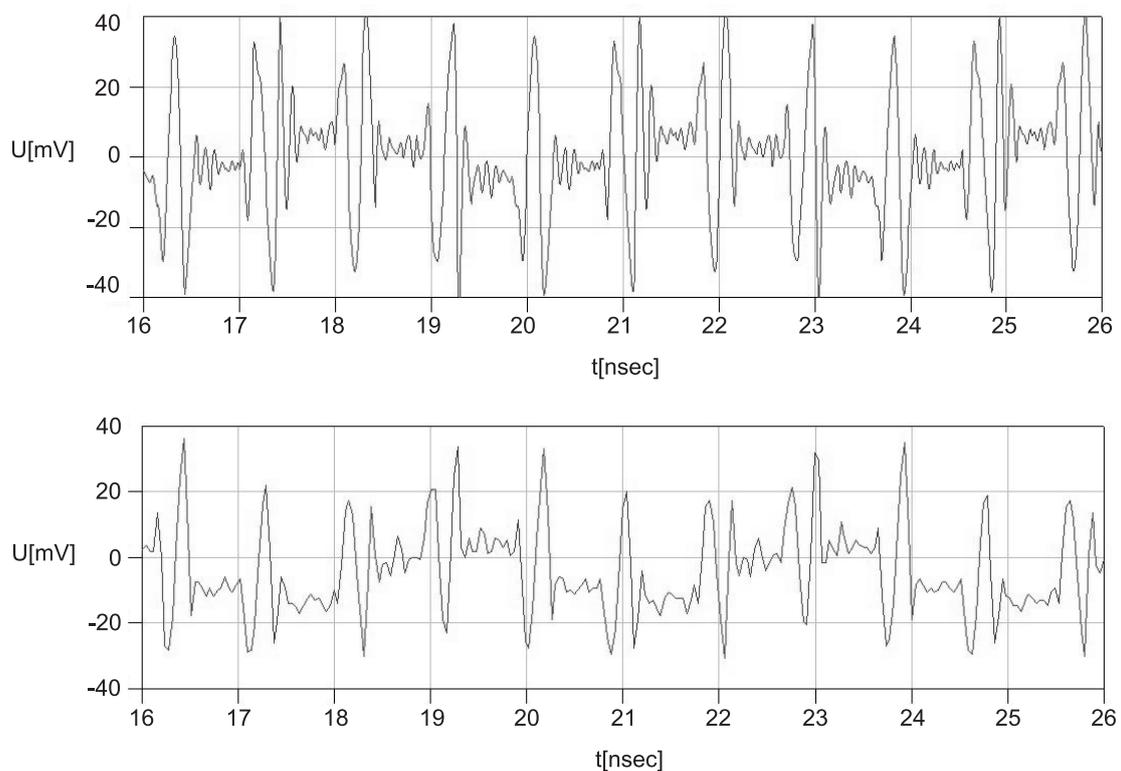


Abb. 4.2: Simulation (oben) und Messergebnis des Diodenschalters mit Haltekapazität

Die Simulation dieser Schaltung unter Verwendung einer Chipkapazität mit den Abmessungen $0,5\text{mm} \times 0,5\text{mm}$ anstelle des relativ großen SMD-Kondensators führt zu dem in Abbildung 4.3 gezeigten Resultat. Es weist deutlich weniger starke Schwingungen während der Haltephasen auf. Die Optimierung der Haltekapazität erfordert noch umfangreiche Untersuchungen für

die Realisierung des endgültigen Systems. Als Funktionsnachweis sind die vorhandenen Kapazitäten jedoch ausreichend.

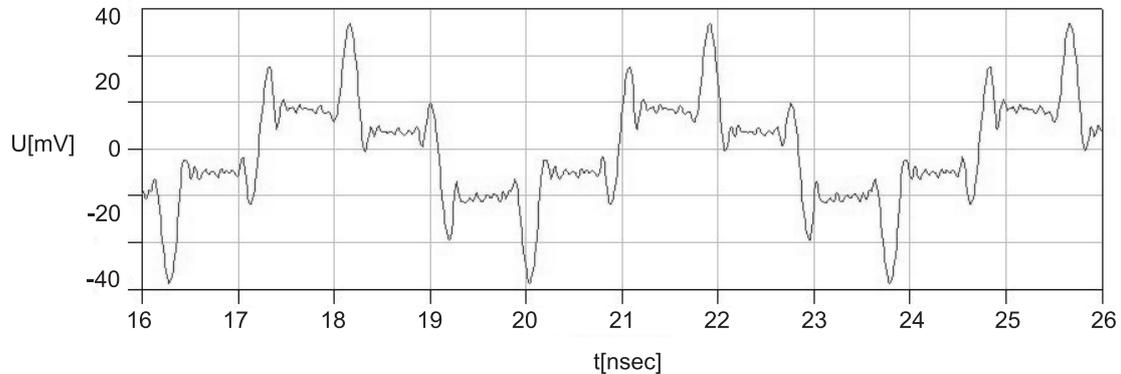


Abb. 4.3: Simulationsergebnis bei Verwendung einer Chipkapazität

Diese Messungen wurden an der TU München mit Hilfe des HP 54120B Sampling-Oszilloskops durchgeführt.

4.3 Aufbau eines Demonstrators für 2,4 GHz

Nachdem die Funktionalität des Diodenschalters nachgewiesen werden konnte und sich das erstellte ADS-Modell als gute Nachbildung des Schaltungs-Verhaltens erwiesen hatte, wurde ein Demonstrator aufgebaut, der aus TIA1, Diodenschalter, Haltekapazität und TIA2 bestand. Der Versuch, auch hier einen gehäuteten Kondensator als Haltekapazität zu verwenden, schlug auf Grund zu großer Parasitäten fehl. Daher wurde in einem erneuten Entwurf der Speicherkondensator in die TIA2-Schaltung mit eingebunden.

4.3.1 Aufbautechnik

Zunächst war ein diskreter Aufbau geplant, in dem die beiden TIAs als getrennte Baugruppen auf das Trägersubstrat montiert werden sollten. Bereits die Simulation zeigte jedoch keinen Erfolg. Daher wurde ein Chipmodul entwickelt, das beide Verstärker beinhaltet und auf welchem die Doppeldioden Flip-Chip gebondet werden können.

Dieses Chipmodul (Abbildung 4.4) wurde dann auf einem TMM10i Trägersubstrat aufgeklebt und mit Bonddrähten kontaktiert. Auf dem Substrat befinden sich noch der Wilkinson-Teiler und die $\lambda/2$ -Umwegleitung zur Symmetrierung des Taktsignals.

Die Schaltung wurde mit Hilfe eines Spannrahmens auf einem Aluminiumträger befestigt und ebenfalls durch die Rückseite mit SMA-Steckverbindern kontaktiert. Die Montage auf einem stabilen Träger ist nötig, da das verwendete TMM10i-Substrat sehr spröde und damit mechanisch instabil ist. Die Abbildungen 4.4 4.5 zeigen Photos von dem Chipmodul und dem Demonstrator 1.

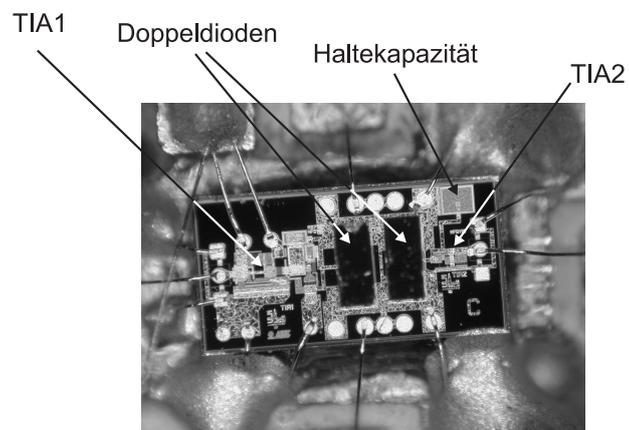


Abb. 4.4: Mikroskopaufnahme des Chipmoduls, das beide Verstärker, die Haltekapazität und die Diodenbrücke enthält.

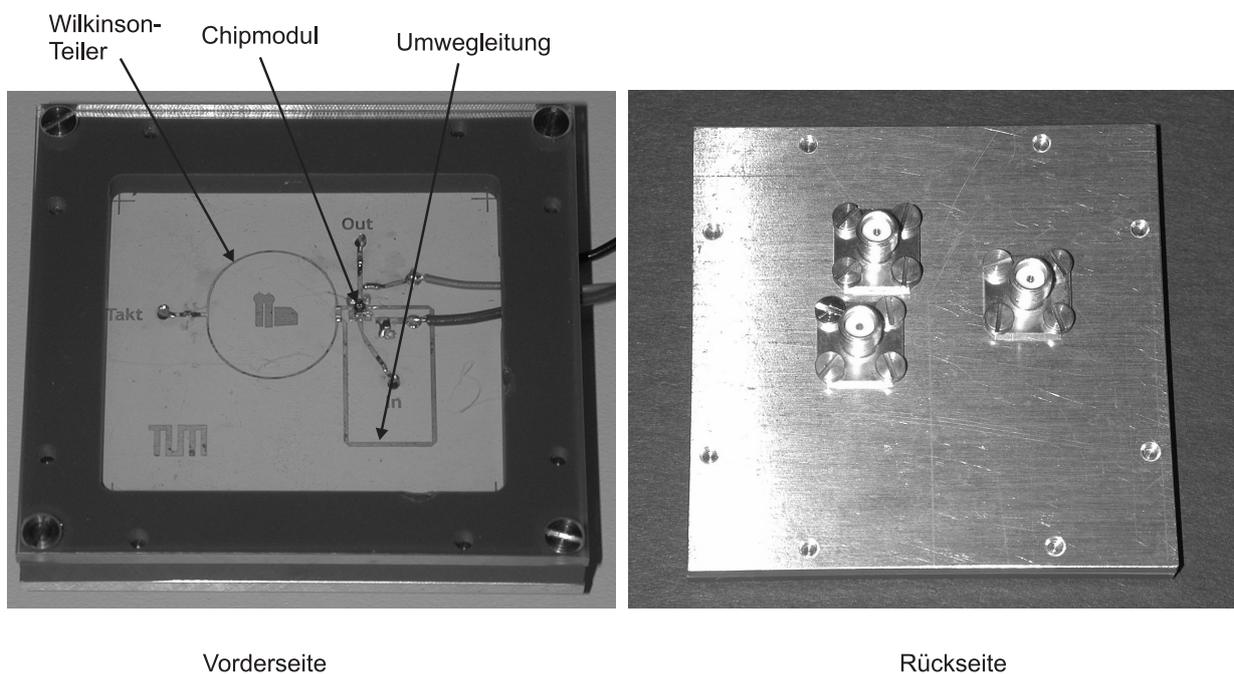


Abb. 4.5: Photo des 2,4 GHz-Demonstrators

4.3.2 Simulation und Messergebnisse

Dieser Aufbau wurde mit Harmonic Balance simuliert. Als Modell für die beiden TIAs dienten gemessene S-Parametersätze, die in die restliche Simulation eingebunden wurden. Für die Erstellung der S-Parameter wurden die beiden Verstärker jeweils im Bereich von 10 kHz...5 GHz vermessen. Sie erfüllen die getroffenen Vorgaben in Bezug auf Verstärkung, Bandbreite und Impedanzen. Die Simulation erfolgte mit folgenden Signalen:

Frequenz des Eingangssignals: $f_{Eingang} = 2,4$ GHz,

Leistung des Eingangssignals $p_{Eingang} = -12$ dBm,

Frequenz des Taktsignals: $f_{Takt} = 1,066$ GHz und

Leistung des Taktsignals: $p_{Takt} = 0$ dBm.

Abbildung 4.6 zeigt den Verlauf der Ausgangsspannung für diese Simulation. Es ist zu erkennen, dass trotz der wesentlich niedrigeren Leistung des Eingangssignals die maximalen Spannungswerte etwa um den Faktor 10 größer sind, als bei der Diodenbrücke ohne Verstärker (vergleiche Abbildung 4.3: Simulation der Diodenbrücke). Offensichtlich tritt ein Tiefpassverhalten auf, das es dem Ausgangssignal nicht mehr ermöglicht, dem Eingangssignal zu folgen, während der Schalter geschlossen ist, trotzdem findet eine Abtastung statt und die Abtaststellen liegen auf der bekannten Sinusfrequenz des transformierten Trägersignals.

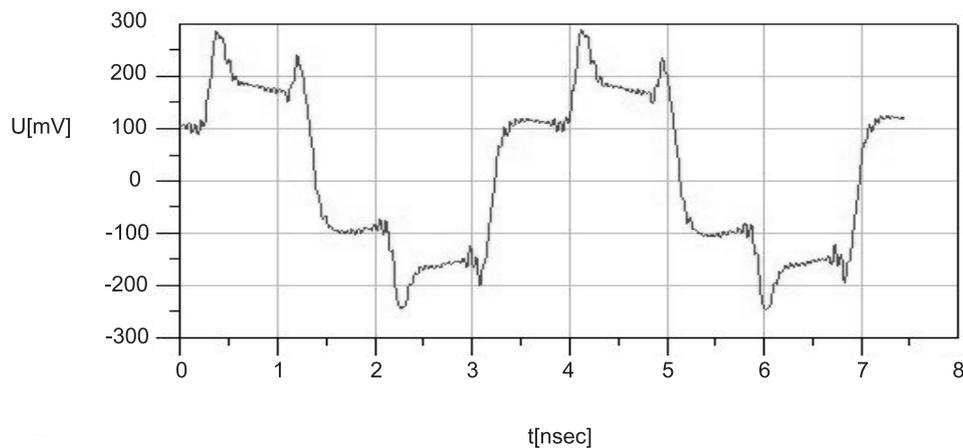


Abb. 4.6: Simulierte Ausgangsspannung des 2,4 GHz Demonstrators

Die Messung konnte die Erwartungen auf Grund der Simulationsdaten nicht erfüllen. Mehrere aufgebaute Demonstratoren zeigten reproduzierbar das in Abbildung 4.7 dargestellte Ergebnis.

Auffallend an dem gemessenen Signal ist eine dominante sinusförmige Schwingung. Die Betrachtung dieses Signals im Frequenzbereich zeigte die stärkste Linie bei einer Frequenz von etwa 3,5 GHz, was der Summe der beiden Eingangssignale entsprechen würde. Die Untersuchung dieses Effekts zeigt, dass diese Schwingung durch die Haltekapazität und die parasitären Induktivitäten der Leiterbahnen, Bonddrähte und der Haltekapazität selbst angeregt wird. Erweitert man das Kondensatormodell mit Hilfe der Daten aus dem Design-Kit des ATMEL-SiGe2RF

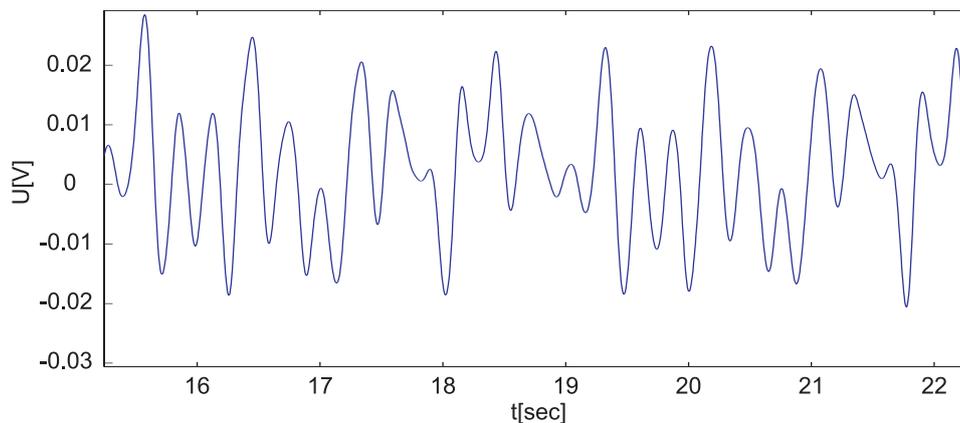


Abb. 4.7: Messergebnis des 2,4 GHz Demonstrators

Prozesses, so entsteht das Simulationsergebnis, das in Abbildung 4.8 dargestellt ist. In der Simulation des verfeinerten Modells sind die Abtaststellen nicht mehr zu identifizieren. Auch hier tritt eine sehr starke Schwingung mit einer Frequenz von etwa 3,5 GHz auf.

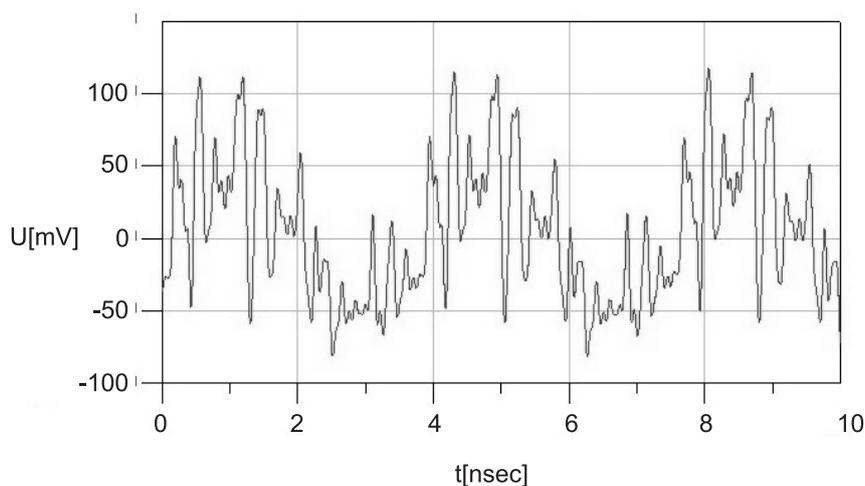


Abb. 4.8: Simulation des 2,4 GHz Demonstrators mit verbessertem Kondensatormodell.

Auf Grund der begrenzten Projektlaufzeit konnte kein neuer ATMEL-Prozess mehr durchgeführt werden, in dem ein optimierter Chip für den Demonstrator 1 gefertigt werden konnte. Daher war eine weitere messtechnische Untersuchung an dieser Stelle nicht mehr möglich. Die gewonnenen Erkenntnisse wurden aber in die Entwicklung des 24 GHz-Chips eingeflochten.

4.4 Aufbau eines Demonstrators für 24 GHz

Mit den Erfahrungen, die am 2,4 GHz Aufbau gesammelt werden konnten, wurde der 24 GHz Demonstrator aufgebaut. Auch hier wurde ein einzelnes Chipmodul entwickelt, das beide TIAs, die Diodenbrücke und die Haltekapazität enthält.

4.4.1 Aufbautechnik

Auf Grund der hohen Frequenzen ist für den Abtaster bei 24 GHz kein hybrider Aufbau in Mikrostreifenleitungs-Technik mehr möglich, da durch die Kontaktierungen der diskreten Bauelemente bereits so große parasitäre Einflüsse entstehen, dass eine Funktion der Schaltung nicht mehr gegeben ist. Die zentrale Komponente wurde wieder auf einem Chipmodul integriert. Abbildung 4.9 zeigt den Aufbau des 24 GHz-Chips. Auch hier wurden die Doppeldioden auf dem Chipmodul Flip-Chip gebondet. Die Montage des Demonstrators auf einer Messfassung war nicht geplant, da durch die sehr hohen Frequenzanteile des Ausgangssignals und die Bonddrähte zu große Parasitäten entstehen würden.

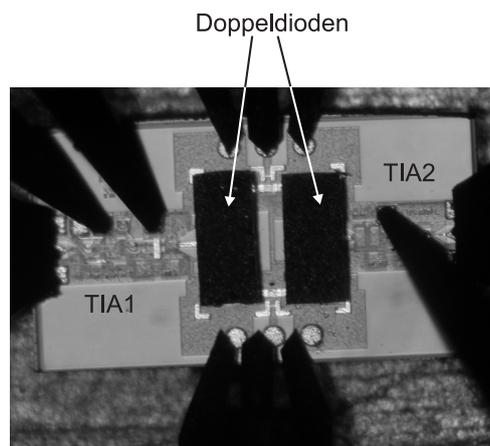


Abb. 4.9: Mikroskopaufnahme des 24 GHz Sampling-Chips

4.4.2 Simulation und Messergebnisse

Die Messung des vorliegenden Aufbaus fand auf dem Onwaver-Messplatz der Universität Ulm statt. Das symmetrische Taktsignal wurde durch ein 3 dB-Hybrid mit differentiellen Ausgängen erzeugt. Die Kontaktierung des Chips erfolgte mit Prüfspitzen, über die auch die nötigen Eingangssignale angelegt wurden (Abbildung 4.10).

Auf Grund der hohen Frequenzen ist eine Zeitbereichsmessung des 24 GHz Aufbaus nicht möglich. Das schnellste zur Verfügung stehende Sampling-Oszilloskop hatte eine Eingangsbandbreite von 50 GHz. Damit würden alle Signale oberhalb der zweiten Harmonischen des Eingangssignals abgeschnitten. Der Signalverlauf des Ausgangssignals ist daher nicht darstellbar.

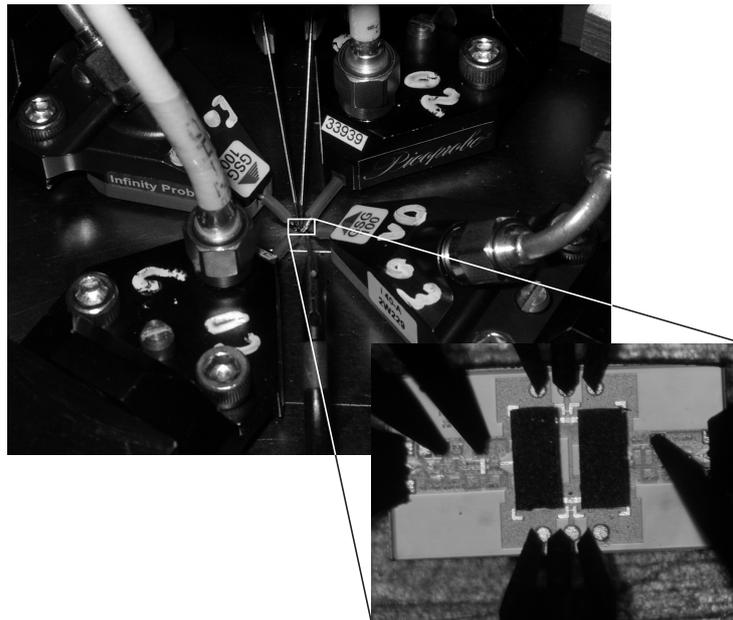


Abb. 4.10: Messaufbau für den 24 GHz-Demonstrator

Die Messung basiert daher auf einer Spektralanalyse und dem Vergleich des gemessenen Spektrums mit einem bekannten Spektrum aus Simulationsdaten. Diese Messung kann nicht als endgültiger Nachweis der korrekten Funktion dienen. Es kann aber eine völlige Fehlfunktion des Demonstrators ausgeschlossen werden, wenn die beiden Spektren qualitativ übereinstimmen.

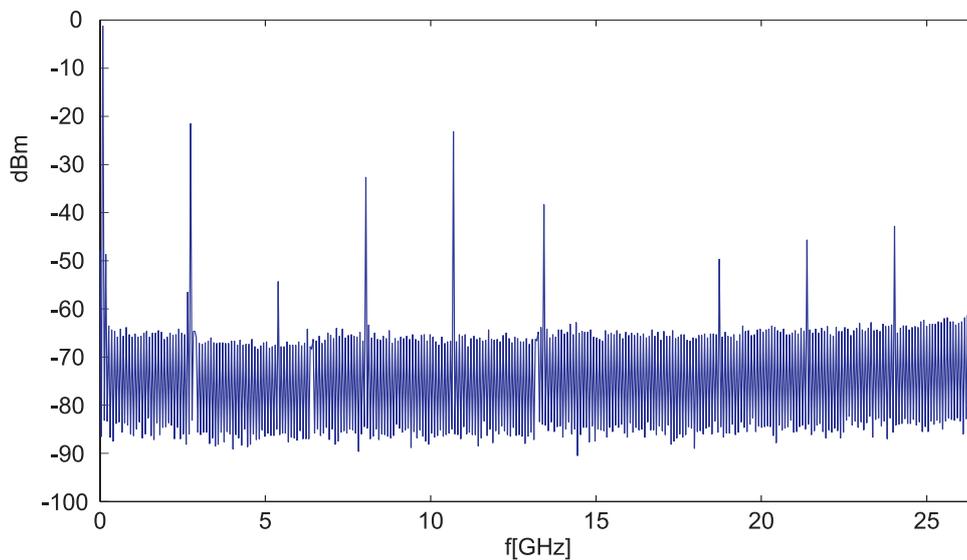


Abb. 4.11: Gemessenes Spektrum des 24 GHz-Demonstrators

Abbildung 4.11 zeigt das gemessene und Abbildung 4.12 das simulierte Spektrum. Das Zeitsignal zum simulierten Spektrum ist in Abbildung 4.13 dargestellt. Man kann eine gute Übereinstimmung zwischen Simulation und Messung erkennen. Das gemessene Spektrum zeigt allerdings nur einen sehr kleinen Ausschnitt des tatsächlichen Spektrums, da für die Messung nur ein Spektrumanalysator mit 26,5 GHz Eingangsbandbreite zur Verfügung stand.

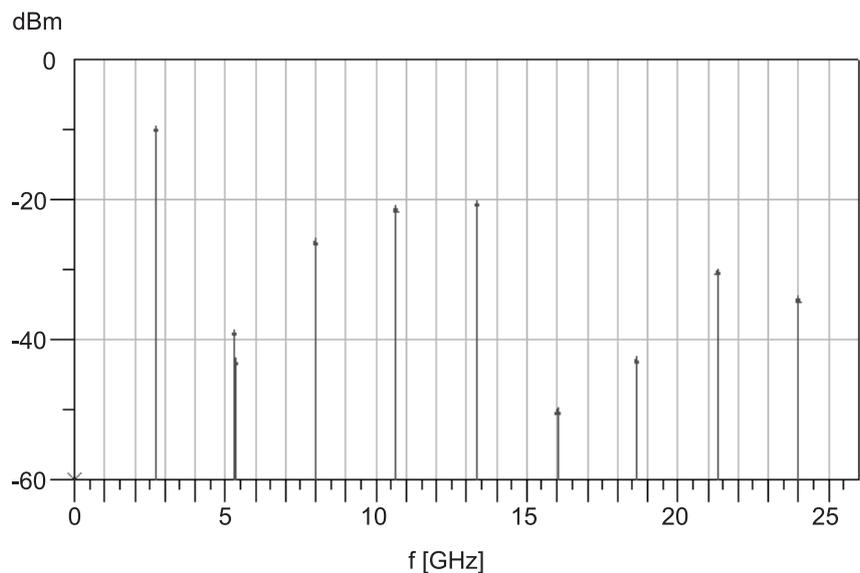


Abb. 4.12: Simuliertes Spektrum

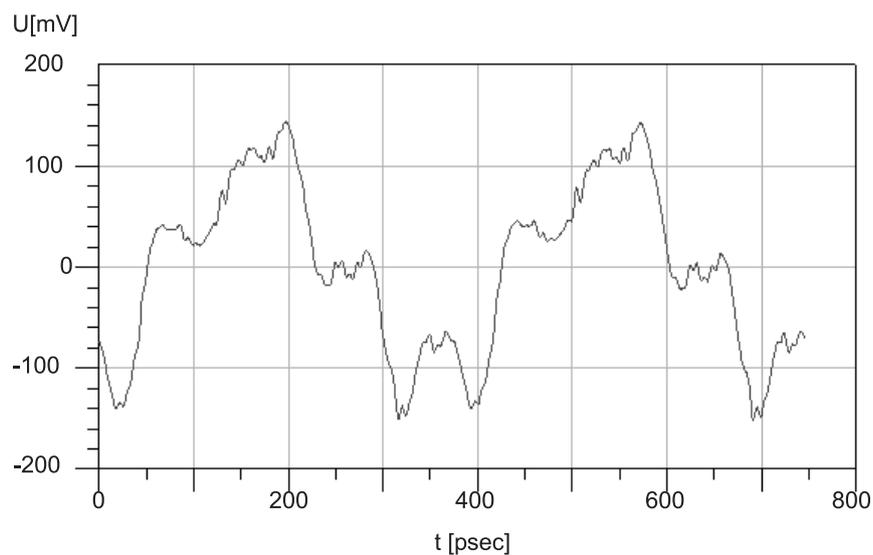


Abb. 4.13: Zeitbereichssignal zu dem in Abbildung 4.12 dargestellten Spektrum

Der 24 GHz-Aufbau lieferte bessere Ergebnisse als der 2,4 GHz-Demonstrator, weil er direkt mit Messspitzen kontaktiert wurde und kein hybrider Aufbau vorhanden war. Daher entstanden wesentlich weniger parasitäre Einflüsse.

5. ZUSAMMENFASSUNG

In dieser Arbeit wurde ein Konzept erarbeitet und experimentell verifiziert, das die direkte Digitalisierung von HF-Signalen mit einer Trägerfrequenz von 24 GHz und einer Bandbreite von 500 MHz ermöglicht. Die Realisierung basiert auf einer bandbegrenzten Abtastung des Eingangssignals. Der Vorteil dieses Konzepts besteht in der Vermeidung zusätzlicher Rauschquellen und möglicher Störungen durch Intermodulations- und Mischprodukte, da keine analoge Vorverarbeitung stattfindet. Die nötigen Komponenten und deren Funktionen wurden detailliert beschrieben. Zunächst wurde ein Demonstrator für die Eingangsfrequenz von 2,4 GHz realisiert, um die Verarbeitung der dort angesiedelten Funkdienste zu ermöglichen.

Der Fokus dieser Arbeit liegt auf der Entwicklung der Folge-Halte-Schaltung, die im vorgestellten AD Wandler Konzept die Funktion der Abtastung erfüllt. Es wurde ein Konzept erarbeitet, das zur Verarbeitung von breitbandigen Signalen geeignet ist. Die Funktion dieses Konzepts wurde in Messungen nachgewiesen.

Um die Entwicklungszeit zu verkürzen, wurde das System mit ADS Harmonic Balance simuliert. Die hierfür nötigen Modelldaten der extern realisierten Komponenten wurden von den jeweiligen Projektpartnern zur Verfügung gestellt.

Die Einflüsse einzelner Systemparameter konnten mit Hilfe einer numerischen Modellierung untersucht werden. Sie diente auch als Grundlage für die Dimensionierung der Bauteile, wie beispielsweise der Kapazität des Speicherkondensators oder der Bandbreite des Ausgangsverstärkers. Entscheidend für die erfolgreiche mathematische Modellierung war die Darstellung des Kondensatorverhaltens unabhängig von der Zeit. Eine derartige Darstellung konnte erreicht werden, indem die Kondensatorspannung zu festen Zeitabständen berechnet wurde und jeweils die aktuell anliegende Spannung und die zum vorhergehenden Zeitpunkt gespeicherte Spannung bekannt war.

Das Verhalten der Diodenbrücke wurde mit Hilfe des Shockley-Modells berechnet. Die Eignung der Diodenbrücke als schneller Schalter für HF-Anwendungen wurde in einer ausführlichen Betrachtung nachgewiesen. Zusammen mit dem entwickelten Kondensatormodell war eine geschlossene Beschreibung der Folge-Halte-Schaltung in Abhängigkeit von Takt- und Eingangsspannung möglich.

Gegenüber der ADS Harmonic Balance Simulation bot das mathematische Verfahren den Vorteil, dass gezielt einzelne Parameter verändert werden konnten, ohne die anderen Parameter zu beeinflussen.

Die Haltekapazität erweist sich in allen angestellten Untersuchungen als kritische Komponente des gesamten Konzepts. Diese Tatsache wurde in einer Vielzahl von Experimenten und Modellen bestätigt. Eine Verbesserung der parasitären Einflüsse verspricht ein neuartiger Tech-

nologieprozess des Projektpartners ATMEL, der während der Projektlaufzeit jedoch noch nicht verfügbar war. Zukünftig bieten sogenannte *Metal-Insulation-Metal* Kondensatoren wesentlich bessere Eigenschaften als die für die Demonstratoren verwendeten Nitrit-isolierten.

Die Optimierung der Haltekapazität bietet das meiste Verbesserungspotential der gesamten Architektur. Mit den zur Verfügung stehenden Mitteln konnte der experimentelle Funktionsnachweis erbracht werden. Aufgrund der zu erwartenden Verbesserungen der Kondensatorparasitäten stellt das vorliegende Konzept eine aussichtsreiche Grundlage für die anwendungsorientierte Weiterentwicklung schneller Analog-Digital-Konverter dar.

Eine weitere Herausforderung stellt die aufwändige Messtechnik dar, da nur Zeitbereichsmessungen beweiskräftige Aussagen liefern können. Für den 2,4 GHz-Demonstrator war eine Zeitbereichsmessung möglich. Am 24 GHz-Demonstrator wurden spektrale Messungen durchgeführt, bei der Interpretation der Messungen muss aber deren eingeschränkte Aussagekraft berücksichtigt werden. Ein viel versprechender messtechnischer Ansatz ist die Verwendung eines vektoriellen Netzwerkanalysators, da dieser sowohl Frequenz- als auch Phaseninformation bereitstellt. Mit diesen Daten lässt sich das Zeitsignal wieder vollständig rekonstruieren. Im Rahmen des HFSYSI-Projekts war keine Untersuchung dieses Ansatzes möglich.

Die Interpretation der Messergebnisse war auf qualitativer Ebene möglich, indem im zeitlichen Verlauf der Ausgangsspannung die Folge- und Haltephasen identifiziert wurden. Um die Interpretation der Messungen zu vereinfachen, wurde auf die Modulation eines Nutzsignals verzichtet. Die korrekte Abtastung des Trägersignals und die daraus resultierende Frequenztransformation konnten nachgewiesen werden. Da sich die Folge-Halte-Schaltung linear über der Nutzbandsbreite verhält, ist damit bewiesen, dass auch ein moduliertes Signal korrekt abgetastet wird.

Derzeit erreichen kommerzielle und experimentelle Architekturen die hohe Abtastrate des vorgestellten Konzepts von 10,66 GHz nicht. Betrachtet man allerdings das zur Beschreibung der Leistungsfähigkeit eingeführte Maß L (Gleichung 1.5), so stellt sich heraus, dass die vorliegende Architektur mit einem Wert von $L \approx 8,5 \cdot 10^{10}$ um einiges hinter bereits kommerziell erhältlichen Analog-Digital-Konvertern mit Werten bis zu $L \approx 3 \cdot 10^{12}$ liegt. Durch die Realisierung eines Multibit-Quantisierers oder die Anwendung des rauschformenden $\Sigma\Delta$ -Konzepts können höhere Auflösungen bei gleicher Abtastrate erreicht und damit die Leistungszahlen kommerzieller Konverter übertroffen werden. Die Eignung des vorliegenden Konzepts als zentrale Komponente eines $\Sigma\Delta$ Wandlers wurde nachgewiesen.

ANHANG

A. ABKÜRZUNGEN

AC	alternating current
ADC	analog to digital converter
AGC	automatic gain control
ASIC	application specific integrated circuit
BALUN	balanced-to-unbalanced
BER	bit-error-rate
BPF	Bandpass Filter
CDP	coupled differential pair
CORBA	common objects request broker architecture
DAC	digital to analog converter
DC	direct current
DSP	digitaler Signal Prozessor
ENOB	effective number of bits
FET	Feldeffekt-Transistor
FPGA	field programmable gate array
GPRS	general packet radio service
GPS	global positioning system
GSM	global system for mobile communication
HF	hochfrequentes Signal
ISM	industrial, medical and scientific
LNA	low noise amplifier
LO	Lokaler Oszillator
PSK	phase shift keying
QPSK	quadrature phase shift keying
TPF	Tiefpass Filter
TRF	tuned radio frequency receiver
SFDR	spurious-free dynamic range
SINAD	signal-to-noise-and-distortion ratio
SNR	signal-to-noise ratio
SQNR	signal-to-quantization-noise ratio
WLAN	wireless local area network

ABBILDUNGSVERZEICHNIS

1.1	Vereinfachtes Blockschaltbild eines konventionellen Empfängers	2
1.2	Die drei Funktionsblöcke eines digitalen Breitband-Empfängers [7]	3
1.3	Grenzen der Leistungsfähigkeit von Analog-Digital-Konvertern [11]	5
1.4	Schaltskizze des Abtast Schalters	8
1.5	Blockschaltbild des InP $\Sigma\Delta$ -Konverters [15]	9
1.6	Blockschaltbild des Six Ports (a) und eines Six-Port-Empfängers (b)	10
1.7	Blockschaltbild des $\Delta\Sigma$ -Konverters aus [19]	11
2.1	Blockschaltbild einer Empfängerarchitektur für ein Software Radio	16
2.2	Verschiedene Antennendesigns: a) Dipol, b) Monopol, c) Ringantenne, d) Patch- antenne	17
2.3	Blockschaltbild des abgestimmten HF-Empfängers	20
2.4	Blockschaltbilder des Homodyn Empfängers für die Verarbeitung von QPSK- oder Frequenzmodulierten Signalen (a) und BPSK- bzw. Amplitudenmodulierten Signalen (b)	22
2.5	Blockschaltbild des Heterodynempfängers	22
2.6	Störprodukte an einer Nichtlinearität	24
2.7	Der 1dB-Kompressionspunkt	25
2.8	Während der AD-Wandlung wird zunächst aus dem analogen Signal (a), durch Abtastung ein wertkontinuierliches, zeitdiskretes Signal (b) gewonnen und an- schließend durch Quantisierung ein wert- und zeitdiskretes Signal (c) erzeugt. . .	26
2.9	Durch Abtastung entstehende Spiegelungen an den Vielfachen der Abtastfrequenz	27
2.10	Frequenztransformation durch Unterabtastung	28
2.11	Einfluss der Überabtastung auf das Quantisierungsrauschen.	31
2.12	Allgemeines Blockschaltbild eines Analog-Digital-Konverters	32
2.13	Einschränkung der Dynamik auf Grund von Harmonischen	33
2.14	Apertur Jitter	35
2.15	Drei-Bit Flash Konverter	37
2.16	R - 2R Leiter-Netzwerk	38
2.17	Faltungsoption mit Faltungsfaktor $F_F = 8$	38
2.18	Blockschaltbild eines Faltungs-Konverters	39
2.19	Faltender und Interpolierender Konverter	40
2.20	Teilbereichs Konverter	41
2.21	Konverter, der mit schrittweiser Annäherung arbeitet	41
2.22	Blockschaltbild des $\Sigma\Delta$ Wandlers	42

2.23	$\Sigma\Delta$ Modulator erster Ordnung [40]	43
2.24	$\Sigma\Delta$ Wandler zweiter Ordnung	45
3.1	Blockschaltbild des direkt digitalisierenden Empfängers	47
3.2	Ausgangssignal einer idealen Folge-Halte-Schaltung (unten) bei Abtastung des Eingangssignals (mitte) mit dem Taktsignal (oben).	50
3.3	Berechnetes Spektrum des Ausgangssignals	51
3.4	Folge-Halte-Schaltung (a) und Abtast-Halte-Schaltung (b)	52
3.5	Auftretende Effekte in Folge-Halte-Schaltungen [44]	52
3.6	Folge-Halte-Schaltung mit einer Diodenbrücke	54
3.7	Auswirkung der Abtastrate für den 24 GHz-Aufbau auf die Lage des Eingangssignals und des abgetasteten Signals.	56
3.8	Ergebnis der Abtastung des unmodulierten Trägersignals	56
3.9	Hardware-Architektur des direkt digitalisierenden Empfängers	57
3.10	Anforderungen an das Antialiasing Filter	58
3.11	Leistungspegel des frequenztransformierten Trägers zu den jeweiligen Spiegel- frequenzen ohne Eingangsverstärker beim 2,4 GHz-Demonstrator	59
3.12	Leistungspegel des frequenztransformierten Trägers zu den jeweiligen Spiegel- frequenzen mit Eingangsverstärker beim 2,4 GHz-Demonstrator	60
3.13	Schaltplan einer differentiellen Folge-Halte-Schaltung in Transistor-Technologie	62
3.14	Simulationsergebnis einer Transistor-Folge-Halte-Schaltung basierend auf den Modellen des ATMEL SiGe2RF - Prozesses. $f_{Eingang} = 7,2$ GHz, $f_{Takt} =$ $3,198$ GHz.	63
3.15	Newton Methode zur numerischen Lösung nichtlinearer Gleichungen höherer Ordnung.	67
3.16	Photo einer Schottky-Doppeldiode (a) und entsprechende Schaltskizze (b).	68
3.17	Ersatzschaltbild der Schottky-Diode	69
3.18	Strom-Spannungs-Kennlinie einer einzelnen Diode aus DC-Messungen.	69
3.19	Layout der 2,4 GHz Abtastschaltung	71
3.20	Photo der 2,4 GHz Abtastschaltung	72
3.21	Simulation des 2,4 GHz Abtasters	72
3.22	Messergebnis des 2,4 GHz Abtasters	72
3.23	Ideale Abtastung (unten) des Eingangssignals (mitte) durch das Taktsignal (oben)	73
3.24	Lade- und Entladeverhalten eines idealen Kondensators. Oben: Aufladen auf 10V, unten Entladen bis auf 3V.	74
3.25	Ideale Folge-Halte-Schaltung mit einem Kondensator als Haltestufe.	75
3.26	Ersatzschaltbild des Diodenschalters	76
3.27	Berechnetes Ausgangssignal des Diodenschalters.	77
3.28	Resultierendes Ausgangssignal, abhängig von der unteren Grenzfrequenz des Hochpasses	78
3.29	Einfluss der oberen Grenzfrequenz des TIA2	79
3.30	Ausgangssignal der Folge-Halte-Schaltung unter Berücksichtigung der Bandbe- grenzung durch TIA2	80

3.31	Halblogarithmische Darstellung der Strom-Spannungs-Kennlinien (oben) und Widerstandskennlinien (unten) jeweils einer einzelnen Diode und der Diodenbrücke	81
3.32	Widerstandsverlauf der Diodenbrücke bei sinusförmiger Ansteuerung in halblogarithmischer Darstellung.	82
4.1	Typischer Spannungsverlauf des Ausgangssignals mit markierten Haltephasen . .	84
4.2	Simulation (oben) und Messergebnis des Diodenschalters mit Haltekapazität . . .	85
4.3	Simulationsergebnis bei Verwendung einer Chipkapazität	86
4.4	Mikroskopaufnahme des Chipmoduls, das beide Verstärker, die Haltekapazität und die Diodenbrücke enthält.	87
4.5	Photo des 2,4 GHz-Demonstrators	87
4.6	Simulierte Ausgangsspannung des 2,4 GHz Demonstrators	88
4.7	Messergebnis des 2,4 GHz Demonstrators	89
4.8	Simulation des 2,4 GHz Demonstrators mit verbessertem Kondensatormodell. . .	89
4.9	Mikroskopaufnahme des 24 GHz Sampling-Chips	90
4.10	Messaufbau für den 24 GHz-Demonstrator	91
4.11	Gemessenes Spektrum des 24 GHz-Demonstrators	91
4.12	Simuliertes Spektrum	92
4.13	Zeitbereichssignal zu dem in Abbildung 4.12 dargestellten Spektrum	92

Literatur

- [1] KLAWITTER, G.: *100 Jahre Funktechnik in Deutschland*. Wissenschaft & Technik Verlag, Berlin, 2 Auflage, August 1998.
- [2] GYSEL, PROF. DR. U.: *Skriptum zu Vorlesung Hochfrequenztechnik*, Kapitel Lineare passive Hochfrequenzschaltungen. ZHW, Departement Technik, Informatik und Naturwissenschaften, 2002.
- [3] H. ROHLING, A. HOESS, U. LUEBBERT und M. SCHIEMENTZ: *Multistatic Radar Principles for Automotive RadarNet Applications*. German Radar Symposium, Bonn, September 2002.
- [4] A. HOESS, ET AL: *Design and realization of a novel, synchronized 77 GHz radar network for automotive use*. IMS Workshop on circuit and antenna technologies for automotive radars, Seattle, Juni 2002.
- [5] THOMAS MÜLLER, KONRAD BÖHM, T. HENTSCHEL: *A GSM/GPS Receiver With a Bandpass Sigma-Delta Analog to Digital Converter*. Proceedings of the European Microwave Conference, München, 2:295–298, Oktober 1999.
- [6] ARNOLD R. FELDMAN, BERNHARD E. BOSER, PAUL R. GRAY: *A 13-Bit, 1.4-MS/s Sigma Delta Modulator for RF Baseband Channel Applications*. IEEE Journal of Solid-State Circuits, 33(10):1462–1469, Oktober 1998.
- [7] TSUI, JAMES B.Y. und JAMES P. STEPHENS: *Digital Microwave Receiver Technology*. IEEE Transactions on Microwave Theory and Techniques, 50(3):699–705, März 2002.
- [8] KAISER, STEPHEN G.: *Digital Receiver Technology, Architecture, and Application*. In: *1996 IEEE MTT-S Digest*, 1996.
- [9] ORTIZ, SIXTO: *Software Radios Add Flexibility to Wireless Technology*. Computer, 36(8):23–25, August 2003. IEEE Computer Society.
- [10] SHI, ZHONGMING: *Sigma-Delta ADC and DAC for Digital Wireless Communication*. In: *1999 IEEE MTT-S Digest*, 9605 Scranton Road, San Diego, CA 92121, USA, 1999. Nokia Mobile Phones Inc.
- [11] WALDEN, ROBERT H.: *Performance Trends for Analog-to-Digital Converters*. IEEE Communications Magazine, Seiten 96–101, Februar 1999.
- [12] BÖHM, KONRAD: *Patentschrift: Verfahren und Vorrichtung zur Analog-Digital-Wandlung eines Signals*. Patentschrift: DE 100 08 699 C 1, Mai 2001.
- [13] ROC BERENQUER, ANTONIO PRIEGO, FRANK OEHLER ET AL.: *A Low Power, 1.6 GHz CMOS Subsampling Downconversion Circuit*. XIV Design of Circuits and Integrated Systems Conference (DCIS), Palma de Mallorca, November 1999.

- [14] SUFYAN ABUASAKER, AYMAN DUZDAR, GÜNTER KOMPA: *An Ultra-Wideband Low-Cost Sampler for microwave and laser radar systems*. In: *11th Conference and Exhibition on Microwaves, Radio Communication and Electromagnetic Compatibility (MIOP)*, Seiten 64–66, Stuttgart, Germany, Mai 2001.
- [15] W. SKONES, P. CHENG, D. CHING ET AL: *High Dynamic Range InP HBT Delta-Sigma Analog-to-Digital Converters*. In: *2002 GaAs IC Digest*. IEEE, 2002.
- [16] S. O. TATU, E. MOLDOVAN, K. WU und R. G. BOSISIO: *A New Direct Millimeter-Wave Six-Port Receiver*. *IEEE Trans. Microwave Theory and Tech.*, 49(12), Dezember 2001.
- [17] JEAN-CHRISTOPHE SCHIEL, SERIOJA OVIDIU TATU, KE WU und RENATO G. BOSISIO: *Six-port Direct Digital Receiver (SPDR) and Standard Direct Receiver (SDR) Results for QPSK Modulation at High Speeds*. *IEEE MTT-S International Microwave Symposium*, Seiten 931–934, Juni 2002.
- [18] SERIOJA OVIDIU TATU, EMILIA MOLDOVAN, GAILON BREHM ET AL: *Ka-Band Direct Digital Receiver*. *IEEE Transactions on Microwave Theory and Techniques*, 50(11):2436–2442, November 2002.
- [19] BRÜCKMANN, DIETER: *Flexible Digital Receiver Architecture with Optimized Components*. *International Journal of Electronics and Communications (AEÜ)*, 55(6):408–416, 2001.
- [20] EUROPEAN RADIOCOMMUNICATIONS COMMITTEE (ERC), Lisboa: *The European Table of Frequency Allocations and Utilisations Covering the Frequency Range 9 kHz to 275 GHz*, Januar 2002. ERC Report 25.
- [21] REED, JEFFREY H.: *Software Radio, A Modern Approach to Radio Engineering*. Prentice Hall PTR, One Lake Street, Upper Saddle River, New Jersey 07458, 2002. ISBN 0-13-081158-0.
- [22] OTTO ZINKE, HEINRICH BRUNSWIG: *Hochfrequenztechnik 1*. Springer Verlag, Berlin Heidelberg, 6 Auflage, 2000. ISBN 3-540-66405-X.
- [23] BALANIS, CONSTANTINE A.: *Antenna Theory*. John Wiley & Sons, 2 Auflage, 1982. ISBN 0-471-59268-4.
- [24] H. MEINKE, F.W. GUNDLACH: *Taschenbuch der Hochfrequenztechnik*. Springer Verlag, 5 Auflage, 1992. ISBN 3-540-54717-7.
- [25] WON NAMGOONG, TERESA H. MENG: *Direct-Conversion RF Receiver Design*. *IEEE Transactions on Communications*, 49(3):518–529, März 2001.
- [26] J. CROLS, M. S. STEYAERT: *Low-IF Topologies for High-Performance Analog Front Ends of Fully Integrated Receivers*. *IEEE Trans. Circuits and Systems - II: Analog and Digital Signal Processing*, 45(3), März 1998.

- [27] H.-J. JENTSCH, H. BERNDT, U. PURSCHE: *Direct Conversion Receivers - Expectations and Experiences*. In: *2000 IEEE MTT-S Int. Microwave Symp. Workshop notes WMH*, Juni 2000.
- [28] ISIS MIKHAEL, WASFY B. MIKHAEL: *Adaptive IQ Mismatch Cancellation for Quadrature IF Receivers*. <http://bruce.engr.ucf.edu/prp/paper6.pdf>, 2000.
- [29] MICHAEL STREIFINGER, THOMAS MÜLLER, J.-F. LUY und E. M. BIEBL: *A software-radio front-end for microwave applications*. In: *Advances in Radio Science, Kleinheubacher Berichte*, Seiten 201–205. Copernicus GmbH, 2003.
- [30] TUTTLEBEE, WALTER (Herausgeber): *Software Defined Radio, Enabling Technologies*. John Wiley & Sons, Ltd, 2002. ISBNs: 0-470-84318-7 (Hardback); 0-470-84600-3 (Electronic).
- [31] MÜLLER, THOMAS: *Direktabtastende Architekturen für Hochfrequenzempfänger*. Doktorarbeit, Fachgebiet Höchsthfrequenztechnik der Technischen Universität München, Januar 2002.
- [32] GRONAU, GREGOR: *Höchsthfrequenztechnik*. Springer Verlag, Berlin Heidelberg, 2001. ISBN 3-540-41790-7.
- [33] MITOLA, JOSEPH: *Software Radio Architecture*. John Wiley & Sons, Ltd, 2000. ISBN 0-471-21664-X.
- [34] SHEINGOLD, DANIEL H. (Herausgeber): *Analog-Digital Conversion Handbook*. Prentice Hall, 3 Auflage, 1986.
- [35] JIANHUA LIU, XIYUAN ZHOU, YINGNING PENG: *Spectral Arrangement and other Topics in First-Order Bandpass Sampling Theory*. IEEE Transactions on Signal Processing, 49(6):1260–1263, Juni 2001.
- [36] R. G. VAUGHAN, N. L. SCOTT, D. R. WHITE: *The Theory of Bandpass Sampling*. IEEE Transactions on Signal Processing, 39(9), September 1991.
- [37] MÜLLER, THOMAS: *RF sampling receivers*. In: *2000 IEEE MTT-S Int. Microwave Symp. Workshop notes WMH*, Juni 2000.
- [38] SALO, TEEMU: *Bandpass Delta-Sigma Modulators for Radio Receivers*. Doktorarbeit, Helsinki University of Technology, Department of Electrical and Communications Engineering, April 2003.
- [39] CRYSTAL SEMICONDUCTOR CORPORATION, P.O. Box 17847, Austin, TX 78760: *Delta Sigma A/D Conversion Technique Overview*, Januar 1997.
- [40] JARMAN, DAVID: *A Brief Introduction to Sigma Delta Conversion*. Intersil Corporation, P. O. Box 883, Mail Stop 53-204, Melbourne, FL 32902, Mai 1995.

- [41] SØREN HEIN, AVIDEH ZAKHOR: *Sigma Delta Modulators*. Kluwer Academic Publishers, 1993.
- [42] S. NORSWORTHY, R. SCHREIER, G. TEMES: *Delta-Sigma Data Converters, Theory, Design and Simulation*. In: *IEEE Press*. Piscataway, NJ, 1997.
- [43] MÜLLER, THOMAS: *Clock Generator Phase Noise in RF Sampling Receivers*. In: *2nd Karlsruhe Workshop on Software Radios*, März 2002.
- [44] OFFENBECK, BERND: *Track-and-Hold-Schaltungen für Mikrowellenanwendungen*. Diplomarbeit, Fachgebiet Höchstfrequenztechnik der Technischen Universität München, September 2003.
- [45] KONRAD BÖHM, J. PFAU, H. SCHNEPP: *A tunable low power BiCMOS continuous-Time Gm-C lowpass filter*. *IEEE Radio and Wireless Con. Digest*, T5.6, August 1999.
- [46] AGILENT TECHNOLOGIES, 395 Mill Road, Palo Alto, CA 94304 USA: *A Comprehensive Guide to Harmonic Balance Simulation for Advanced Design System*, Mai 2003.
- [47] G.KRUCKER: *Skriptum Elektronik 1*, Kapitel Halbleiterdioden. Hochschule für Technik und Architektur, Bern, 2002.
- [48] U. TIETZE, CH. SCHENK: *Halbleiter Schaltungstechnik*. Springer Verlag, Berlin, 10 Auflage, 1993. ISBN 3-540-56184-6.
- [49] MÜLLER, RUDOLF: *Grundlagen der Halbleiterelektronik*, Band 1 der Reihe *Halbleiterelektronik*. Springer Verlag, Berlin, 4 Auflage, 1984.
- [50] MÜLLER, RUDOLF: *Bauelemente der Halbleiterelektronik*, Band 2 der Reihe *Halbleiterelektronik*. Springer Verlag, Berlin, 1973.
- [51] MICHAEL STREIFINGER, THOMAS MÜLLER, ERWIN BIEBL: *Konzept eines Software-Radios im Mikrowellenbereich*. *Frequenz*, 57:51–55, März/April 2003.
- [52] MICHAEL STREIFINGER, THOMAS MÜLLER, J.-F. LUY UND E. M. BIEBL: *A Software-Radio Front-End for Microwave Applications*. In: *2003 Topical Meeting on Silicon Monolithic Integrated Systems*, Seiten 53–56. *IEEE Operations Center*, April 2003.
- [53] MICHAEL STREIFINGER, E. M. BIEBL: *A Software-Radio Front-End for Microwave Applications*. In: *The 33rd European Microwave Conference, Workshop Proceedings on Reconfigurable mm-Wave Electronics and System Integration on Silicon*, Seiten 47–57. *European Microwave Association*, Oktober 2003.